

## Упражнение № 1

### Въведение в системата за проектиране CADENCE. Основни анализи.

#### I. Въведение в системата за проектиране CADENCE. Въвеждане на схема.

**CADENCE DESIGN FRAMEWORK II** изисква X-windows (CDE/Openwindows върху Sun SPARC станции). Тя е общ интерфейс към пълния набор от програмни продукти за проектиране на интегрални схеми в системата **CADENCE**. Използването на общ потребителски интерфейс и обща база данни позволява лесно преминаване между различни етапи при проектиране.

##### 1. Стартиране на CADENCE.

Първата стъпка след влизане в **UNIX** и отваряне на терминал е създаването на директория, в която ще се работи с **CADENCE** и където ще се записват данните от направените схеми и симулации:

1) **mkdir** <име на директорията>

Например: mkdir uprajnenia

Следващата стъпка е влизане в създадената директория:

2) **cd** <име на директорията>

Например: cd uprajnenia

3) Стартиране на **CADENCE**:

**newcad ams360**

**ams\_cds -tech s35b4 -mode fb**

Опцията “**-tech s35b4**” определя технологията, параметрите на която ще се използват в процеса на проектиране с **CADENCE**. В случая се използва “**s35b4**” за AMS 0.35µm Si CMOS технология. Тази опция е задължителна, само когато се стартира **CADENCE** за първи път, а опцията “**-mode fb**” зарежда всички библиотеки необходими за топологично проектиране.

Няколко секунди след стартирането на **CADENCE** се появяват два прозореца:

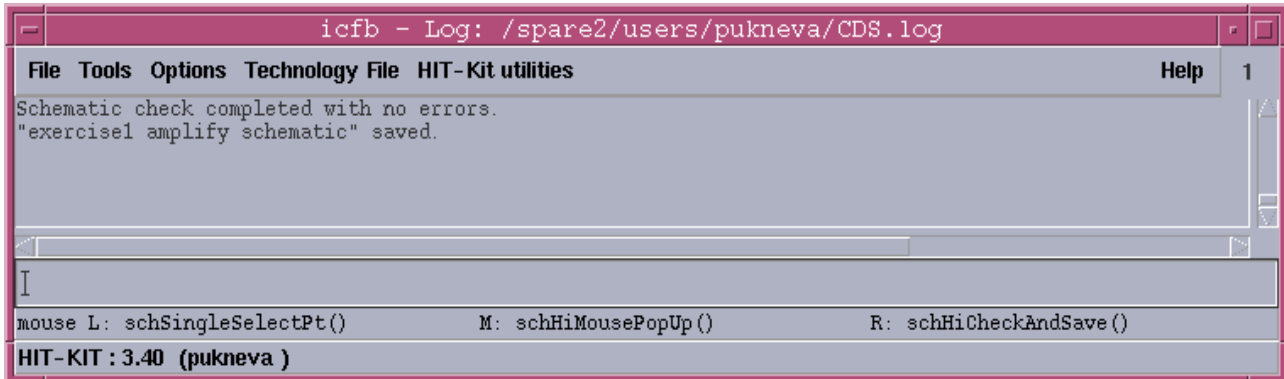
\***CIW** – **Command Interpreter Window** или команден прозорец за въвеждане и изпълнение на командите (фиг. 1).

\***LMW** – **Library Manager Window** или прозорец на библиотечния браузър (фиг. 2).



## 2. Използване на CIW.

**CIW** е основния команден прозорец на системата за проектиране **CADENCE**. На фиг. 1 е показан неговият общ вид.



Фиг. 1. Команден прозорец на **CADENCE - CIW**

- **Име на прозореца** - показва името на съответния редактор на **CADENCE** и пълното име на log файла, където се записват текущите сесии.
- **Лента с менюта** – съдържа менютата с команди за достъп до продуктите на **CADENCE DESIGN FRAMEWORK II**.
- **Поле за извеждане на информацията** - показва команди от текущата сесия и резултатите от тяхното изпълнение.
- **Команден ред** - в него могат директно да се въвеждат команди и изрази. Използва се **SKILL** – програмен език на **CADENCE**.
- **Ред, описващ текущите настройки на бутоните на мишката.**
- **Информационен ред** - подсказва каква трябва да бъде следващата стъпка при изпълнение на текущата команда.

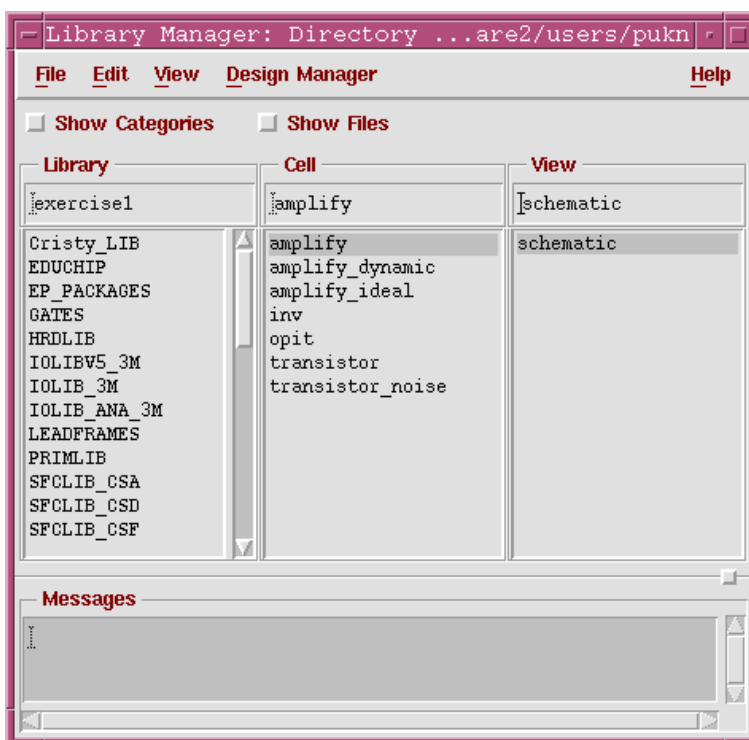
Спирането на **CADENCE** може да стане по два начина:

- Изписване на **exit** в командния ред:
- Избиране на командата **exit** от менюто **File**.

## 3. Използване на LMW.

**LMW** е библиотечния редактор на **CADENCE**. В него се визуализират всички налични библиотеки, могат да се създават нови такива, да се редактират или изтриват, както и да се извършват операции по създаване, съхранение, преместване и т.н. на различните клетки (**cells**) и техните представяния (**cellviews**).

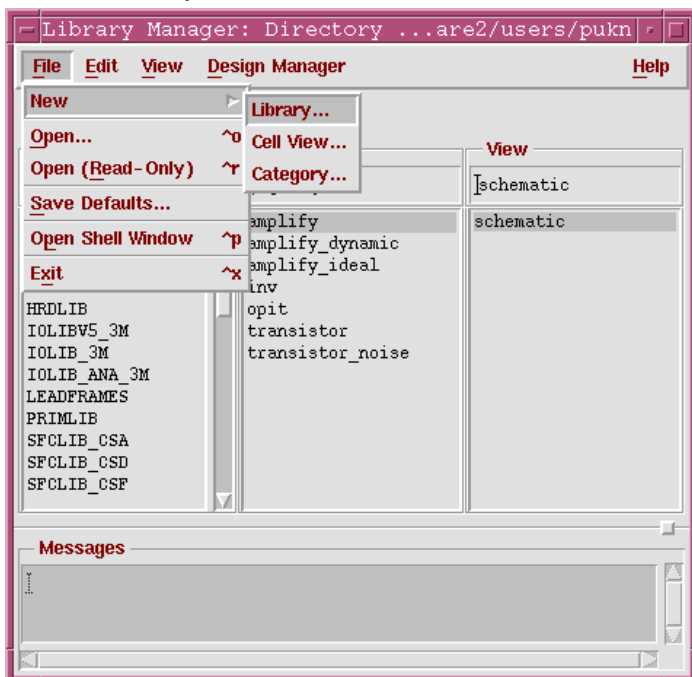
Клетка е най-общото име на проект. Дадена библиотека може да съдържа различен брой проекти (клетки). Всеки проект може да има различни видове представяния, например: схемно (**schematic**), символно (**symbol**), топологично (**layout**) и др.



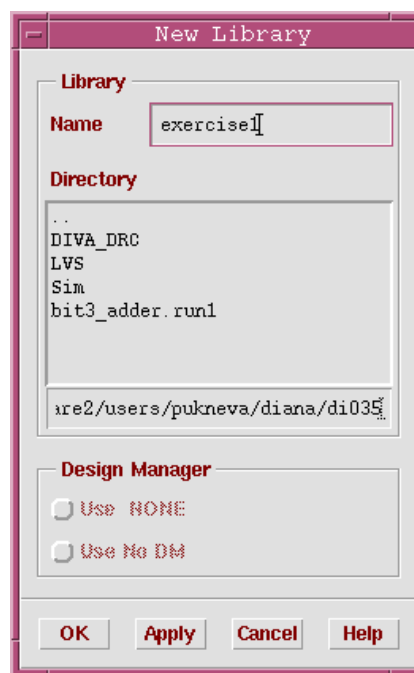
Фиг. 2. Прозорец на библиотечния браузър

#### 4. Създаване на нова библиотека.

След стартиране на **CADENCE**, за да могат да се въвеждат нови проекти, е необходимо първо да се създаде нова библиотека, където ще се съхраняват тези проекти. Това става като от менюто **File** на библиотечния браузър се избере командата **New** ⇒ **Library**, както е показано на фиг. 3.



Фиг. 3. Създаване на нова библиотека чрез библиотечния браузър



Фиг. 4. Прозорец за задаване на име на нова библиотека

Появява се прозорецът **New Library** (фиг. 4). В полето за запис на име (**Name**) се задава име на новата библиотека, например **exercise1** и се натиска бутона **OK**. След това се появява прозорецът за обвързване на библиотеката с определен технологичен файл (**Technology File for New Library**). Менюто предлага възможност за обвързване на новата библиотека с различни технологични файлове. Това е необходимо, за да се проектира дизайна съобразно технологичните правила и изисквания. Избира се обвързване със съществуващ технологичен файл (**Attach to an existing techfile**) и се натиска **OK**. Появява се формата от фиг. 5 (**Attach Design Library to Technology File**), където се избира технологичният файл – в случая за 0.35 $\mu$ m Si CMOS технология **TECH\_CSI**.



Фиг. 5. Обвързване на новата библиотеката с определен технологичен файл

## 5. Създаване на нов проект (клетка).

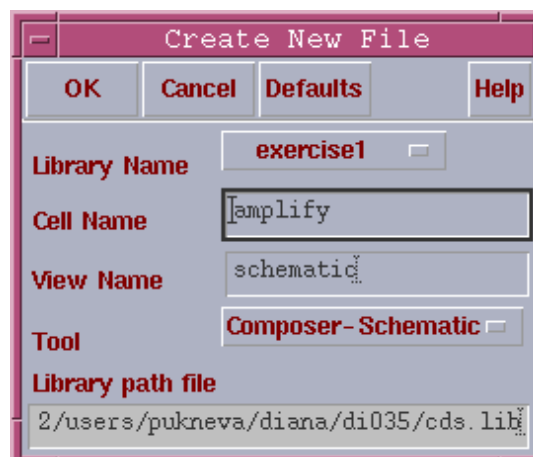
За създаване на нов проект от менюто **File** на **LMW** се избира командата **New**  $\Rightarrow$  **CellView** (фиг. 6). Например, в отворената форма се попълват:

**Име на библиотеката:** exercise1 (новата библиотека)

**Име на клетката:** amplify (име на новия проект)

**Вид представяне:** schematic

Натиска се бутонът **OK**, с което се отваря прозорецът на схемния редактор, в който ще се въведе новият проект.



Фиг. 6. Прозорец за създаване на нова клетка

## 6. Въвеждане на електрическа схема.

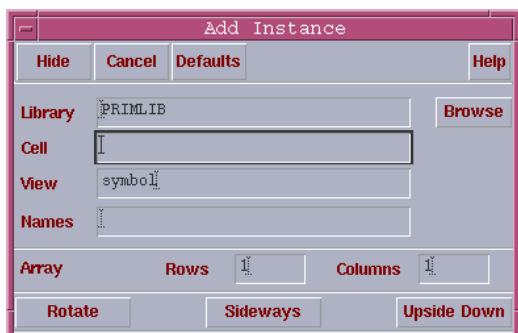
За да се въведе електрическата схема, се добавят и разполагат елементи в схемния редактор на **CADENCE (Virtuoso Schematic Composer)**. За целта се използва командата **Add ⇒ Instance**. Същата команда може да се избере и чрез натискане на 10-ти бутон от лявата страна на редактора за изчертаване на схеми или като се използва бутонът “i” от клавиатурата. Независимо от това, кой от трите начина се използва, се отваря диалоговият прозорец за добавяне на елемент (фиг. 7). В него се натиска бутонът **Browse** за избор на библиотека. За използваната технология реалните елементи се намират в библиотеката **PRIMLIB** (AMS 0.35μm CMOS), а идеалните съответно в **analogLib**.

Избира се желаният елемент, например:

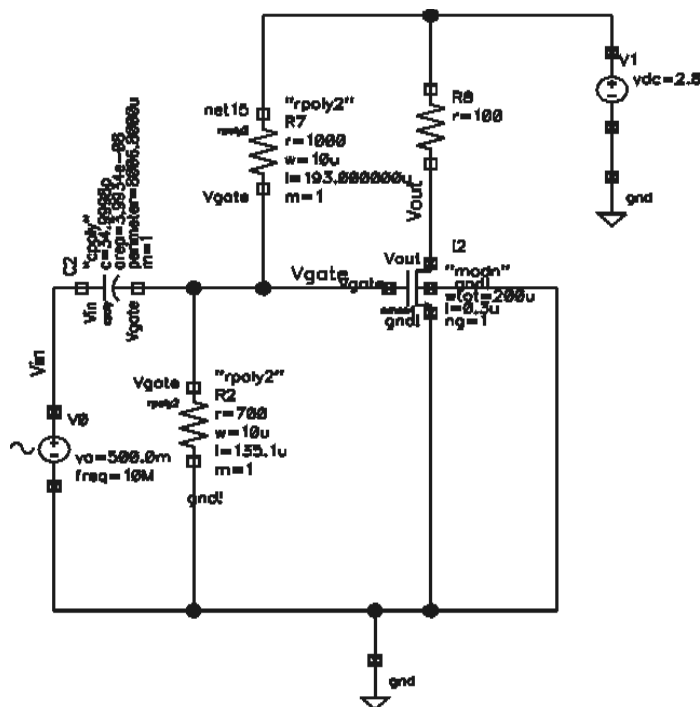
**Library ⇒ AnalogLib**

**Cell Name ⇒ vdc**

**View Name ⇒ symbol**



Фиг. 7. Прозорец за добавяне на елемент

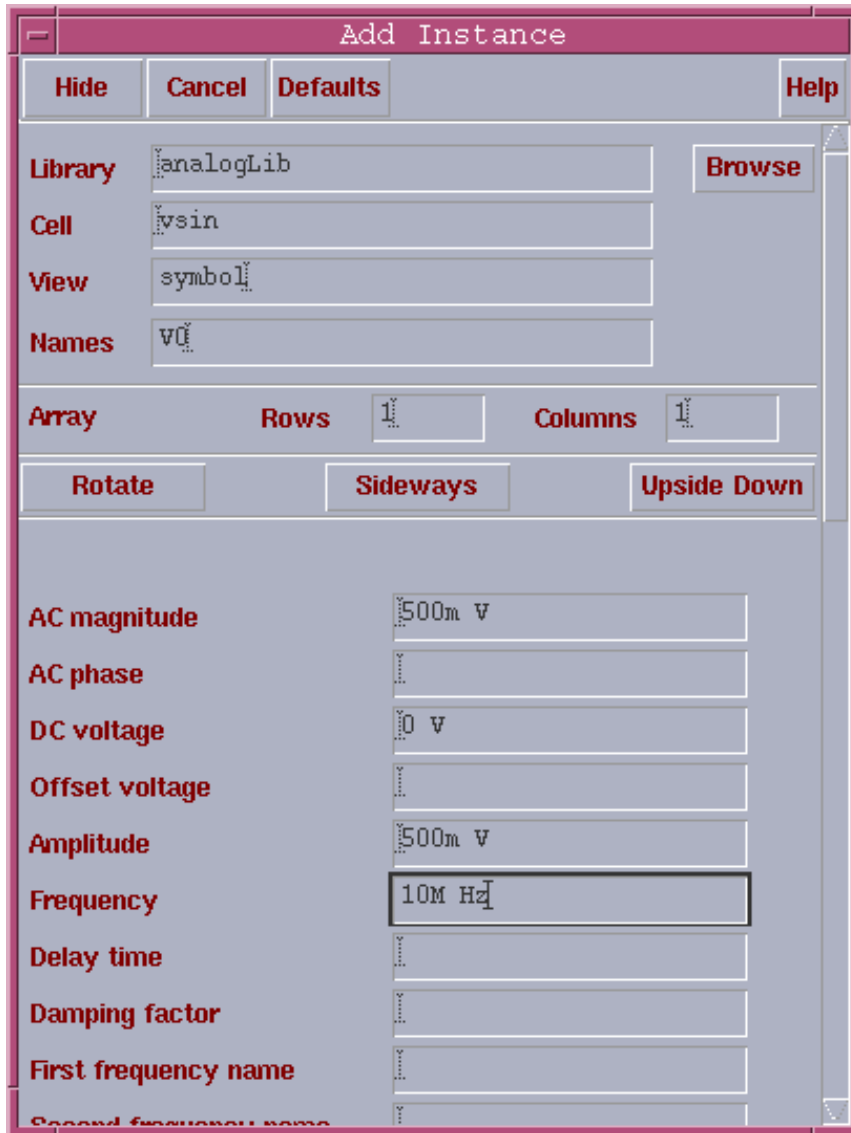


Фиг. 8. Примерна схема

Избраният елемент може да се разполага многократно в схемния редактор. За да се прекрати командата, трябва да се натисне **Esc** от клавиатурата. С промяна на името на елемента във формата на командата **Add Instance** може да се продължи с разполагането на други елементи. Когато всички елементи, необходими за дадена схема са разположени, стойностите на техните параметри могат да се променят като се избере 9<sup>ти</sup> бутон от лявата страна на прозореца на **Virtuoso Schematic Composer** (или “q” от клавиатурата). Това е еквивалентно на избиране на командата **Edit ⇒ Object Properties**. Имената на



елементите, стойностите на техните параметри и библиотеките, в които се намират са показани в таблица 1, а параметрите на входния източник (**vsin**) са показани на фиг. 9. Схемата, която се използва в това упражнение, е дадена на фиг. 8. Източникът **vsin** и масата (**gnd**) се намират в библиотеката **analogLib**.



Фиг. 9. Задаване параметрите на източника на напрежение **vsin**

Таблица 1.

Име на библиотеката	Име на елемента	Стойности на параметрите на елементите от фиг. 8
PRIMLIB	rpoly2	R7=1000 $\Omega$
PRIMLIB	rpoly2	R2=700 $\Omega$
analogLib	res	R8=100 $\Omega$
PRIMLIB	cpoly	C2 = 34,9998pF
PRIMLIB	nmos4	w = 200 $\mu\text{m}$ , l = 0.3 $\mu\text{m}$ , N=1
analogLib	vdc	DC voltage=2.8V

## 7. Изчертаване на връзките между елементите.

След като се разположат всички елементи, те трябва да се свържат помежду си. За изчертаване на връзките се използва командата **Add** ⇒ **Wire (narrow)** – 11 бутон от лявата страна на схемния редактор или “w” от клавиатурата. На свързващите проводници могат да се задават имена (**Add** ⇒ **Wire Name** или 13<sup>™</sup> бутон в прозореца на редактора (или “I” от клавиатурата). След като схемата е изцяло изчертана, тя се запазва с командата **Design** ⇒ **Save**. Може едновременно да се запази и провери за допуснати грешки при разполагането и свързването на елементите – **Design** ⇒ **Check and Save**.

## II. Аналогова симулация с помощта на симулатора Spectre.

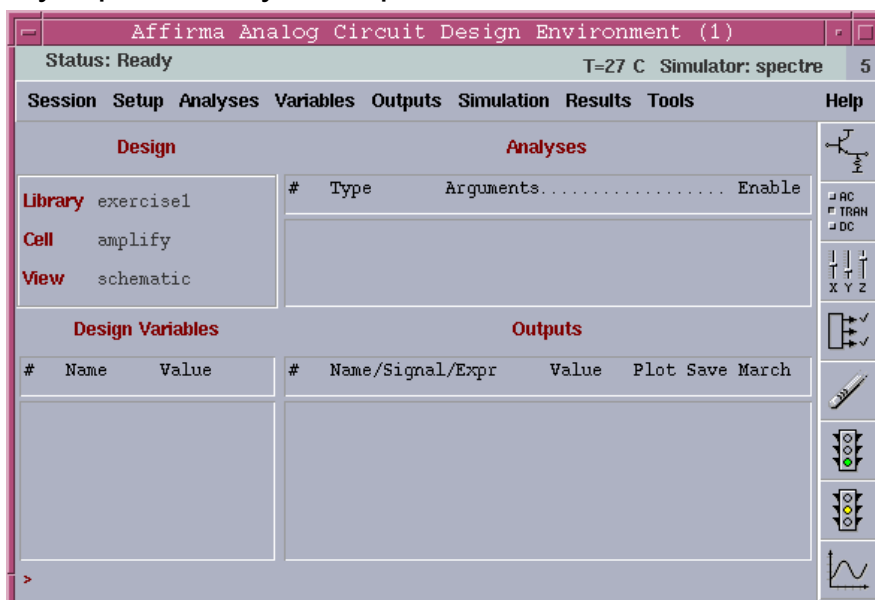
За да се избере и стартира симулация, от менюто **Tools** на схемния редактор се използва командата **Analog Environment**, след което се появява прозорецът на средата за аналогова симулация **Affirma Design Environment (ADE)**, който е показан на фиг. 10.

Полето “**Design**” дава информация за проекта, който ще се симулира (библиотека, име и вид на представяне на проекта).

Полето “**Analyses**” съдържа списък на избраните анализи.

Полето “**Design variables**” показва списък на променливите, които са зададени в схемата и ще се използват при симулация.

Полето “**Outputs**” дава списък на напрежения/токове, които трябва да бъдат симулирани, визуализирани или записани.



Фиг. 10. Прозорец на средата за аналогова симулация **ADE**

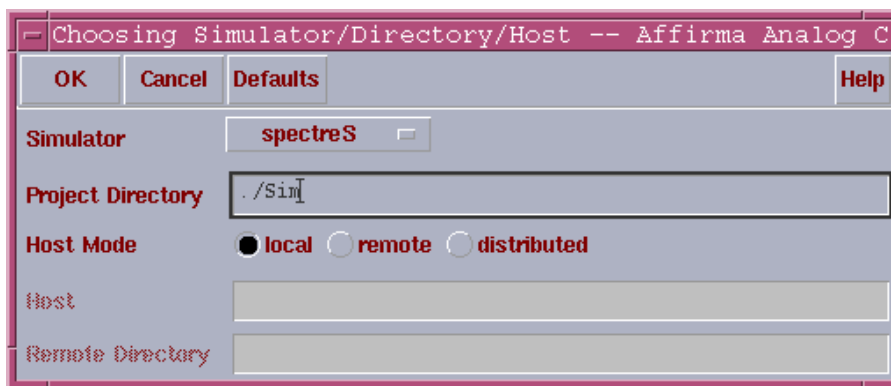
Бутоните, които са разположени от дясната страна в прозореца на **ADE** са помощни и представляват съкратени пътища към някои от основните команди в менюто:

1-ви бутон – Избор на проект (**Choose design**);



- 2-ри бутон – Избор на анализи (**Choose Analyses**);
- 3-ти бутон – Задаване и редактиране на променливи (**Edit variables**);
- 4-ти бутон – Избор на напрежения/токове, които ще се визуализират (**Setup Outputs**);
- 5-ти бутон – Изтриване (**Delete**);
- 6-ти бутон – Създаване на нетлист и стартиране на симулация (**Netlist and Run**);
- 7-ми бутон – Стартиране на симулация (**Run simulation**);
- 8-ми бутон – Визуализиране на избраните напрежения/токове (**Plot Outputs**).

### 1. Избор на симулатор.



Фиг. 11. Форма за избор на симулатор

Симулаторът, който се използва по подразбиране в средата за аналогова симулация **ADE**, е **Spectre**. Той може да се смени, като в прозореца на **ADE** се избере командата **Simulator/Directory/Host** от менюто **Setup**. Появява се формата показана на фиг. 11, която позволява да се избере желаният симулатор от падащото меню. Освен това формата дава възможност да се зададе или промени пътя до директорията, в която ще се съхраняват резултатите от симулациите за даден проект.

### 2. Избор на анализ.

За да се зададе анализ, от лентата с менютата на **ADE** се избира **Analyses** ⇒ **Choose**. Появява се прозорец с всички достъпни анализи. От него може да се избере желаният вид анализ и да се зададат неговите опции. Симулацията се стартира като се натисне бутона със зеления светофар или се избере командата **Simulation** ⇒ **Run**. След като се изпълни симулацията има няколко начина за визуализиране на резултатите. Ако предварително са избрани да се визуализират някои изходи от схемата, те се записват в полето "**Outputs**" и ще се появят автоматично след приключване на симулацията. В противен случай може да се използва менюто **Results** ⇒ **Direct Plot**, или помощното средство - **Calculator**, което се намира в менюто **Tools**.

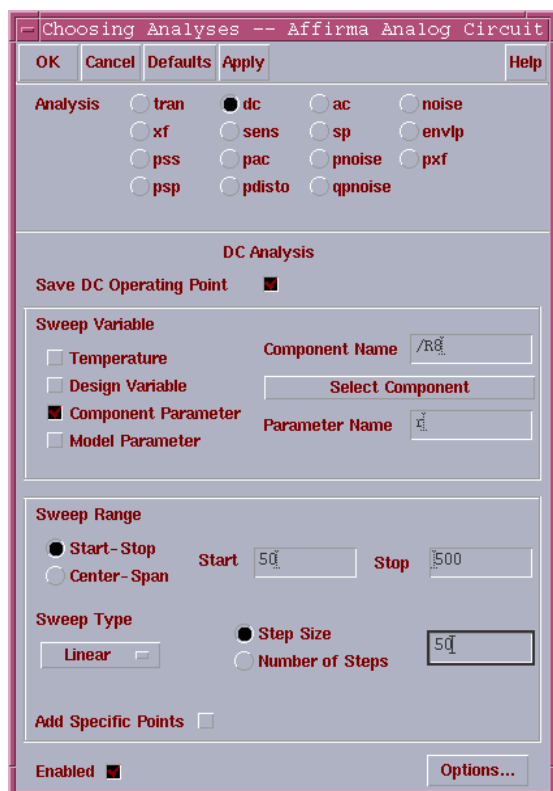


### 3. Постояннотоков анализ (dc).

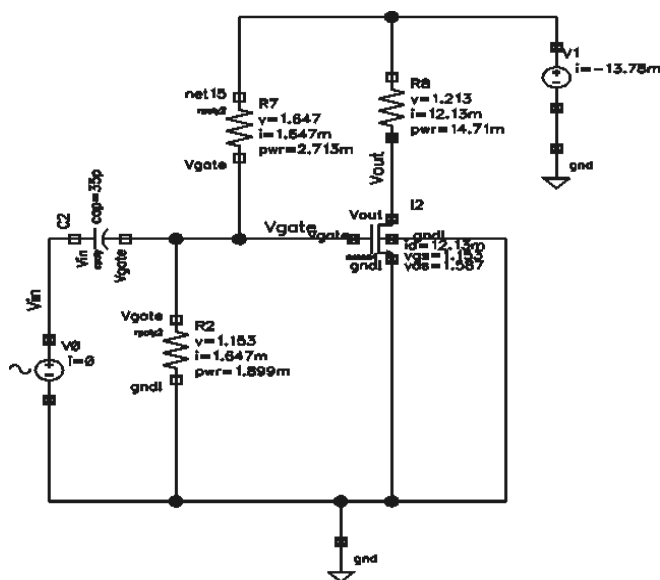
Постояннотоковият анализ се използва за определяне на работна точка или задаване на постояннотокова развивка по температура, промяна на параметър на елемент или моделен параметър.

Например, за да се направи постояннотоков анализ, могат да се използват следните стъпки:

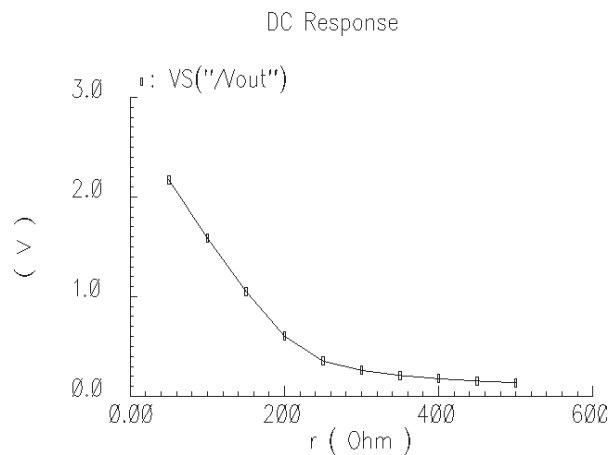
- 1) Избира се **Analyses**  $\Rightarrow$  **Choose**  $\Rightarrow$  **dc**;
- 2) Маркира се **Save DC Operating Point**;
- 3) Селектира се **Component Parameter** и се избира елемента R8 (вж. фиг. 8), чийто параметър  $r$  ще се променя от 50 до 500 $\Omega$ , със стъпка 50 $\Omega$  (фиг. 12).
- 4) Натиска се бутонът **OK** и се стартира симулацията.
- 5) За визуализиране на резултатите се използва командата **Results**  $\Rightarrow$  **Direct Plot**  $\Rightarrow$  **dc**, избират се възли **Vout**, **Vgate** и **Vin**, след което се натиска бутонът **Esc** от клавиатурата. Резултатът от анализа е показан на фиг. 13.
- 6) Резултатите от развивката по параметър на R8 се визуализират като се използва командата **Results**  $\Rightarrow$  **Direct Plot**  $\Rightarrow$  **dc** избира се възелът **"Vout"** и се натиска **Esc** от клавиатурата. Резултатите от този анализ са показани на фиг. 14.



Фиг. 12. Задаване на **dc** анализ с развивка по параметър на елемент



Фиг.13. Постояннотоков режим на схемата от фиг. 8



Фиг. 14. Резултати от **dc** анализ на схемата с  $R_8$  като параметър

При постояненотоковия анализ може да се визуализират и стойностите на параметрите на елемент за дадена работна точка. За целта се задава командата **Results**  $\Rightarrow$  **Print**  $\Rightarrow$  **Operating Point**, след което се избира желаният елемент от схемата. Стойностите на параметрите на NMOS транзистора (**nmos4**) са показани на фиг. 15.

Results Display Window	
Window Expressions Info	Help 7
signal	OP("I2" "??")
betaeff	100m
cbb	72.02F
cbd	-125.1a
cbg	-25.1f
cbs	-46.79f
cdb	-26.7a
cdd	37.1f
cdg	-37.15f
cds	79.97a
cgb	-26.47f
cgd	-36.11f
cgg	286.1f
cgs	-223.6f
cjd	186.5f
cjs	260.9f
csb	-45.53f
csd	-864.8a
csg	-223.9f
css	270.3f
gds	820.8u
gm	32.36m
gmbs	7.075m
gmoverid	2.668
ibulk	-4.879f
id	12.13m
ids	12.13m
pwr	19.25m
region	2
reversed	0
ron	130.8
type	0
vbs	-2.984m
vds	1.587
vdsat	392.6m
vgs	1.153
vth	556.5m

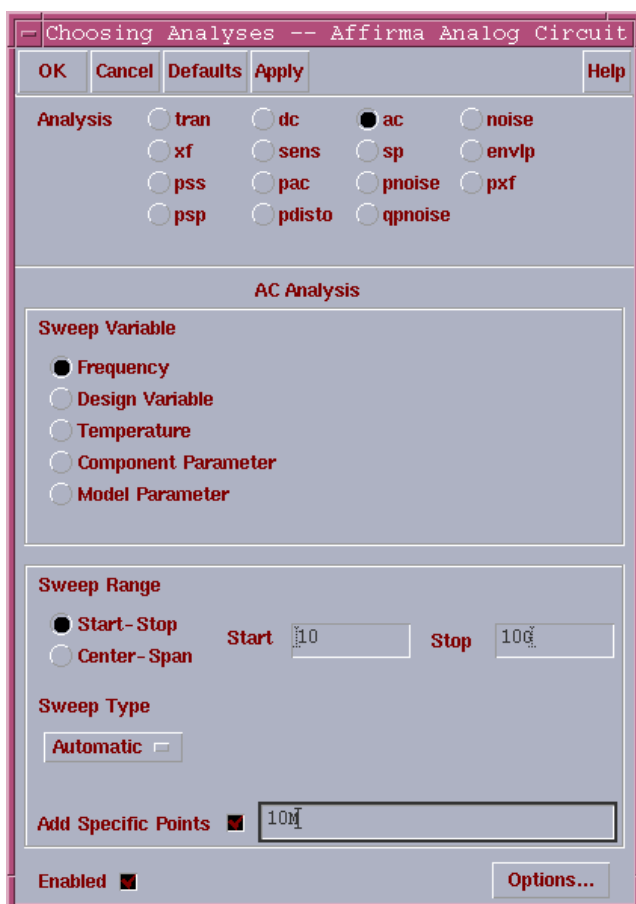
Фиг. 15. Стойности на параметрите на транзистора **nmos4** за дадената работна точка

#### 4. Честотен анализ (ac).

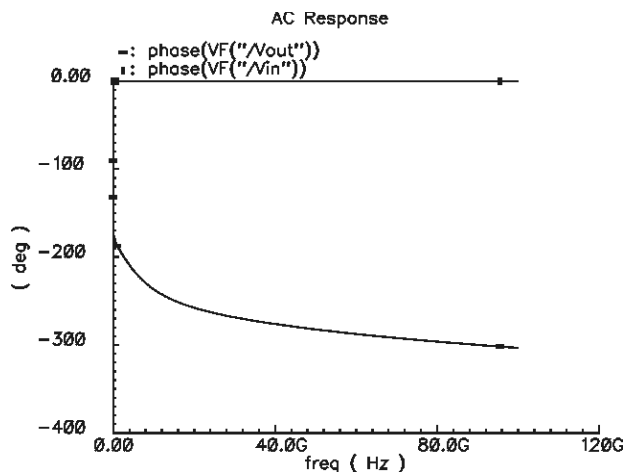
За задаване на честотен анализ се използва **Analyses** ⇒ **Choose** ⇒ **ac** от менюто на **ADE**. Задаването на анализа е показано на фиг. 16.

Стъпките за задаване на **ac** анализ са:

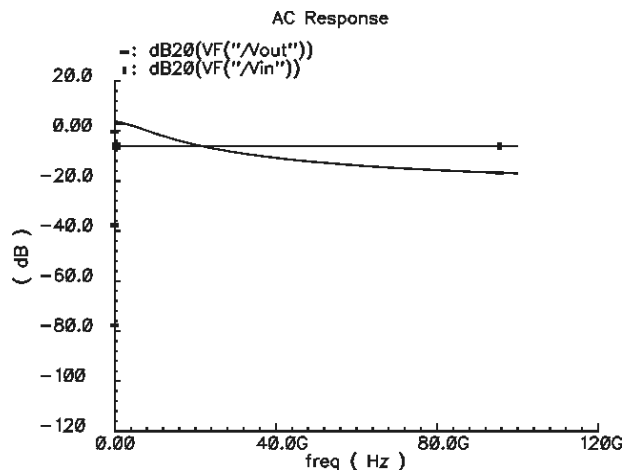
- 1) Избира се **ac**.
- 2) Задава се честотата като **Sweep Variable** и обхват на изменение (**Sweep Range**) от 1Hz до 100GHz. Задава се **Sweep Type** - **Automatic**.
- 3) Натиска се бутонът **OK** и се стартира симулацията.
- 4) Резултатите се визуализират като се използва:
  - **Results** ⇒ **Direct Plot** ⇒ **AC Phase**, посочват се възлите **"Vin"** и **"Vout"** и се натиска **Esc**. Резултатите от анализа са показани на фиг. 17.
  - **Results** ⇒ **Direct Plot** ⇒ **AC db20**, посочват се възлите **"Vin"** и **"Vout"** и се натиска **Esc** (фиг. 18).



Фиг. 16. Прозорец за задаване на **ac** анализ



Фиг. 17. Фаза на напреженията във възли **"Vin"** и **"Vout"**

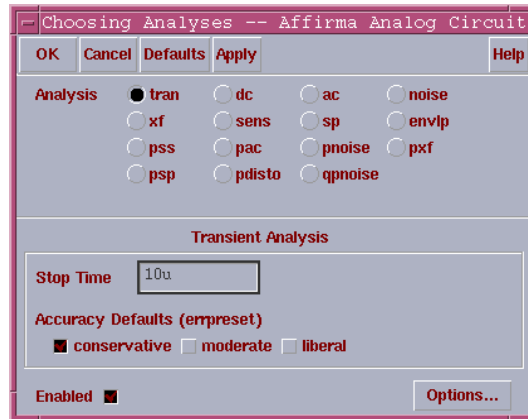


Фиг. 18. Амплитуда в dB на напреженията във възли **"Vin"** и **"Vout"**



## 5. Времени анализ (tran).

За задаване на временни анализ се използва **Analyses** ⇒ **Choose** ⇒ **tran**. Прозорецът за избор е показан на фиг. 19.

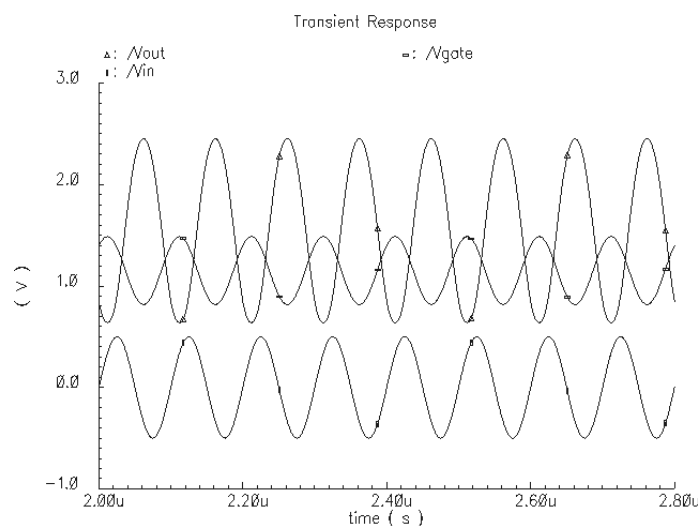


Фиг. 19. Задаване на временни анализ

Задава се **Stop Time**, с което се определя края на интервала за извършване на симулацията. Отбелязва се точността, с която да се изпълни анализът и се маркира **Enable**. В **Options** могат да се задават допълнителни условия – стъпка на изчисляване, интеграционен метод за пресмятане и др.

За временни анализ могат да се използват следните стъпки:

- 1) Избира се анализът **tran**.
- 2) Задава се **Stop Time** –  $10\mu\text{s}$  (фиг. 19).
- 3) Натиска се бутонът **OK** и се стартира симулацията.



Фиг. 20. Визуализиране на резултата от временния анализ на схемата

- 4) Резултатите от симулацията се визуализират чрез: **Results** ⇒ **Direct Plot** ⇒ **Transient Signal**, маркират се възлите “**Vin**”, “**Vgate**” и “**Vout**”, след което се натиска **Esc** от клавиатурата. Резултатът от анализа е показан на фиг. 20.