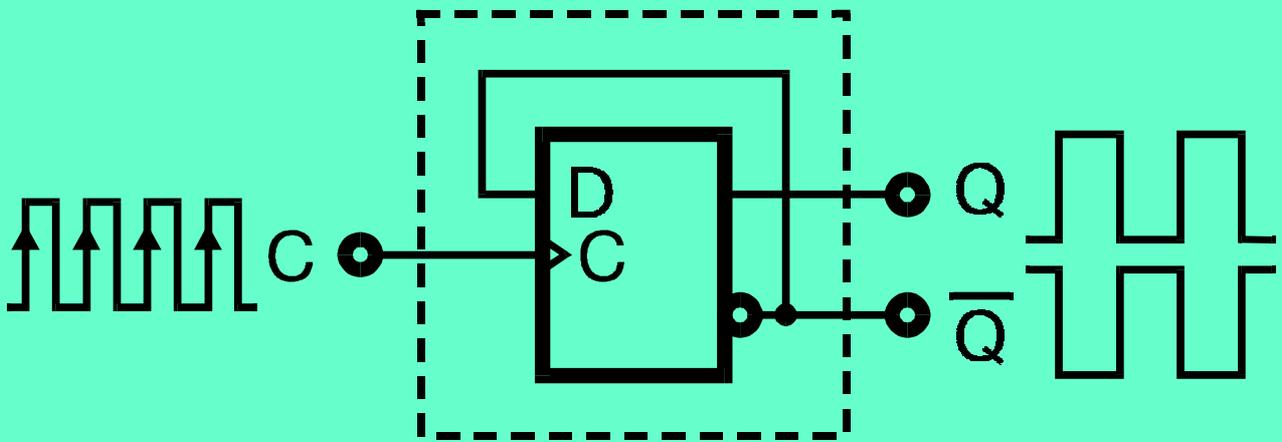


ГЕОРГИ МИХОВ

ЦИФРОВА СХЕМОТЕХНИКА

за бакалавър-инженер по
Електроника



Доц. д-р инж. **ГЕОРГИ С. МИХОВ**

ЦИФРОВА СХЕМОТЕХНИКА

**за бакалавър-инженер по
Електроника**

ТЕХНИЧЕСКИ УНИВЕРСИТЕТ — СОФИЯ, 1998

В учебника са изложени въпроси, свързани с теоретичните и практическите аспекти на цифровата схемотехника. Той е предназначен да даде познания върху основните цифрови схеми, устройства и системи, върху методите на проектирането и изчисляването им и върху принципите на изграждането им.

Разгледани са логическите елементи и фамилии, схемите с комбинационна и последователностна логика, формирова̀телните и релаксационни схеми и управлението на индикации. Внимание е объ̀рнато на методите на изграждането и приложението на устройства с комбинирано цифрово и аналогово действие — цифрово-аналогови и аналогово-цифрови преобразуватели, фазови синхронизатори и др. Застъпени са въпроси, свързани с шумовете в цифровите устройства и предаването на цифрова информация между устройствата и системите.

Учебникът е предназначен за студентите от специалност “Електроника” във висшите учебни заведения. Той може да бъде използван и от студенти от други специалности, както и от специалисти, работещи в тази област.

Настоящото издание стана възможно благодарение на помощта, оказана на автора по линията на проекта TEMPUS S_JEP 12456 “RESTRUCTURING DEGREE COURSES IN ELECTRONICS AND COMMUNICATIONS”.

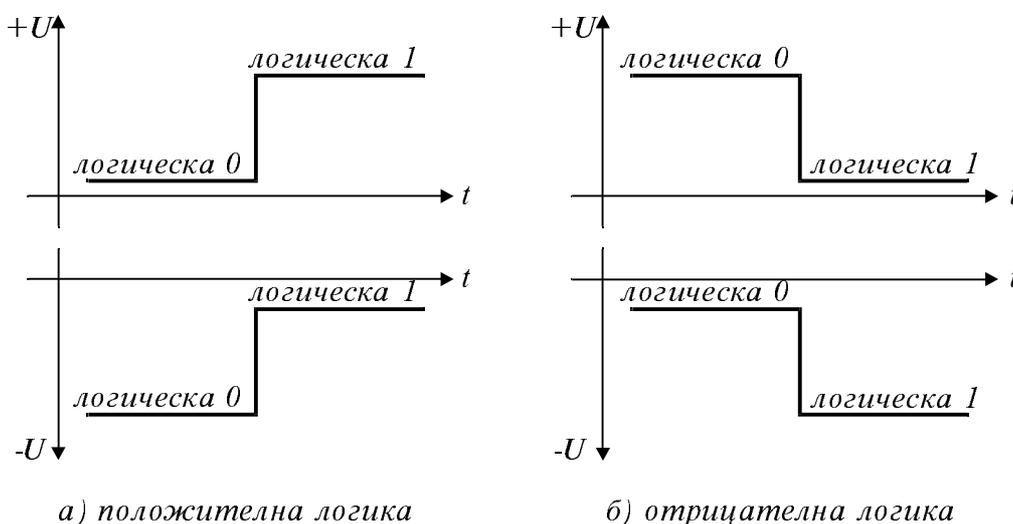


1. ЛОГИЧЕСКИ ЕЛЕМЕНТИ

Обект на цифровата схемотехника са схеми и системи, в които като правило могат да се определят само две възможни състояния. Тези две състояния могат да се представят чрез токово и безтоково състояния на верига, състояния на затворен и отворен ключ и др. Обикновено тези състояния се представят чрез две различни стойности на напрежение, условно наречени *H* (High — Високо) и *L* (Low — Ниско).

1.1. Логически нива

На двете състояния в цифровата схемотехника се присвояват логически *нива* — *0* и *1* и цялостното им поведение се описва от законите на двоичната логика. Когато на високото ниво е съпоставена логическа *1*, а на ниското — логическа *0*, логиката се определя като положителна. Когато на ниското ниво е съпоставена логическа *1*, а на високото — логическа *0*, логиката се определя като отрицателна (фиг. 1.1).

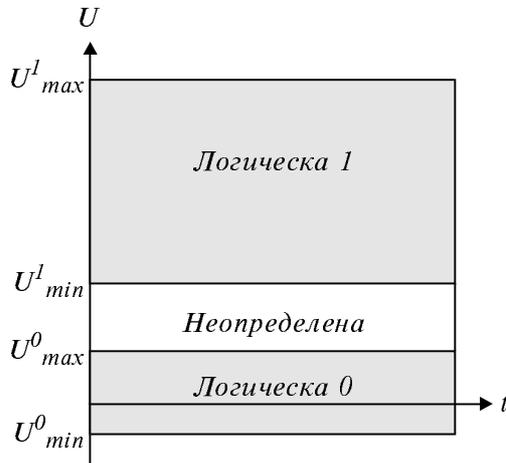


Фиг. 1.1. Логически нива.

В цифровата схемотехника се използват и двете логики, но положителната е по-често използвана. Затова в следващото изложение ще се ползува само положителна логика, и носителят на логическите нива ще бъде напрежение.

На практика всяко от двете логически нива представлява някаква област (зона) от стойности на напрежението. Логическата *1* се предс-

тавя от всяко напрежение, намиращо се между определени минимална и максимална стойности. По същия начин логическата 0 се представя от всяко напрежение, намиращо се между други определени минимална и максимална стойности.



Фиг. 1.2. Области на логическите нива.

Фиг. 1.2 илюстрира областите на логическите нива. Напреженията U^1_{min} и U^1_{max} определят съответно минималната и максималната стойност на логическата 1 . Аналогично напреженията U^0_{min} и U^0_{max} определят съответно минималната и максималната стойност на логическата 0 . Областта между U^0_{max} и U^1_{min} е неопределена област. Всяко напрежение от тази област може да се възприеме като 0 или 1 , без да е сигурно кое ще се случи. При различните

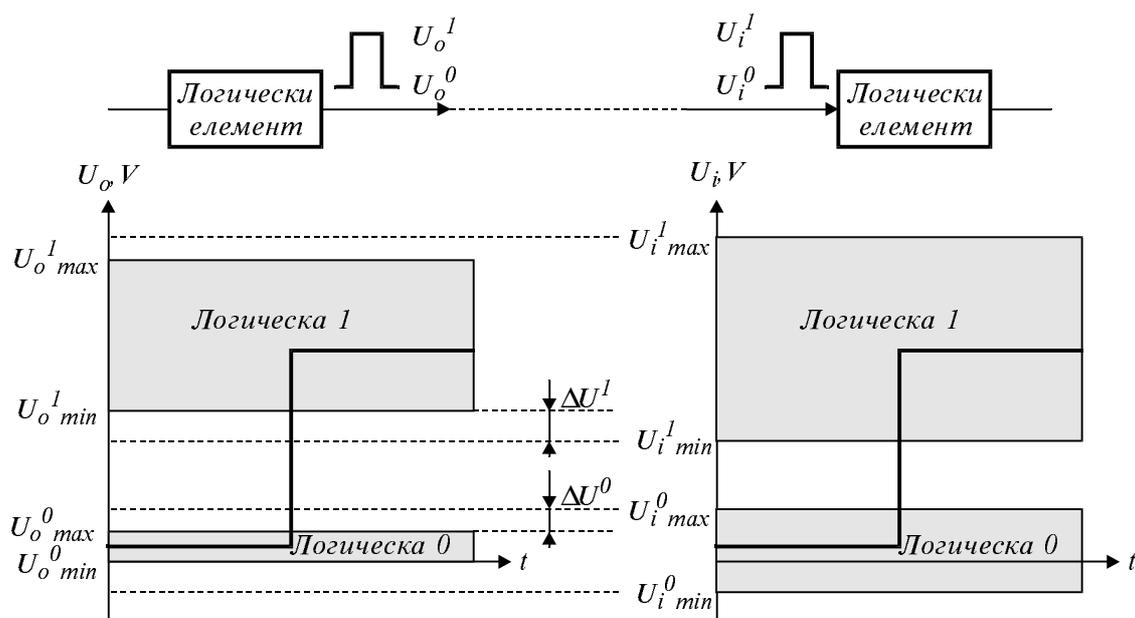
видове логики областите на логическата 1 и 0 може да са с различна големина и асиметрично разположени спрямо захранващото напрежение.

Областите на логическата 0 и 1 са различни за изходните и за входните сигнали на логическите елементи. Големината им осигурява правилна работа при промяна на параметрите на схемите от температурата, натоварването, захранващото напрежение, въздействието на шумовете и технологичните допуски. За да се гарантира правилна работа при свързването на елементите, е необходимо областите на изменение на входните сигнали да са по-широки от областите на изменение на изходните сигнали. При това, областите на входните логически нива трябва да покриват областите на изходните нива. Това важи и при свързването на логически елементи от различни фамилии.

1.2. Шумоустойчивост на логическите елементи

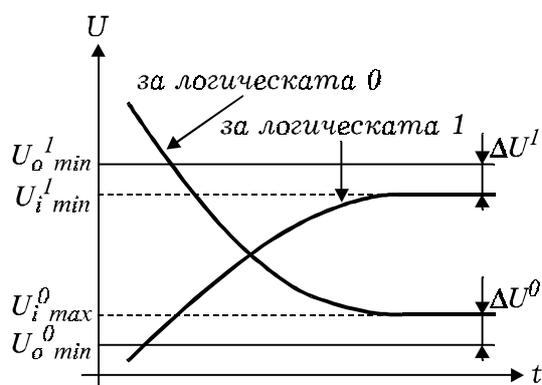
Едно от успешните условия за използване на цифровите схеми в апаратурата е осигуряването на шумоустойчивостта. Тя се дефинира поотделно за двете логически нива. Статичната шумоустойчивост на логическата 1 представлява разликата между минималното напрежение на изходната 1 и минимално допустимото напрежение за входната 1 , т.е. $\Delta U^1 = U_{o1_{min}} - U_{i1_{min}}$. Статичната шумоустойчивост на логиче-

ската θ е разликата между максималното напрежение на изходната θ и максимално допустимото напрежение за входната θ , т.е. $\Delta U^\theta = U_o^\theta_{max} - U_i^\theta_{max}$. Понятието статична шумоустойчивост се използва за означаване на максималното ниво шум, което прибавено към логическия сигнал, при най-неблагоприятни условия, няма да доведе до грешна работа на схемата.



Фиг. 1.3. Статична шумоустойчивост на логическите елементи.

На фиг. 1.3 са показани разликите между обхватите на изходните и входните логически нива и определянето на статичната шумоустойчивост за логическите елементи.



Фиг. 1.4. Динамична шумоустойчивост на логическите елементи.

Устойчивостта на логическите схеми към кратки импулсни шумове с различна амплитуда и продължителност се оценява с т.нар. динамична шумоустойчивост. Тя представлява зависимост между допустимата амплитуда на шумовото смущение и неговата продължителност. Характеристиката на динамичната шумоустойчивост определя границата, разделяща областта на допустимите импулсни шумове от областта на недопустимите.

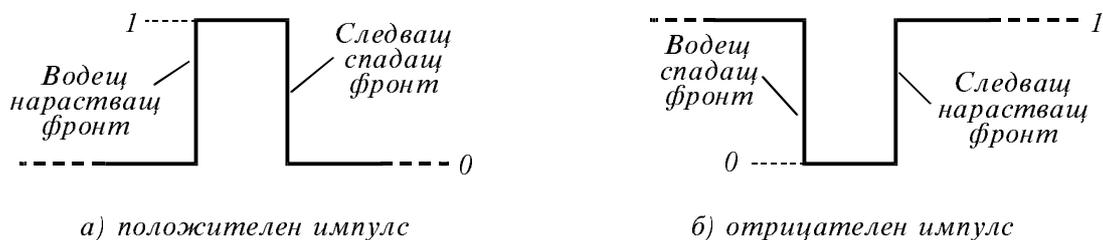
Динамичната шумоустойчивост се определя поотделно както за по-

ложителните, така и за отрицателните импулсни смущения и силно зависи от бързодействието на логическите елементи.

Графиката на динамичната шумоустойчивост за логическите елементи е дадена на фиг. 1.4. Допустимата амплитуда на шумовите смущения рязко нараства и асимптотично се приближава до безкрайност при много кратки импулсни смущения. Тя се приближава към стойността на статичната шумоустойчивост, когато продължителността на шумовия импулс е по-голяма от времето на превключване на логическия елемент.

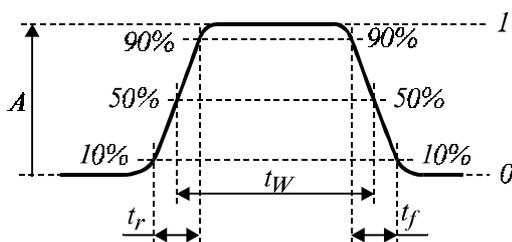
1.3. Цифрови импулси

Импулсите са много важен елемент в цифровата електроника, затова ще бъдат дадени някои основни понятия за тях. Положителен импулс се нарича този импулс, който се генерира когато напрежението преминава от нормално логическо ниво 0 в логическо ниво 1 и се връща обратно в 0 . Отрицателен импулс се нарича този импулс, който се генерира когато напрежението преминава от нормално логическо ниво 1 в логическо ниво 0 и се връща обратно в 1 .



Фиг. 1.5. Единични импулси в цифровата схемотехника.

Единичните импулси имат два фронта — водещ и следващ. Фронтовете биват още нарастващ (от 0 в 1) и спадащ (от 1 в 0). За положителните импулси водещият фронт е нарастващ, а следващият е спадащ. За отрицателните импулси водещият фронт е спадащ, а следващият е нарастващ.

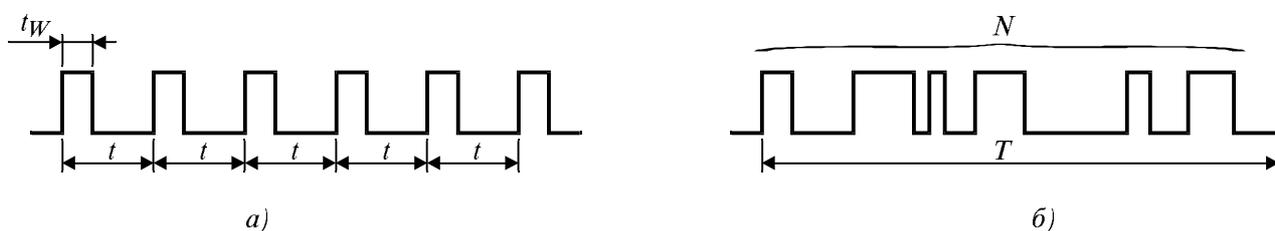


Фиг. 1.6. Параметри на реален импулс.

Реалните цифрови импулси имат повече или по-малко полегати фронтове. Фиг. 1.6. показва определянето на параметрите при реални импулси. Времето на нарастващия фронт t_r се измерва между нивата 10% и 90% от амплитудата A на импулса. По ана-

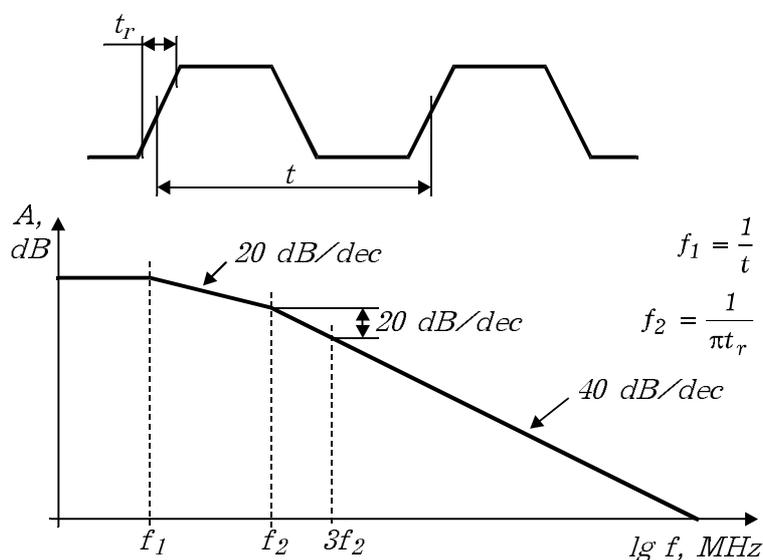
логичен начин се измерва и времето на спадане на импулса t_f — между нивата 90 % и 10 % от амплитудата на импулса. Продължителността на импулса t_W се измерва между водещия и следващия му фронт на ниво 50 % от амплитудата му.

Цифровата електроника използва и импулсни поредици. Те се състоят от серия импулси и могат да се класифицират като периодични (регулярни) и неперидични (случайни) — фиг. 1.7. При периодичните импулсни поредици, формата на всички импулси е една и съща и те следват през точно определен интервал от време t , наречен период. Неперидичните импулсни поредици се състоят от импулси с различна продължителност и различно време на следване.



Фиг. 1.7. Импулсни поредици: а) — периодична; б) — неперидична

Важен параметър при периодичните импулсни поредици е *честота* на следването на импулсите f , която е равна на реципрочната стойност на периода: $f = 1/t$. При неперидичните импулсни поредици скоростта на постъпване на импулсите се определя от усреднения параметър *интензивност*, който е равен на броя на постъпилите импулси за единица време — N/T . Друг важен параметър при периодичните импулси е *коэффициент на запълване* (duty cycle) K , който е отношение между продължителността на импулса и неговия период: $K = t_W/t$.



Фиг. 1.8. Честотен спектър на цифрови сигнали.

Честотният спектър на периодична импулсна поредица с коефициент на запълване 0,5 (вж. фиг. 1.8) зависи на първо място от основната честота f_1 , определена от периода на повторение t : $f_1 = 1/t$. След тази честота, амплитудата на висшите хармоници намалява с 20 dB/dec до честотата f_2 , която се определя от продължителността на фронта на сигнала t_f : $f_2 = 1/\pi t_f$.

1.4. Логически вентили

Логическите вентили (Gate) са основните логически елементи, с които се изграждат схемите в цифровата електроника.

Инверторът, вентил НЕ (NOT), реализира основната логическа функция инверсия или допълнение. Инверторът сменя постъпващото на входа му логическо ниво в противоположното. Логическите символи на инвертора са показани на фиг. 1.9.

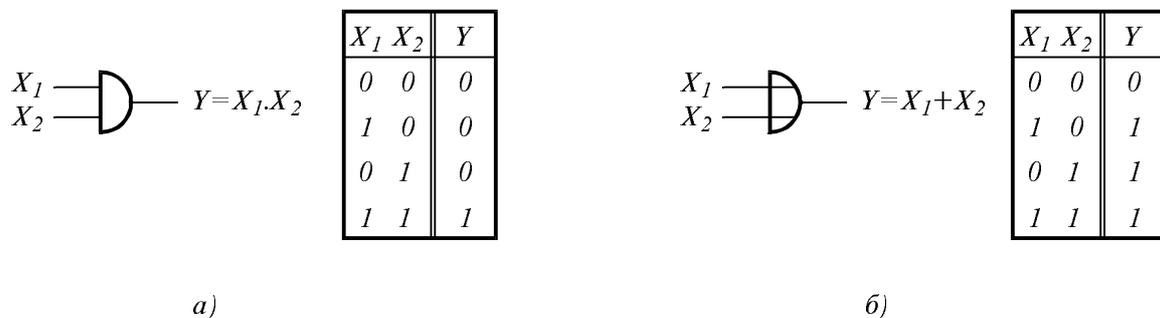


Фиг. 1.9. Логически символи на инвертор.

Индикатор за инверсията е “кръгче”, приложено към вход или изход на логически елемент. Когато кръгчето е приложено към вход означава, че 0 е активното ниво за този вход. Когато кръгчето е приложено към изход означава, че активното изходно ниво е 0.

Обратно, отсъствието на кръгче означава, че активното ниво е логическа 1. Поставянето на инверсия символ във входа или в изхода зависи от приетото активно състояние на цифровите сигнали.

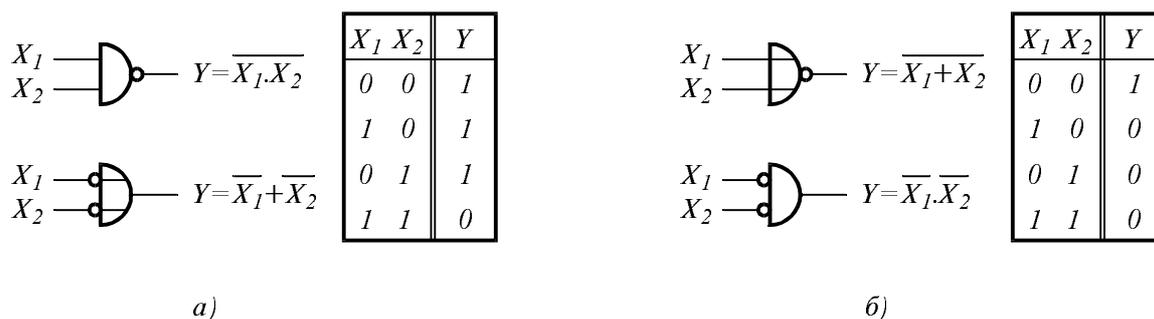
Вентилите И (AND) и ИЛИ (OR) реализират съответно логическо умножение и събиране между няколко входни величини. Техните логически символи за двувходови вентили и таблици на истинност са показани на фиг. 1.10.



Фиг. 1.10. Двувходови логически вентили: а) — И; б) — ИЛИ.

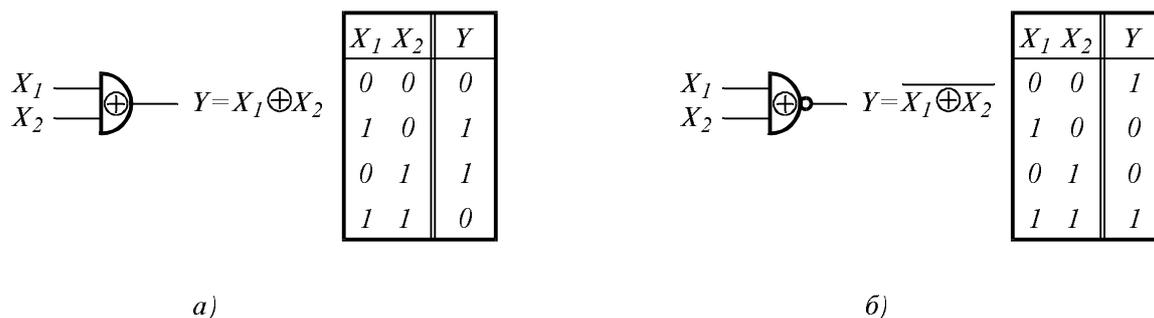
С допълнителен инвертор вентилите И и ИЛИ се превръщат в

най-популярните вентили И-НЕ (NAND) и ИЛИ-НЕ (NOR). Тъй като, съгласно теоремите на булевата алгебра, логическата функция И-НЕ се трансформира в НЕ-ИЛИ, а логическата функция ИЛИ-НЕ — в НЕ-И, тези вентили имат по два логически символа. Различните логически символи се използват за означаване на активните нива на действащите сигнали. Логическите символи за двувходови вентили И-НЕ и ИЛИ-НЕ и таблици истинност са показани на фиг. 1.11.



Фиг. 1.11. Двувходови вентили: а) — И-НЕ (НЕ-ИЛИ); б) — ИЛИ-НЕ (НЕ-И).

Две или повече променливи могат да формират голямо разнообразие от функции и за тях да се съставят съответните логически символи, но на практика като самостоятелно изградени вентили се срещат още само логическите вентили ИЗКЛЮЧВАЩО ИЛИ (XOR) и ИЗКЛЮЧВАЩО ИЛИ-НЕ (XNOR). Техните логически символи за двувходови вентили и таблици истинност са показани на фиг. 1.12.

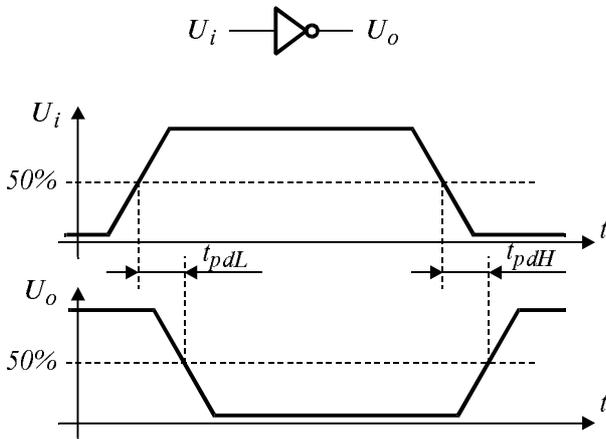


Фиг. 1.12. Двувходови логически вентили: а) — ИЗКЛЮЧВАЩО ИЛИ; б) — ИЗКЛЮЧВАЩО ИЛИ-НЕ.

От таблицата на истинност на вентила XOR могат да се видят неговите три основни приложения:

- Реализиране на логическата функция СУМА ПО МОДУЛ 2;
- Индициране на равенство. Ако входните величини са еднакви $Y = 0$, а ако са различни $Y = 1$;
- Реализиране на управляемо инвертиране. Ако X_2 се разглежда

като управляващ сигнал, при $X_2 = 0$ следва $Y = X_1$, а ако $X_2 = 1$ то $Y = \bar{X}_1$, т.е. вентилът инвертира или не сигнала на единия вход, според състоянието на другия.



Фиг. 1.13. Закъснение при разпространяването на цифров сигнал.

Най-важният параметър на логическите вентили е времето на закъснение при разпространяването на сигнала през него (Propagation delay time). Специфицират се две времена на закъснение: t_{pdL} — време на закъснение на сигнала при спадащ преход в изхода на вентила; t_{pdH} — време на закъснение на сигнала при нарастващ преход в изхода на вентила. Тези две времена се измерват спрямо 50 %-ните стойности на входните и изходните импулси и са илюстрирани (за

логически инвертор) на фиг. 1.13.

Обикновено честотните свойства на логическите схеми се характеризират с усреднен параметър — т.нар. време на превключване:

$$t_{pd} = (t_{pdL} + t_{pdH})/2.$$

Друг параметър за логическите вентили е консумираната мощност (Power dissipation) от захранващия източник. При постоянно захранващо напрежение E_{CC} , консумираната мощност определя консумирания ток I_{CC} от логическия вентил. Той е различен за състояние 0 и 1 в изхода на вентила, затова обикновено се специфицира среден ток I_{CC} при коефициент на запълване 0,5 на сигнала в изхода на вентила.

Трети параметър представлява коефициентът на разклонение на логическия вентил (Fan-out). Той изразява товароспособността на вентила и се определя от броя на входовете на елементи от същата логическа фамилия, които могат да бъдат включени към неговия изход, без да се излиза извън зоните на логическите нива.

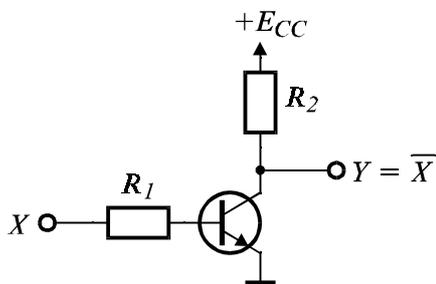
2. ЛОГИЧЕСКИ СЕМЕЙСТВА

Логическите семейства (фамилии) са схемотехнично и технологично обособени групи логически схеми. Те се изграждат на базата на определен вид превключващи елементи — най-често биполярни или униполярни транзистори. В зависимост от използваните състояния на превключващите елементи, те се разделят на две големи групи:

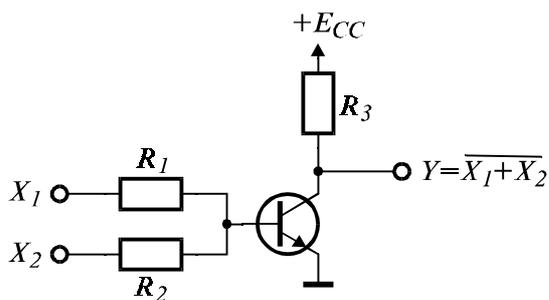
- фамилии в които се използва състоянието на насищане в транзисторите (наситени логически схеми);
- фамилии, в които не се използва състоянието на насищане в транзисторите (ненаситени логически схеми).

Логическите схеми от първата група са по-бавни, тъй като при тях в режим на насищане, върху транзистора оказва въздействие ефектът на натрупване на неосновни токоносители.

2.1. Транзисторен ключ, резисторно-транзисторна логика — RTL и транзисторно-резисторна логика — TRL



Фиг. 2.1. Електронен ключ с биполярен транзистор.



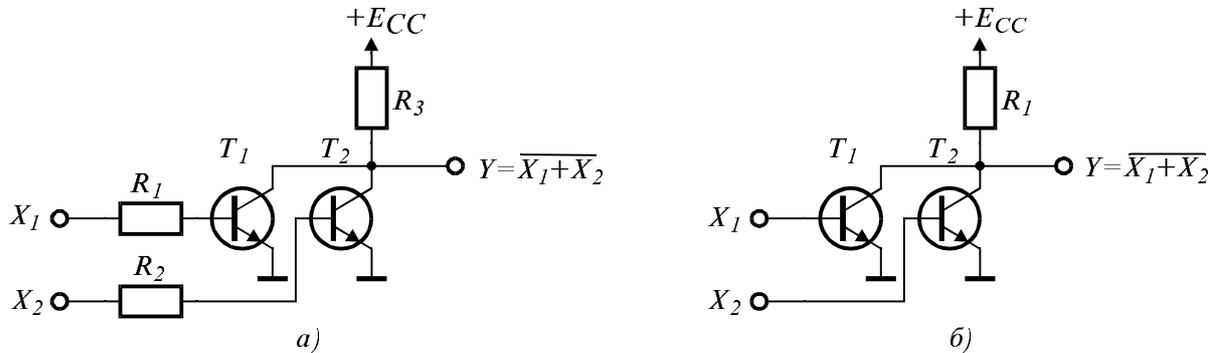
Фиг. 2.2 Резисторно-транзисторна логика (RTL)

Най-простият логически елемент, реализиращ функцията НЕ е транзисторният инвертор (фиг. 2.1). Транзисторът е свързан в схема с общ емитер и работи в ключов режим. При високо ниво на входа, транзисторът е наситен и нивото в изхода е ниско (за силициеви транзистори $< 0,1$ V). При ниско ниво на входа, транзисторът е запущен и в изхода се установява високо ниво.

Основното закъснение при превключване се определя от времето на разсейване на неосновните токоносители в базата на транзистора при излизането му от насищане.

Разновидност на транзисторния ключ е резисторно-транзисторната логика (RTL), чийто основен елемент е показан на фиг.

2.2. Ако на един или на няколко входа се подаде напрежение с високо ниво, транзисторът се насища и на изхода излиза ниско напрежение. При положителна логика, тази RTL схема реализира функцията ИЛИ-НЕ.

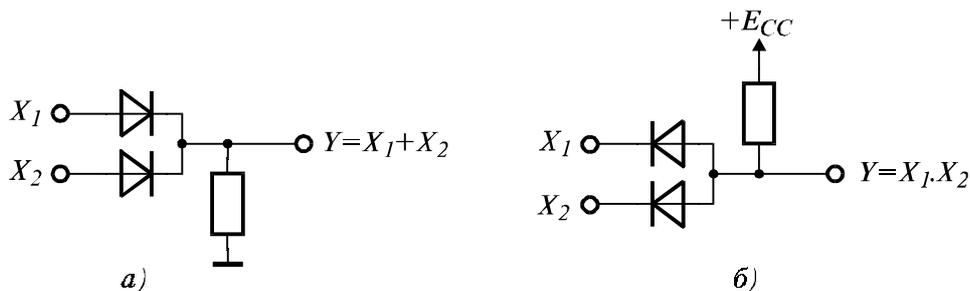


Фиг. 2.3. Биполярни транзисторни логика: а) — транзисторно-резисторна логика — TRL; б) — директно-свързана транзисторна логика — DCTL.

Транзисторни ключове използват транзисторно-резисторната логика — TRL и директно свързаната транзисторна логика — DCTL, също реализиращи функцията ИЛИ-НЕ (фиг 2.3). Високо ниво на един или на няколко входа насища съответния транзистор и в изхода излиза ниско ниво. DCTL притежава същата конфигурация както TRL, но без базови резистори.

2.2. Диодна логика и диодно-транзисторна логика — DTL.

На фиг. 2.4 са показани две схеми, в които логическите функции се реализират чрез диоди и резистор. В схемата от фиг 2.4.а, изходното ниво е високо, ако поне на един от входовете е подадено високо ниво. В схемата от фиг. 2.4.б, изходното ниво е ниско, ако поне на един от входовете е подадено ниско ниво. Тези схеми в положителна логика реализират съответно функциите ИЛИ и И.



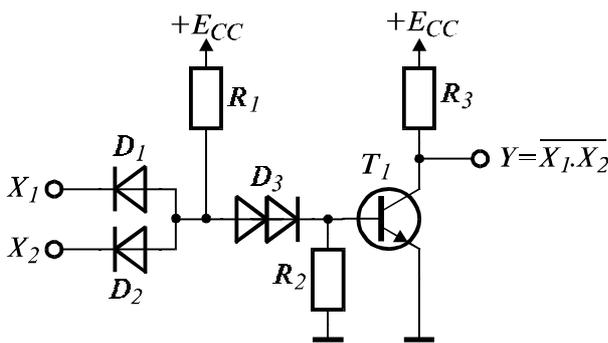
Фиг. 2.4. Диодна логика: а) — ИЛИ; б) — И.

Показаните схеми имат следните по-важни недостатъци:

— при схемата И, логическата 0 на изхода е по-висока от входната логическа 0, а за схемата ИЛИ — логическата 1 на изхода е по-ниска от входната логическа 1. Това довежда до невъзможност от включването на повече логически елементи последователно;

— липсва развързване по вход, т.е. практически е трудно един изход да захранва няколко входа тъй като изходният товар действа директно на входния сигнал.

Диодно транзисторната логика (DTL) представлява обединение на диодна логика с допълнително включен транзисторен ключ. В представената на фиг. 2.5 схема, базовият ток на изходния транзистор преминава през резистора R_1 само в случай, че са запущени и двата входни диода D_1 и D_2 (само ако входните нива са високи). Тогава транзисторът T_1 е наситен и изходното напрежение е ниско. Реализираната функция в положителна логика е И-НЕ.



Фиг. 2.5. Диодно-транзисторна логика (DTL).

Токът протичащ през резистора R_1 предизвиква върху двойния диод D_3 пад на напрежението около 1,4 V. Заедно с напрежението $U_{BE} = 0,6$ V на наситения транзистор в общата точка на диодите се получава напрежение $0,6 + 1,4 = 2$ V. Ако някое от входните напрежения не превишава 1,3 V, съответният диод се отпушва и напрежението в общата им точка се намалява. Тогава диодът D_3 се запущва, а заедно с него се

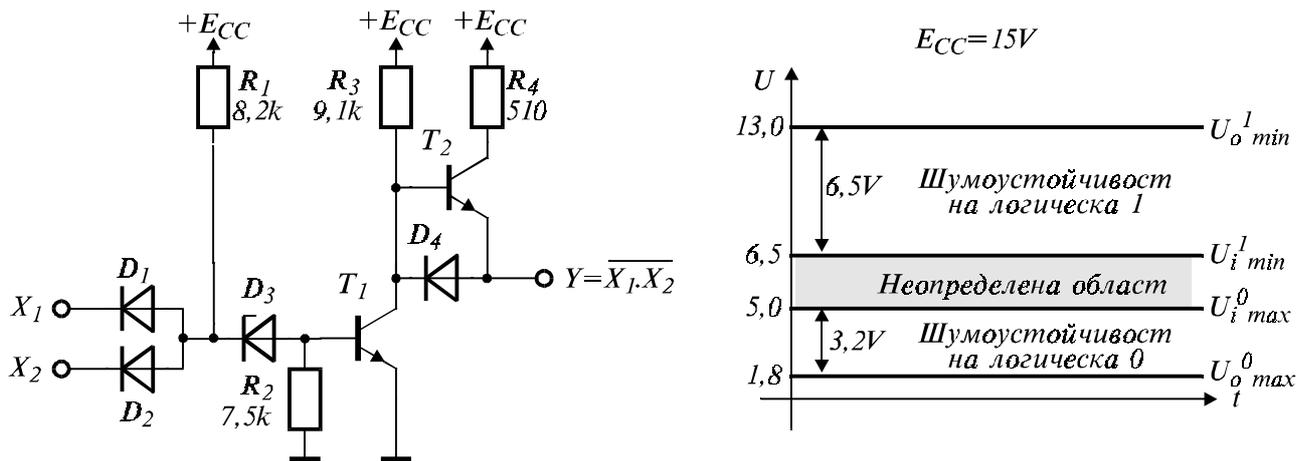
запушва и транзисторът T_1 . Стойността 1,3 V определя момента на превключване на схемата, а максималната стойност на входната логическа 0 може да бъде 1,1 V. Тъй като напрежението на изходната логическа 0 е около 0,1 V, запасът от шумоустойчивост за логическата 0 е около 1 V.

2.3. Логически схеми с висока шумоустойчивост — HiNIL

Това семейство логически схеми, познато под съкратеното наименование HiNIL (High Noise Immunity Logic), е разработено на основата на DTL схеми. Фиксирането на входните логически нива е извършено с помощта на ценеровия диод D_3 . Основният елемент от тази

логика е показан на фиг. 2.6.

Увеличаването на изходната товароспособност е постигнато благодарение на поставянето на активен товар, представляващ транзистор, включен като емитерен повторител. При логическа 1 на изхода, транзисторът T_1 е запушен, а транзисторът T_2 провежда необходимия изходен ток, поддържайки високо ниво на изходното напрежение.



Фиг. 2.6. Високо-шумоустойчива логика — HiNIL.

Ако изходното напрежение е логическа 0 , товарният ток протича към маса през изходния диод D_4 и наситения транзистор T_1 . От показаните логически области на нивата в NiNIL се вижда, че шумоустойчивостта за логическата 1 е $6,5\text{ V}$, а за логическата 0 — $3,2\text{ V}$, при захранващо напрежение $+15\text{ V}$.

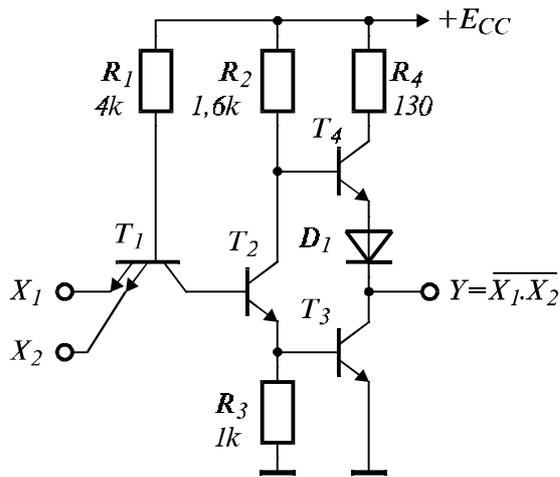
2.4. Транзисторно-транзисторна логика — TTL

Появила се в края на 60-те години като развитие и замяна на диодно-транзисторната логика, транзисторно-транзисторната логика — TTL бързо завоюва водещо положение в цифровата схемотехника. Въпреки появата на други логически серии, благодарение на непрекъснатото си усъвършенстване, TTL остава една от най-масово използваните логики.

2.4.1. Основна логическа клетка на TTL

Основният логически елемент на транзисторно-транзисторната логика, изобразен на фиг. 2.7, произхожда от DTL и прилича на схемата от фиг. 2.5. Входните диоди са заменени с преходите емитер-база на един многоемитерен транзистор T_1 . Първият от шумоустойчивите ди-

оди е заменен с прехода база-колектор на същия многоемитерен транзистор.



Фиг. 2.7. Основен логически елемент на TTL.

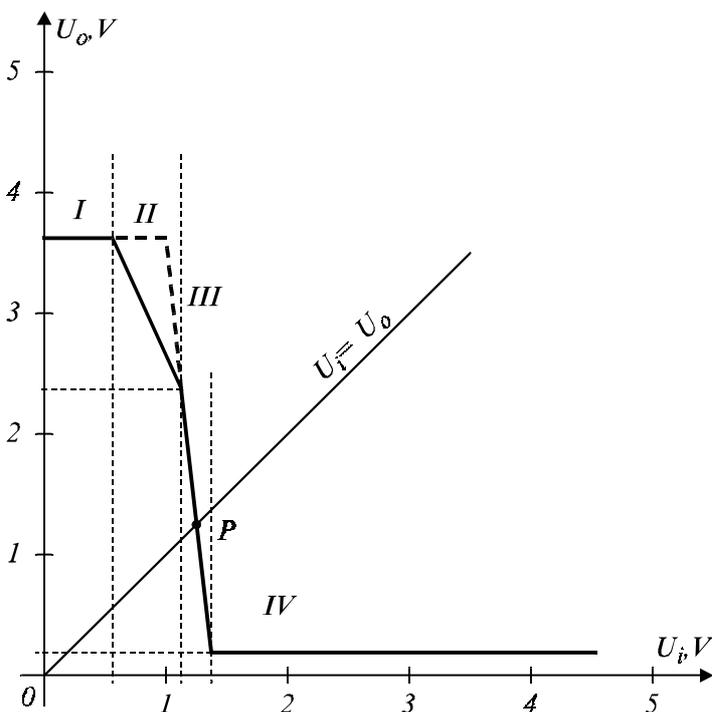
Вторият шумоустойчив диод е заменен с прехода база-емитер на транзистора T_2 . Поставено е двутактно изходно стъпало, което осигурява по-голям изходен ток и по-висок запас от шумоустойчивост. Основният логически елемент при TTL схемите изпълнява функцията И-НЕ за положителна логика.

Общият принцип на изграждане на TTL елементите се спазва от отделните производители, но съществуват известни различия. Затова е необходимо, в по-специални случаи да се прави справка

за конкретната използвана логическа схема.

2.4.2. Статични характеристики на TTL.

Статичната предавателна характеристика дава връзката между входното и изходното напрежение на логическия елемент. На фиг. 2.8 е дадена предавателната характеристика на основния TTL елемент.



Фиг. 2.8. Идеализирана предавателна характеристика на TTL.

При напрежение 0 V поне на един от входовете, в изхода на елемента нивото е 1 . Тогава транзисторът T_1 е наситен. Напрежението в базата на транзистора T_2 е приблизително 0 V и той е запушен. Запушен е и транзисторът T_3 . Транзисторът T_4 е отпушен, тъй като през резистора R_2 в базата му се подава захранващото напрежение. Изходното напрежение е логическа 1 със стойност около $3,6\text{ V}$ при липса на товар.

С увеличаване на входното напрежение, се увеличава и напрежението в базата на транзистора T_2 . До достигане на входно напрежение от около $0,55\text{ V}$, транзисторът T_2 е запушен и изходното напрежение остава неизменно. Това е област I от предавателната характеристика. Увеличаването на входното напрежение се подава на базата на T_2 през наситения транзистор T_1 . При входно напрежение от над $0,55\text{ V}$, транзисторът T_2 се отпушва и през него протича ток. Колекторното му напрежение започва да намалява, което през T_4 , работещ като емитерен повторител, се предава на изхода като линейно спадащо напрежение. Това линейно спадане на изходното напрежение продължава докато входното напрежение достигне ниво около $1,1\text{ V}$ — област II от предавателната характеристика. В тази област, транзисторът T_3 остава запушен, понеже напрежението в емитера на T_2 е по-малко от необходимото за отпушване на прехода база — емитер на T_3 .

При входно напрежение около $1,1\text{ V}$ се отпушва транзисторът T_3 . Част от емитерния ток на транзистора T_2 започва да протича през базата на T_3 и напрежението в базата на T_2 престава да нараства линейно с увеличаване на входното напрежение, ограничено от двата отпушени PN прехода. Преходът база — емитер на T_3 шунтира емитерното съпротивление на T_2 и коефициентът му на усилване нараства. Поради това, при по-нататъшно увеличаване на входното напрежение изходната характеристика рязко спада — област III. В нея се намира точката P , в която се пресича правата $U_i = U_o$. Тази точка се намира приблизително в средата на участъка III и условно се приема за точка на превключване на логическия елемент — около $1,2\text{ V}$.

При входно напрежение над $1,3\text{ V}$, транзисторът T_1 преминава в активен инверсен режим, T_2 се насища, T_4 се запушва, T_3 се насища и на изхода на елемента се установява ниско ниво (изходно напрежение на наситен транзистор) — област IV от предавателната характеристика.

В отделните области на предавателната характеристика са отпушени различен брой транзистори, което определя и различната консума-

ция на логическия елемент. Най-малка тя е в област I, тъй като тогава протичат само базовите токове на транзисторите T_1 и T_4 . Най-голяма е консумацията в област III на предавателната характеристика, тъй като тогава всички транзистори са отпушени. Същевременно, тогава логическият елемент е активен, тъй като транзисторите T_2 , T_3 и T_4 са в активен режим, а T_1 е наситен и предава входните сигнали на базата на T_2 . Логическият елемент ще усилва всеки попаднал на входа му сигнал, както полезен, така и смущаващ. Поради наличието на паразитни положителни обратни връзки в интегралната структура, логическият елемент е склонен към самовъзбуждане, ако се установи в област III. Затова продължителността на фронтовете на импулсите във входа не трябва да е по-голяма от около $0,5 \mu\text{s}$.

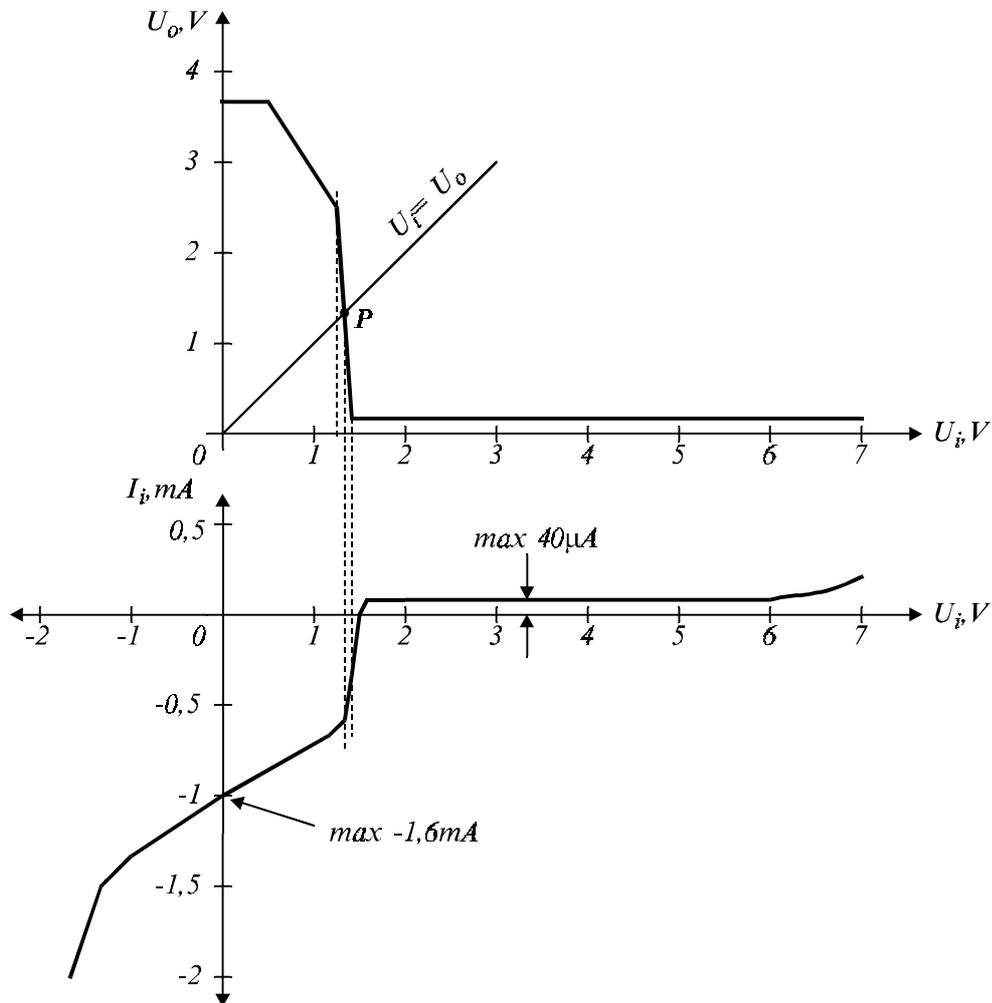
Реалната предавателна характеристика на логическите елементи се различава от разглежданата идеализирана — по сравнително плавните преходи между отделните участъци. Напреженията, съответстващи на преходите между отделните области, зависят от параметрите на транзисторите в интегралната структура, поради което те се различават за интегралните схеми, произведени от различни фирми.

Входната характеристика дава зависимостта на входния ток от входното напрежение. Нейният вид, за основния TTL елемент, е представен на фиг. 2.9. За сравнение, на същата фигура е дадена и съответната предавателна характеристика. За отрицателен е приет токът, изтичащ от входа на логическия елемент.

В областта I на предавателната характеристика, транзисторът T_1 е наситен и входният ток се определя от неговия базов ток, протичащ през резистора R_1 . Входната характеристика в тази област е линейна. В областта II на предавателната характеристика, поради отпушване на транзистора T_2 и отклоняване на част от базовия ток на T_1 , стръмността на входната характеристика съвсем леко се увеличава. При входно напрежение, равно на праговото, транзисторите T_2 и T_4 се насищат и това довежда до увеличаване на тока в базата на T_2 , — увеличава се токът в колектора на T_1 и се намалява токът в емитера му. Входната характеристика има чупка при $U_i = U_o$, след което входният ток отново намалява линейно.

Този участък на входната характеристика завършва със смяна на посоката на входния ток и с инверсно включване на T_1 . След този момент, входният ток вече зависи от коефициента на усилване по ток на инверсно включения транзистор T_1 и има максимална стойност от около $40 \mu\text{A}$. Входното напрежение трябва да се ограничава до $5,5 \text{ V}$, тъй като над тази стойност настъпва пробив в паразитен междуемите-

рен транзистор, ако на някой от емитерите в същото време има потенциал нула. Ако всички емитери се управляват заедно, тази стойност може да бъде превишена до $6,5\text{ V}$ (над нея настъпва пробив в инверсно свързания транзистор T_1).

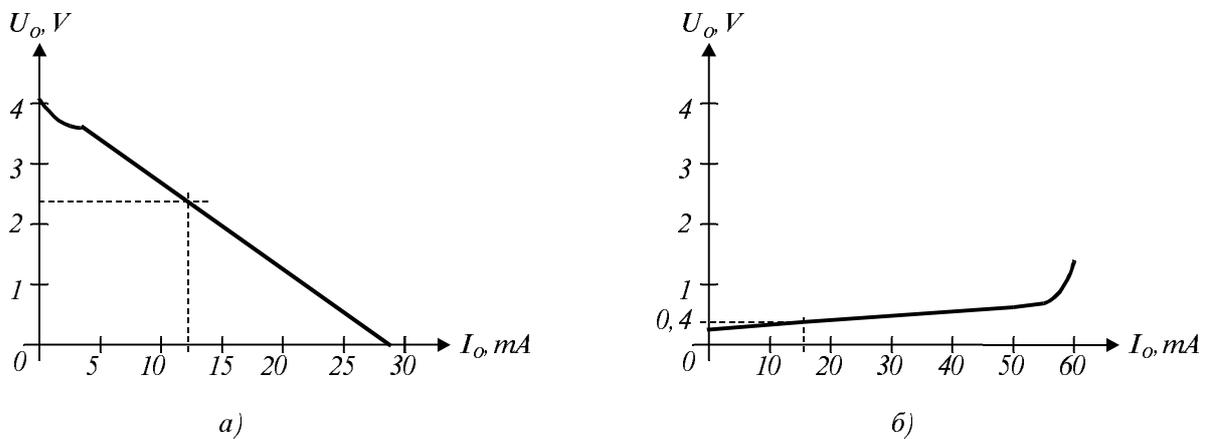


Фиг. 2.9. Входна характеристика на TTL, съпоставена с предавателната характеристика.

Подаването на отрицателни входни напрежения до около $-1,5\text{ V}$, предизвиква плавно линейно нарастване на тока, след което той започва да нараства много бързо. Поради опасност от пробив по мощност, не бива да се подават входни напрежения по-ниски от $-0,8\text{ V}$. Повечето производители включват ограничителни обратни диоди във входовете на елементите. Те ограничават амплитудата на отрицателните отскоци до около $-0,7\text{ V}$ и издържат на определен ток.

Исходната характеристика представлява зависимостта на изходното напрежение от изходния ток. Тя характеризира товароспособността на логическия елемент. Тази характеристика е различна за двете статични състояния в изхода на логическия елемент — съответно за 0 и за 1 .

На фиг. 2.10 са дадени изходните характеристики на основния TTL елемент.



Фиг. 2.10. Изходна характеристика на TTL: а) - при логическа 1; б) - при логическа 0.

При изходно ниво 1 и при изходен ток равен на нула, транзисторът T_4 и диодът D_1 работят на прага на отпушването. При появата на товарен ток, диодът D_1 и транзисторът T_4 се отпушват и изходното напрежение рязко спада даже и при минимален товар. При достигане на ток около 2 mA, изходният транзистор T_4 се насища и оттам нататък напрежението започва линейно да спада. При късо съединение, изходният ток се ограничава до около $25 \div 30$ mA. Логическият елемент издържа неограничено време на късо съединение с масата.

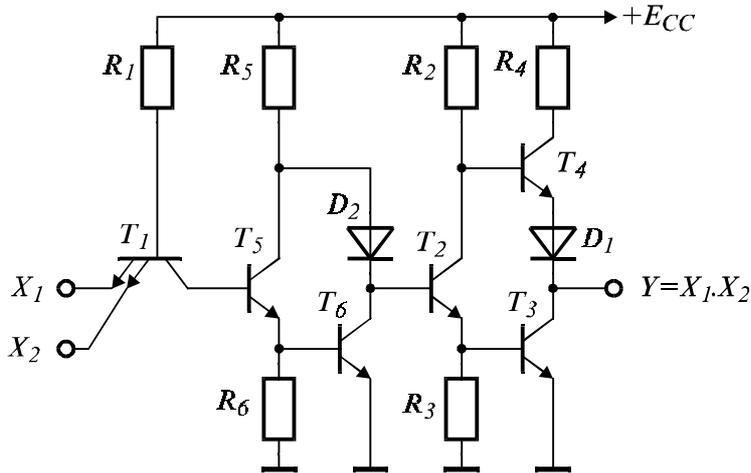
При изходно ниво 0 и при липса на изходен ток, напрежението в изхода е около $50 \div 60$ mV. С увеличаване на товарния ток, изходното напрежение линейно се повишава, като до 16 mA то не надхвърля $0,4$ V. От там нататък, изходното напрежение рязко нараства, тъй като базовият ток на T_3 става недостатъчен да го задържи в наситено състояние и T_3 преминава в активен режим. При късо съединение със захранващия проводник, изходният ток е около 80 mA и настъпва необратима повреда.

2.4.3. Разновидности на TTL елементи

Чрез многократното използване на основния логически елемент на TTL, реализиращ функцията И-НЕ, могат да се синтезират схеми за останалите логически функции. Независимо от това, за удобство на конструкторите и за по-икономично синтезиране на цифрови устройства, са създадени логически елементи, осъществяващи направо най-често използваните логически операции.

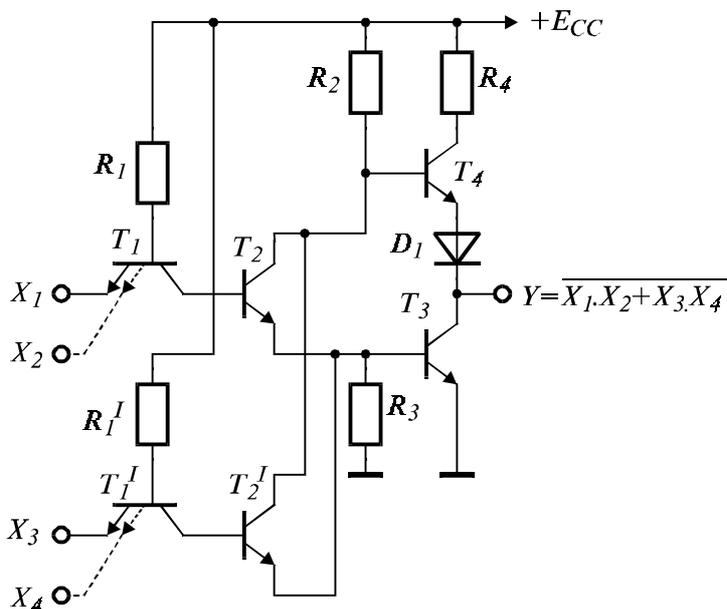
На фиг. 2.11 е показана принципната схема на TTL елемент, ре-

лизиращ функцията И. Използвана е основната клетка на TTL с функция И-НЕ, като е въведен допълнителен инвертор между многоемитерния транзистор T_1 и транзистора T_2 . Инверторът е изграден с транзисторите T_5 и T_6 и диода D_2 .



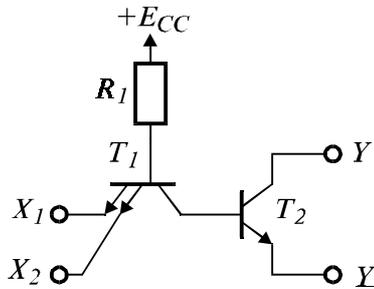
Фиг. 2.11. TTL елемент, изпълняващ функцията И.

TTL схема ИЛИ-НЕ е показана на фиг. 2.12. В тази схема, успоредно на T_2 е включен транзистор T_2^I с идентичен вход. Изходното състояние ще бъде логическа 0, ако поне един от двата транзистора T_2 и T_2^I е наситен, т.е. ако на единия или на другия вход има подадена логическа 1. Ако в същия логически елемент, входните транзистори T_1 и T_1^I са многоемитерни (както е показано с прекъснатата линия), се получава многофункционален елемент, реализиращ функцията И-ИЛИ-НЕ.



Фиг. 2.12. TTL елемент, изпълняващ функцията ИЛИ-НЕ.

За увеличаване на възможностите при реализиране на комбинирани логически операции се използват т.нар. разширяеми логически елементи и разширители. Разширяемите елементи представляват логически елементи, реализиращи някаква функция, но с допълнителни изводи от колектора и емитера на транзистора T_2 .

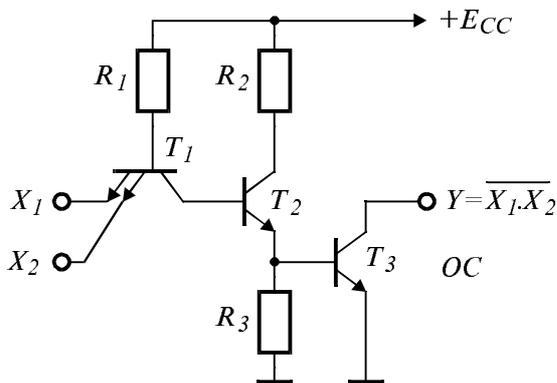


Фиг. 2.13. TTL разширител.

Разширителите представляват логически елемент с нормална входна верига, реализираща определена логическа операция и с непълно крайно стъпало. На фиг. 2.13 е показана схема на разширител. Транзисторът T_2 може да се включва паралелно на идентичен транзистор от разширяем логически елемент, като по този начин се получава допълнителна

функция ИЛИ.

Освен логическите елементи с противотактно изходно стъпало, се срещат и т.нар. схеми с отворен колектор (ОС). При тях, както е показано на фиг. 2.14, в изходното стъпало липсва горното рамо (T_4 , D_1 и R_4). Колекторът на транзистора T_3 е изведен непосредствено и към него се свързва външен товар.

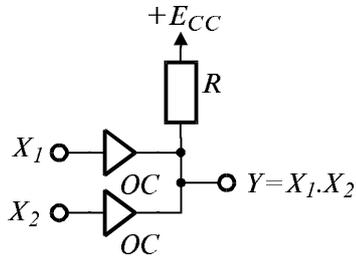


Фиг. 2.14. TTL елемент с изход "отворен колектор" (ОС).

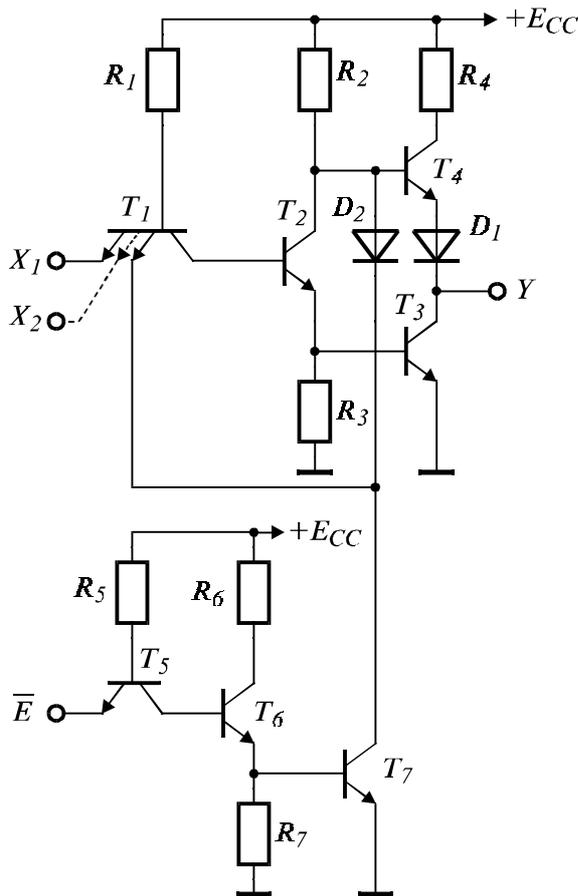
Основното приложение на елементите с отворен колектор е непосредствено управление на различни елементи и устройства като индикаторни лампи, светодиоди, релета, линии за връзка и др., чиито изисквания за ток и напрежение не отговарят по логически нива или по товароспособност на TTL елементи с противотактен изход. С отворен колектор се произвеждат елементи, реализиращи различни логически функции.

Чрез паралелно свързване на изходите на логическите елементи с отворен колектор, се реализира т.нар. функция "жично И". Към накъсо свързаните изходи се включва товарно съпротивление R , както е показано на фиг. 2.15. Изходното напрежение ще има високо ниво само тогава, когато всички изходни транзистори на елементите са запу-

шени. От друга страна, изходното напрежение ще има ниско ниво ако един или повече елементи с отворен колектор са с наситен изходен транзистор.



Фиг. 2.15. Свързване на изходи с отворен колектор в схема "жично И".



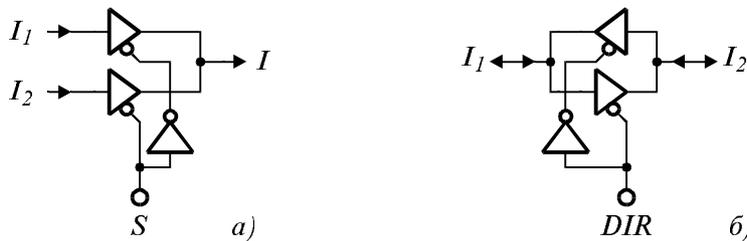
Фиг. 2.16. TTL елемент с възможност за високоимпедансно състояние на изхода.

В цифровата схемотехника се използват специализирани логически елементи, имащи възможност да "изключват" изходите си. Това са елементи с трето състояние в изходите си. Такъв елемент И-НЕ е показан на фиг. 2.16. Освен логическа 0 и 1 в изхода си, той има още едно състояние, в което изходът е "изолиран" спрямо масата и захранването.

Това състояние се нарича високоимпедансно. Схемата се състои от две части, като горната представлява обикновения елемент, а долната — инвертор с отворен колектор. Когато на управляващия вход \bar{E} има подадена логическа 1, транзисторът T_7 се насища и през диода D_2 запущва T_4 . Състоянието на логическа 0 в изхода на T_7 се подава към единия от входовете на логическия елемент, което предизвиква запущване и на T_3 . Така и двата изходни транзистора T_3 и T_4 се запущват и изходът на схемата се "изключва". Същевременно, подаването на 0 на допълнителния (вътрешен) емитер на T_1 обезточава входната верига. Когато на управляващия вход \bar{E} се подаде логическа 0, T_7 се запущва и горната схема се освобождава за работа.

Две основни приложения на елементите с трето състояние са показани на фиг. 2.17. На фиг. 2.17.а е дадено реализирането на електронен превключвател на два сигнала към една линия. Само един от двата елемента може да бъде разрешен

в даден момент от времето и само той пропуска сигнала от входа към изхода си. Такива превключватели се използват, когато няколко устройства трябва да се свържат към обща линия или магистрала за предаване на информация.



Фиг. 2.17. Основни приложения на елементи с трето състояние: а) — електронен превключвател; б) — двупосочен буфер.

Приложението, показано на фиг. 2.17.б се отнася до буферирането на двупосочна линия. Двата антипаралелно свързани буфера с трето състояние се разрешават алтернативно от сигнал за посока на информацията *DIR*. Това приложение широко се използва в микропроцесорната схемотехника за буфериране на двупосочни информационни магистрали.

2.4.4. TTL серии

TTL интегралните схеми се появиха първоначално в производството на фирмата Texas Instruments — т.нар. “нормална серия”. Тяхното означение (наложено от фирмата първопроизводител, а след това възприето от повечето други фирми) се състои от означение на серията, идентификатор и пореден номер. Означението на серията е двуцифрено число, различно за различните температурни обхвати на работа на серията. В табл. 2.1 е дадено съответствието между означението на серията и работния температурен обхват.

Таблица 2.1.

Номера на TTL серии

| Серия | Работен температурен обхват, °C | Захранващо напрежение, V |
|-------|---------------------------------|--------------------------|
| 54 | -55 до +125 | 4,5 до 5,5 |
| 64 | -40 до +85 | 4,75 до 5,25 |
| 74 | 0 до +70 | 4,75 до 5,25 |
| 84 | -25 до +85 | 4,75 до 5,25 |

Идентификаторът се състои от една или повече букви, определящи производствената технология на съответната TTL серия (нормалната серия е без идентификатор). Поредният номер е двуцифрено или по-

вече цифрено число, обозначаващо функционалното действие на интегралната схема.

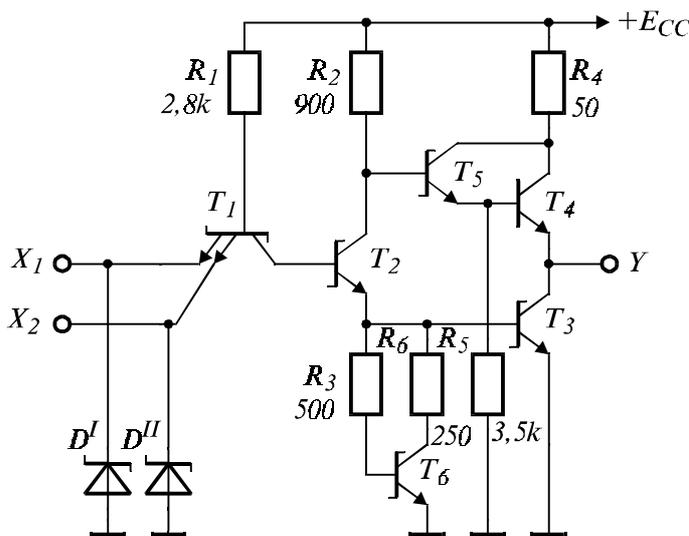
74 LS 161

серия ↑ ↑ ↑ пореден номер
идентификатор

Този начин на означаване е възприет и за други логически серии, като функционално еднаквите схеми се означават с един и същи пореден номер. В следващото изложение, където не е важна технологичната база на схемите, а само тяхното функциониране те ще бъдат означавани само с поредния им номер — например '161.

В рамките на технологията на нормалната TTL серия са създадени и две други семейства TTL: серията L — с намалена консумация и серията H — с повишено бързодействие. В схемната им конфигурация има незначителни промени. При серията L, намаляването на консумираната мощност е постигнато за сметка на увеличаване на стойностите на резисторите, което обаче е довело до понижаване на бързодействието. Обратно, при серията H, чрез намаляване на стойностите на резисторите е постигнато увеличаване на бързодействието, но е увеличена консумацията.

Значителен скок в бързодействието на TTL е извършено след въвеждането на диоди на Шотки (преход метал — полупроводник) в състава на логическите схеми. Включването на Шотки диод между базата и колектора на транзистора го предпазва от навлизане в режим на насищане и съществено намалява времето на закъснение в съответните логически схеми.

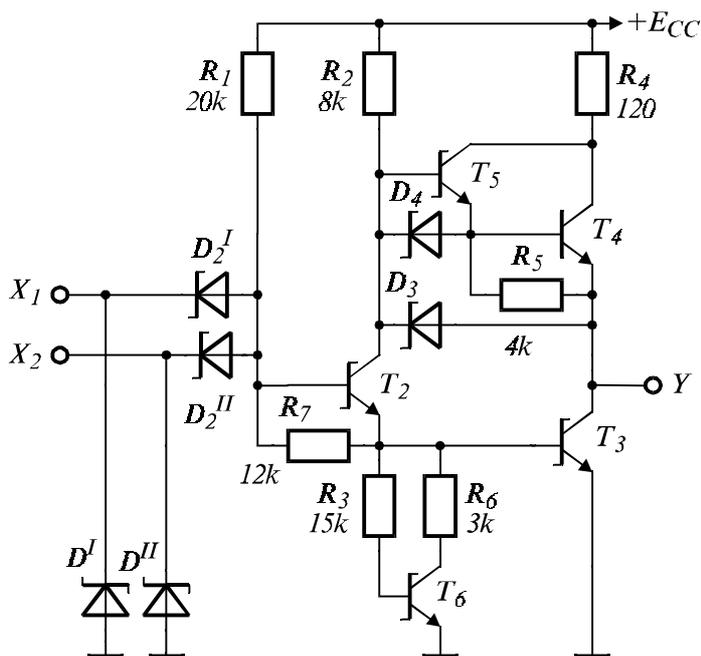


Фиг. 2.18. Основен елемент на TTL серията S.

С транзистори на Шотки първоначално бяха създадени две разно-

видности на логически серии — серията S, характеризираща се с високо бързодействие и серията LS, притежаваща средно бързодействие, но със значително намалена консумация.

Двухходов логически елемент И-НЕ от серията S е показан на фиг. 2.18. Спрямо нормалната TTL, серията S притежава две схемотехнични въведения — групата от транзистор T_4 и диод D_1 е заменена със съставен транзистор (това решение съществува и в серията H), което подобрява изходната характеристика. Вместо резистора R_3 е поставен динамичен товар, състоящ се от транзистора T_6 и резисторите R_3 и R_6 , което прави невъзможно предварителното отпушване на T_2 преди T_3 . Това води до подобряване на предавателната характеристика, премахвайки от нея спадащата област II, което от своя страна повишава шумоустойчивостта. Единствено транзисторът T_4 не е Шотки, тъй като той не работи в режим на насищане. Диодите D_1^I и D_1^{II} предпазват входовете от повреда при подаване на отрицателни напрежения.



Фиг. 2.19. Основен елемент на TTL серията LS.

Двухходов логически елемент И-НЕ от серията LS е показан на фиг. 2.19. Най-същественото изменение в серията LS е повишаването стойността на съпротивленията на почти всички резистори, с което е осигурено значително намаление на консумацията като благодарение на Шотки транзисторите е запазено сравнително добро бързодействие. Спрямо нормалната TTL, серията LS притежава пет пъти по-малка консумирана мощност, при сравнително същото бързодействие. Характерна особеност на LS серията е, че вместо многоемитерен

транзистор във входовете е използвана диодна логика. В този смисъл, LS серията би трябвало да се причислява към DTL, но по силата на традицията и историческата приемственост, тя се определя като TTL.

При многоемитерния транзистор съществуват паразитни NPN транзистори между всеки два емитера. Те определят допълнителни паразитни токове във входната верига. Същевременно те имат сравнително ниско пробивно напрежение. С диодната логика се отстраняват присъщите недостатъци на многоемитерния транзистор, като се постига по-високо бързодействие във входната верига и по-висока стойност на максимално допустимо напрежение между входовете (7 V вместо 5,5 V). Напрежението на превключване на LS логиката е с около 0,1 V по-ниско в сравнение с това на нормалната серия.

Друга особеност на LS серията, е наличието на ускоряващи вериги към изхода на схемите — D_3 и D_4 . Диодът D_4 действа като ускорител на разреждането на паразитния капацитет в базовата верига на T_4 , ускорявайки запусването му при превключване на изходния сигнал от 1 в 0 през отпушващия се транзистор T_2 . Диодът D_3 разрежда товарния капацитет през T_2 и за сметка на увеличението ток през T_2 , увеличава базовия ток на T_3 , ускорявайки включването му.

Прилагането на Шотки транзистори в сериите S и LS дава и други предимства — времената на превключване зависят по-слабо от температурата и предавателните характеристики са по-стръмни, което подобрява шумоустойчивостта.

2.4.5. Усъвършенствани TTL серии ALS, AS и F

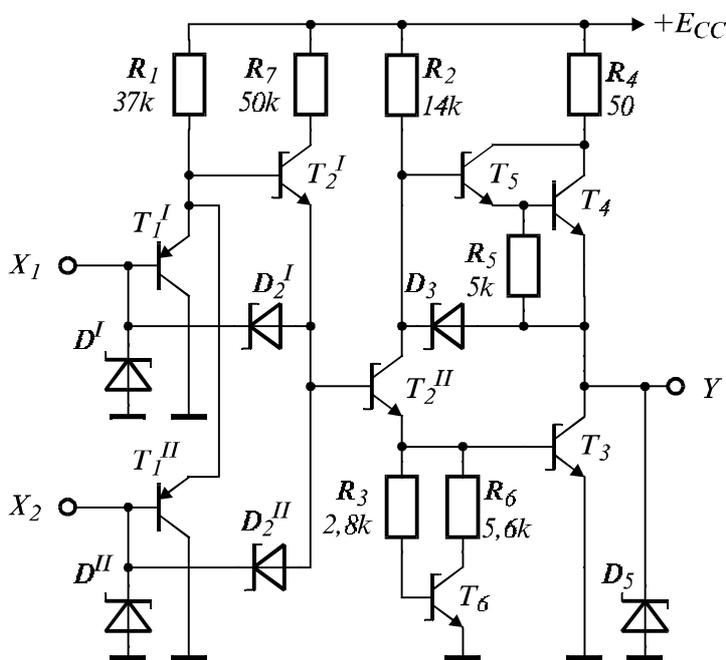
TTL сериите търпят непрекъснато усъвършенстване. Двете основни цели са намаляване на консумацията и увеличаване на бързодействието. Пътищата за постигането на целите са технологични и схемотехнични. Със значителни технологични и схемотехнични новости се отличават усъвършенстваните серии с подобрени параметри ALS (Advanced Low Power Shottky) и AS (Advanced Shottky) — от фирмата Texas Instruments, и F/FAST (Fairchild Advanced Shottky TTL) — от фирмата Fairchild, които сега се произвеждат и от редица други производители.

Най-съществените схемотехнични новости в усъвършенстваните TTL серии могат да се формулират в следното:

- използване на диодна логика във входа, вместо многоемитерен транзистор;
- въвеждане на ускоряващи вериги във входовете на логическите елементи, подобряващи превключването от 1 в 0 във входа;
- наличие на ускоряващи вериги в изходите, подобряващи превк-

лючването от 1 в 0 в изхода.

Съществено схемотехнично изменение в ALS серията — фиг. 2.20, е реализирането на входната диодна логика чрез преходите база — емитер на PNP транзистори, включени като емитерни повторители. Това решение премахва влиянието между входовете на логическия елемент и осигурява голямо входно съпротивление. За последното спомага и използването на съставен транзистор T_2^I и T_2^{II} с отделни резистори в колекторната верига. Това намалява необходимия базов ток на T_2^I и позволява резисторът R_1 да има по-голяма стойност, което увеличава входното съпротивление и намалява консумацията при сигнал 0 на входа.

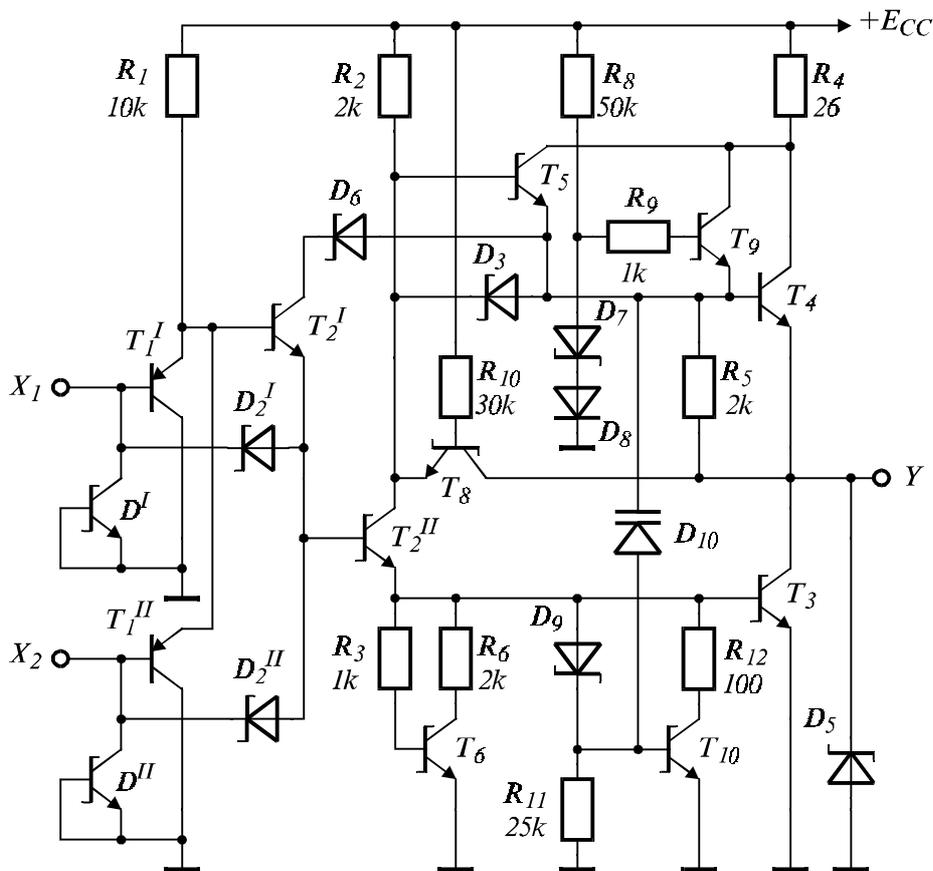


Фиг. 2.20. Основен елемент на TTL серията ALS.

Диодите D_2 осигуряват по-високо бързодействие на схемата при превключване от 1 в 0 на входа. Когато на някой от входовете постъпи преход от 1 в 0, през съответния диод D_2 бързо се разрежда паразитният капацитет в емитерната верига на T_2^I и се разсейват натрупаните неосновни токоносители в базата на T_2^{II} , с което се ускорява процесът на запущване на T_2^{II} и T_3 . Останалата част от схемата и действието на ALS логиката се различава незначително от тази на LS. Напрежението на превключване обаче е малко по-високо от това на LS — около 1,4 V.

AS серията — фиг. 2.21, използва аналогична входна верига с PNP транзистори във всеки вход, но в сложния инвертор T_2 са направени някои изменения, за да се постигне максимално бързодействие

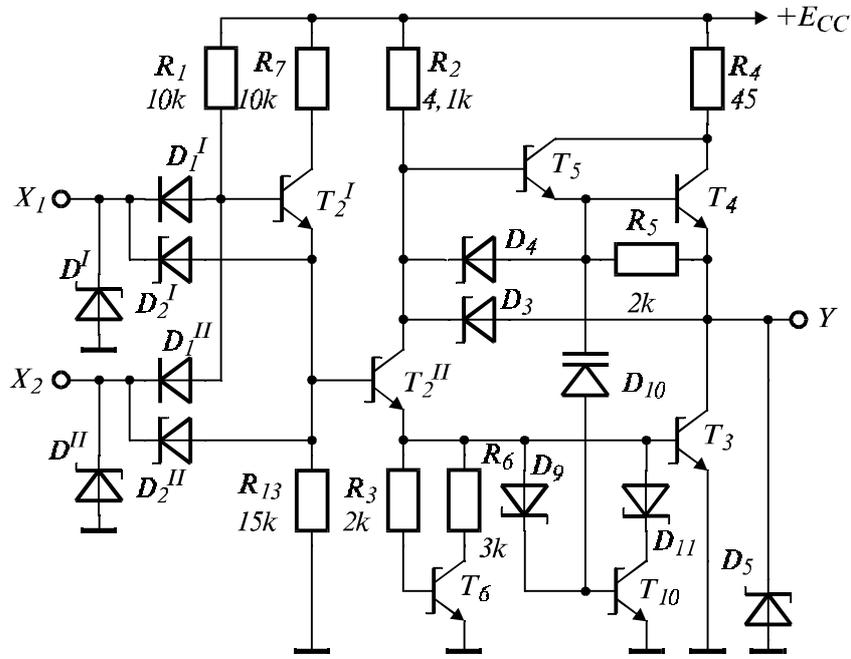
при възможно минимална консумация. За целта, преди всичко са намалени съпротивленията на всички резистори. Колекторът на транзистора T_2^I е свързан към емитера на T_5 през диода D_5 за намаляване на консумацията, като T_2^I получава колекторно захранващо напрежение само докато е запушен и по време на превключване. При логическа 0 на изхода, T_2^I няма захранване и функционира като диод, но съпротивлението на резистора R_1 осигурява достатъчен ток за включването на T_2^{II} .



Фиг. 2.21. Основен елемент на TTL серията AS.

Транзисторът T_8 играе същата роля както диода D_3 в серията LS, но я изпълнява по-ефективно. Допълнително е добавен транзисторът T_9 , който се включва за кратко време при промяна на изходното напрежение от 0 в 1, за да ускори отпушването на T_4 . Транзисторът T_{10} неутрализира влиянието на капацитета колектор — база на транзистора T_3 при превключване от 0 в 1 на изхода. При нарастване на колекторното напрежение на T_3 , през този капацитет постъпва отпушващ сигнал на базата на T_3 , който би забранил неговото запущване. Затова

нарастващият сигнал от емитера на T_5 през варикапа D_{10} се подава в базата на транзистора T_{10} . T_{10} се включва и шунтира прехода база — емитер на T_3 . Това ускорява запусването на T_3 и като цяло повишава бързодействието.



Фиг. 2.22. Основен TTL елемент от серията F (FAST).

По отношение на своето бързодействие и консумация, серията F (фиг. 2.22) заема междинно място между ALS и AS. В структурата на F са използвани схемни решения от сериите LS, ALS и AS, като съпротивленията на резисторите имат междинни стойности на тези от ALS и AS.

Входната логика е диодна, както при LS. Първото стъпало на сложния инвертор е със съставен транзистор, с отделни резистори в колекторните вериги — както при ALS. Повишеното прагово напрежение на отпушване на сложния инвертор е позволило във входната диодна логика да бъдат използвани вместо Шотки диоди, диоди с PN преход, имащи малък собствен капацитет, с което се подобрява шумоустойчивостта на схемата. Останалата част от схемата на F е близка до тази на AS. Съществените разлики са само в отсъствието на транзистора T_9 и свързаните с него компоненти, както и използването на диод D_3 — както при LS.

Входните характеристики на елементите от усъвършенствените TTL серии силно се различават от тази на нормалната серия. Това се дължи на значителните разлики, които съществуват във входните вериги при различните серии. Нещо повече, дори в рамките на една се-

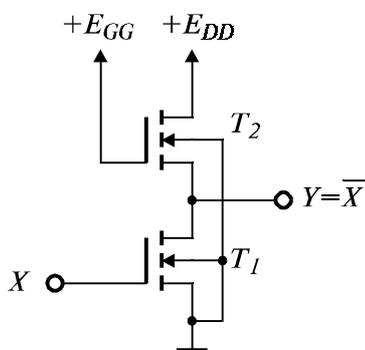
рия производителите прилагат различаващи се входни вериги. При логическите елементи от AS и ALS серията, поради включването на емитерен повторител с PNP транзистор във входа, входното им съпротивление е много голямо. Това определя много малките стойности на входния ток както при логическа 0 , така и при логическа 1 във входа. В логическите елементи от серията F, входната верига е изпълнена типично с диоди с PN преход. Те, за разлика от Шотки диодите, имат значително по-високо обратно напрежение (при F серията ценеров пробив в тях настъпва при около 20 V), което прави входовете устойчиви на свръхнапрежения.

Изходните характеристики при логическа 1 в изхода на сериите, използващи транзистори на Шотки, имат подобен характер на тези от нормалната серия. Те се различават по мащаб една от друга, тъй като са различни параметрите на изходното стъпало при отделните серии. Изходните характеристики при логическа 0 в изхода на сериите, използващи транзистори на Шотки са по-сложни от тази на нормалната серия. Различията се дължат на особеностите в схемните решения и на свойствата на Шотки транзисторите.

2.5. Логически схеми с MOS транзистори.

Униполярният MOS транзистор има естествено прагово напрежение на гейта, което позволява неговото използване в цифрови схеми. Мощността, която се разсейва в гейта за управлението му е нищожна, което позволява да се получи практически неограничена товароспособност по постоянен ток.

2.5.1. N-канална MOS логика



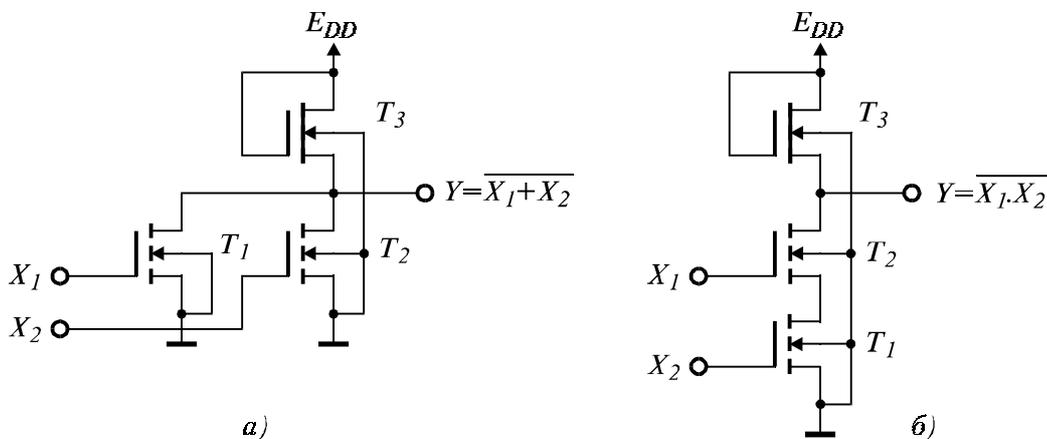
Фиг. 2.23. NMOS инвертор.

Базов елемент в цифровите схеми с MOS транзистори е инверторът. На фиг. 2.23 е показан инвертор с MOS транзистор с индуциран N-канал (NMOS) и високоомен товарен резистор, който по технологични съображения вместо с омично съпротивление също е изпълнен с MOS транзистор.

Във включено състояние, ключовият MOS транзистор има малко съпротивление, а в изключено — много високо. Входният ток на

MOS транзистора е нищожно малък, което позволява той да бъде задействан от елемент с високо изходно съпротивление. Това дава възможност товарното съпротивление при MOS логиката да се изгражда значително по-високоомно, отколкото при другите логики, но въпреки това да се запази значителен коефициент на разклонение по изход. Високоомното товарно съпротивление определя и малка собствена консумация на елемента. Стойността на товарното съпротивление не може да бъде безкрайно голяма. Тя се ограничава от необходимите максимални времена на превключване, тъй като паразитните емкости се зареждат толкова по-бавно, колкото по-малък е дрейновият ток.

Товарният транзистор работи като сорсов повторител. Неговата стръмност е значително по-малка от тази на ключовия транзистор, с което се постига много по-голямо съпротивление на канала. За да бъде изходното напрежение при логическа 1 равно на захранващото E_{DD} , е необходимо потенциалът в гейта E_{GG} на товарния транзистор да превишава E_{DD} със стойността на праговото му напрежение. Подложките на транзисторите трябва да са свързани с най-ниския потенциал в схемата.



Фиг. 2.24. NMOS логически елементи: а) — ИЛИ-НЕ; б) — И-НЕ.

Схемите на NMOS логически елементи ИЛИ-НЕ и И-НЕ са показани на фиг. 2.24 — съответно а и б. Нови преимущества се получават, когато T_3 е изпълнен като генератор на ток. За тази цел се използва транзистор с вграден канал. Тогава отпада необходимостта от наличието на спомагателното напрежение E_{GG} .

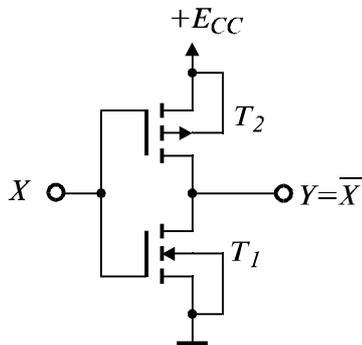
MOS логически елементи са изградени и с P-канални транзистори, но тази технология се счита за остаряла. Чрез нея беше изградена н.нар. УНИМОС серия, която в широка гама се произвеждаше в България. Тя се захранва с отрицателно напрежение $-E_{DD}$. Поради недос-

татъчно сигурна входна защита от свръхнапрежения, тя е чувствителна спрямо статичното електричество и при невнимателно боравене с нея, входовете ѝ могат да бъдат повредени.

2.5.2. Комплементарна MOS логика — CMOS

MOS логиката с товарен транзистор консумира незначителна мощност, която обаче не може да се пренебрегне при реализиране на схеми с висока степен на интеграция. За съществено снижаване на консумираната мощност и за повишаване на бързодействието беше разработена нова модификация логически MOS схеми, известни по наименованието CMOS схеми.

Най-простият CMOS логически елемент е инверторът. Неговата базова схема е показана на фиг. 2.25. Прилагат се MOS транзистори с индуциран канал. Използува се огледалната симетрия между N-каналния и P-каналния транзистор, което позволява единият от тях да служи за товар на другия. Двата транзистори са свързани последователно с дрейновете си един към друг, като сорсът на N-каналния транзистор е включен към маса, а сорсът на P-каналния — към хранящия източник $+E_{CC}$. Гейтовете на двата транзистора се свързват заедно и служат за вход на инвертора, а общата точка на техните дрейнове — за изход.



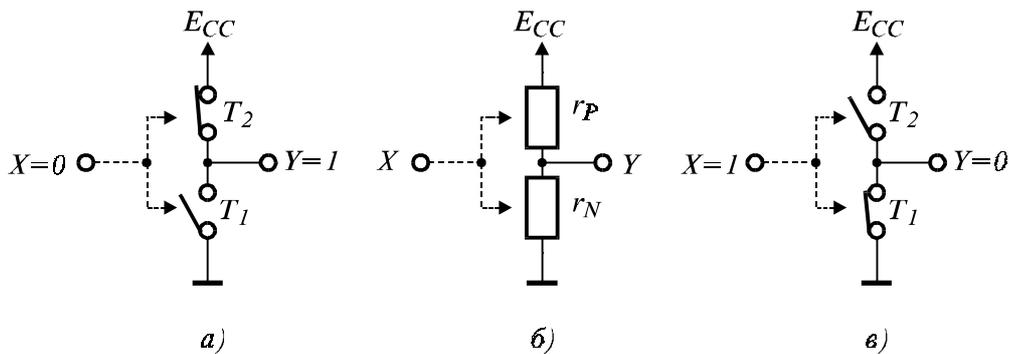
Фиг. 2.25. CMOS инвертор.

Когато на входа се подаде напрежение с високо логическо ниво, напрежението на гейта на T_1 ще превиши праговото, а напрежението на гейта на T_2 ще бъде по-малко от праговото. T_1 ще бъде отпушен, а T_2 — запушен. Изходът на схемата се свързва към маса през T_1 . И обратно, ако на входа се подаде ниско напрежение, T_2 се отпушва, а T_1 се запущва.

Изходът се свързва към E_{CC} през T_2 .

На фиг. 2.26 е интерпретирано действието на CMOS инвертора, където PMOS и NMOS транзисторите са представени със своите канални съпротивления — съответно r_P и r_N , които при запущено състояние на транзисторите са безкрайно големи, а при отпушено — равни на нула. Входният сигнал е подаден на гейтовете на транзисторите и управлява стойността на каналните съпротивления. При $X = 0$, NMOS транзисторът е изключен ($r_N = \infty$), а PMOS транзисторът е

включен ($r_P = 0$). В това състояние, транзисторите могат да се представят с ключове — фиг. 2.26.а, като този на T_1 е отворен, а този на T_2 — затворен. В преходната област на входния сигнал X , изходното напрежение се определя от състоянието на съпротивителния делител, съставен от r_P и r_N — фиг. 2.26.б.

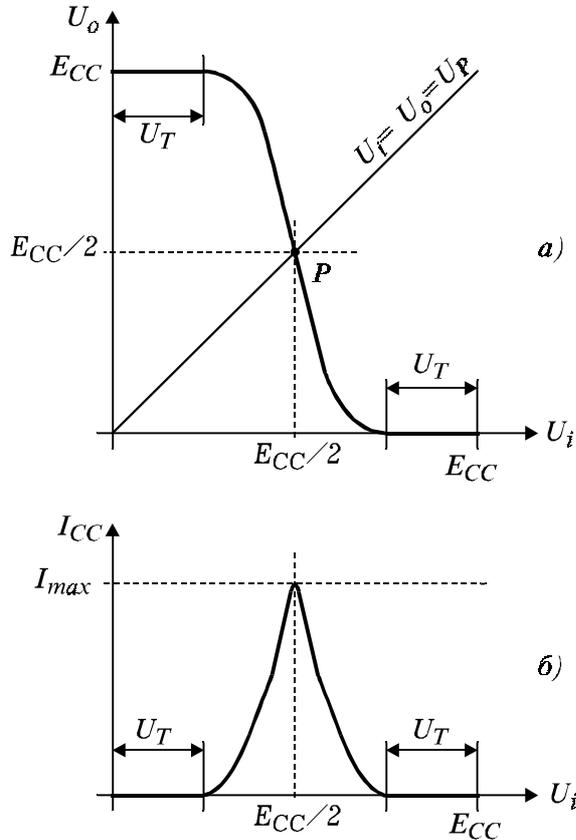


Фиг. 2.26. Представяне на CMOS инвертора като управляеми канални съпротивления и ключове.

При $X = 1$, NMOS транзисторът е включен ($r_N = 0$), а PMOS транзисторът е изключен ($r_P = \infty$). В това състояние, транзисторите също могат да се представят с ключове — фиг. 2.26.в, като този на T_1 е затворен, а този на T_2 — отворен. Това представяне отговаря доста точно на физическите свойства на транзисторите, които имат много голямо съпротивление в запушено състояние и малко — при отпушено (около $200 \div 1000 \Omega$). И при двете статични състояния на инвертора, единият от транзисторите е запушен. Затова, при отсъствие на товар, собствената му консумацията е практически нулева.

Идеализираната предавателна характеристика на CMOS инвертора е показана на фиг. 2.27.а. Нейното обяснение се получава лесно, ако се приеме интерпретацията на инвертора от фиг. 2.26 и се допусне пълна симетрия на комплементарните транзистори. При $U_i = 0$, NMOS транзисторът е запушен, а PMOS транзисторът — отпушен и $U_o = E_{CC}$. Когато входното напрежение започне да нараства, до достигане на праговото му напрежение U_T , NMOS транзисторът остава запушен и изходното напрежение не се променя. При по-нататъшно увеличаване на входното напрежение NMOS транзисторът започва да се отпушва, при което съпротивлението на канала му r_N намалява, а PMOS транзисторът започва да се запушва и съпротивлението на канала му r_P се увеличава. В този процес, изходното напрежение ще зависи от съотношението на каналните съпротивления r_N и r_P в делите-

ля от еквивалентната схема и доколкото r_N намалява, а r_P се увеличава, изходното напрежение ще намалява.



Фиг. 2.27. Характеристики на CMOS: а) — предавателна характеристика; б) — консумиран ток при превключване

Съществуват известни разлики между реалните характеристики на CMOS елементите и показаните идеализирани. Основната причина за това е несиметрията в параметрите на транзисторите с P и N канал.

При превключването си CMOS елемента консумира определен ток. От предавателната характеристика се вижда, че съществува определен интервал (когато $U_T < U_i < (E_{CC} - U_T)$, по време на който и двата транзистора в инвертора са отпушени и през тях протича ток от захранващия източник към маса. Зависимостта на консумирания ток от входното напрежение при CMOS инвертора е дадена на фиг. 2.27.б. Консумираната мощност от превключване се определя от израза:

$$P = \frac{1}{2}(E_{CC} - 2U_T)I_{max}f(t_{pdH} + t_{pdL}),$$

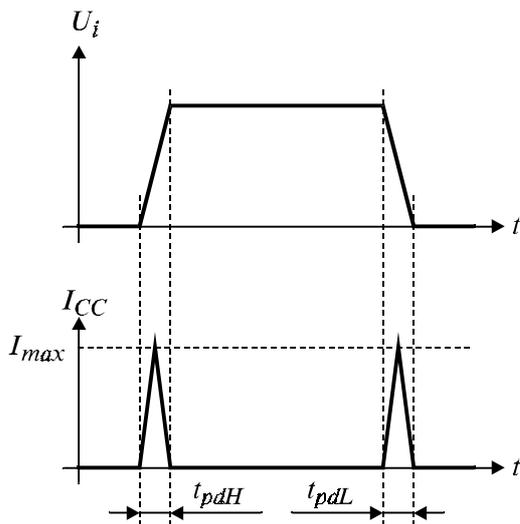
където:

Когато входното напрежение достигне средата на захранващото напрежение $U_i = \frac{1}{2}E_{CC}$, двата транзистора са поставени под действието на едно и също напрежение между гейта и сорса и съпротивленията r_N и r_P ще бъдат еднакви, от което следва, че $U_o = \frac{1}{2}E_{CC}$. Когато разликата между захранващото напрежение и входното достигне праговото напрежение U_T на PMOS транзистора ($E_{CC} - U_i = U_T$), последният се запушва и $U_o = 0$. Пълната симетрия на схемата обуславя и пълната симетрия на предавателната характеристика. Превключването става точно при:

$$U_i = U_o = U_P = \frac{1}{2}E_{CC},$$

което осигурява най-добрата възможна шумоустойчивост.

- I_{max} — върхова стойност на протичащия ток;
- f — честота на превключването;
- t_{pdH} — продължителност на нарастващия фронт на входния сигнал;
- t_{pdL} — продължителност на спадащия фронт на входния сигнал.



Фиг. 2.28 Консумация на CMOS при превключване

Консумираната мощност зависи линейно от честотата на превключване и от продължителността на фронтите на входните сигнали — колкото по-често се превключва елементът и колкото по-бавно се променя входното напрежение, толкова за по-дълго време ще са отпушени и двата транзистора и по-дълго време ще се консумира ток от хранящия източник — фиг. 2.28.

При CMOS елементите се получава допълнителна консумация на енергия, вследствие на презареждането на включените към изхода на елемента capacitets —

вътрешни и товарни. Енергията, натрупана в кондензатор, зареден до напрежение U се определя от израза: $E = CU^2/2$.

Тъй като амплитудата на изходното напрежение на CMOS логиката е равна на хранящото напрежение, а тя се превключва два пъти от всеки входен импулс, консумираната мощност за презареждане на сумарния изходен капацитет C_o ще бъде:

$$P = \frac{2E}{t} = C_o E_{CC}^2 f,$$

където f е честотата на превключване.

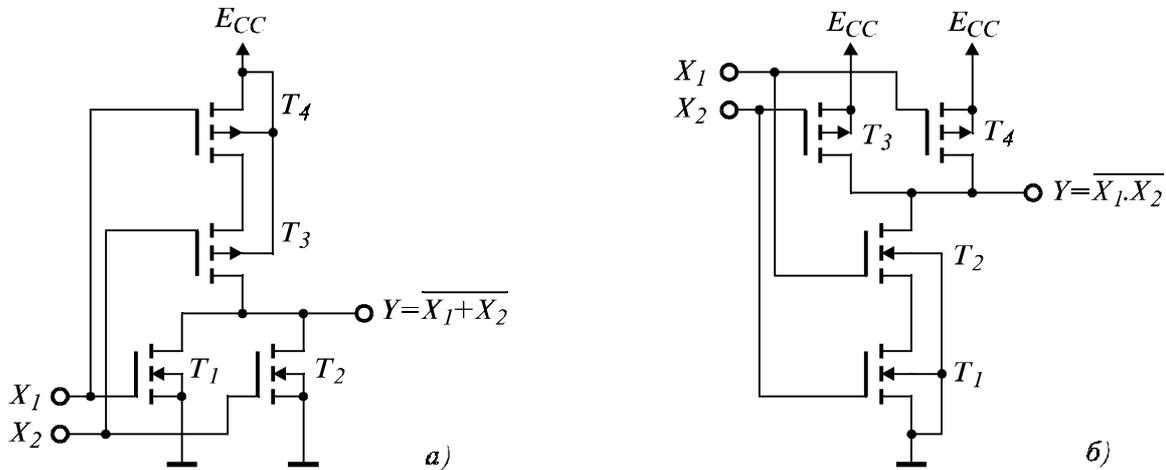
Разгледаните до тук две консумирани мощности определят т.нар. динамична консумирана мощност — тя се проявява само при превключването на CMOS логиката.

Освен нея съществува и статична консумирана мощност, която се определя от утечните токове в CMOS схемите. Поради техните малки стойности, статичната консумирана мощност е малка — под $1 \mu W$.

2.5.3. CMOS интегрални схеми

На базата на инвертора, в CMOS интегралните схеми, лесно се ре-

ализират останалите логически функции. С подходящо свързване на няколко P-канални и N-канални транзистора, включени по подобен на инвертора начин се изграждат другите три основни CMOS елемента — ИЛИ-НЕ, И-НЕ и предаващия елемент ПЕ.



Фиг. 2.29. Основни CMOS логически елемент: а) — ИЛИ-НЕ; б) — И-НЕ.

На фиг. 2.29 са показани схемите на двувходови логически елементи ИЛИ-НЕ и И-НЕ. Елементът ИЛИ-НЕ е съставен от два паралелно свързани NMOS транзистора T_1 и T_2 , последователно на които са включени два последователно свързани PMOS транзистора T_3 и T_4 . Всеки вход управлява гейта на един NMOS и на един PMOS транзистор. Подложките на всички NMOS транзистори са свързани с масата, а подложките на всички PMOS — със захранването E_{CC} . Когато поне на един от входовете бъде подадена логическа 1, съответният PMOS транзистор ще се запуши и веригата от изхода към захранването ще се прекъсне, докато неговият NMOS транзистор ще се отпусне и ще свърже през себе си изхода към маса — на изхода ще се появи логическа 0. За да се появи на изхода логическа 1 е необходимо и на двата входа да се подаде логическа 0, така че PMOS транзисторите да се отпуснат и последователно през себе си да свържат изхода към захранването, а всички NMOS транзистори да се запушат, за да прекъснат връзката на изхода към масата.

Елементът И-НЕ е изграден по огледален начин на логическия елемент ИЛИ-НЕ, като съдържа два последователно включени NMOS транзистора T_1 и T_2 към които последователно са съединени два паралелно свързани PMOS транзистора T_3 и T_4 . За да се установи изхода в 0 е необходимо и на двата входа да се подаде 1, така че NMOS транзисторите да се отпуснат и последователно през себе си да свържат изхода към масата, а всички PMOS транзистори да се запушат, за да

прекъснат връзката на изхода към захранването. Изходът ще се установи в 1 когато поне на един от входовете бъде подадена 0 . Неговият NMOS транзистор ще се запуши и веригата от изхода към масата ще се прекъсне, докато съответният PMOS транзистор ще се отпуши и ще свърже през себе си изхода към захранването.

Характерна особеност на показаните логически елемента е, че изходният импеданс не е постоянен, а зависи от комбинацията от логическите сигнали, подадени на неговите входове. В зависимост от нея, могат да бъдат отпушени различен брой от паралелно включените транзистори и паралелното съединение на техните канали формира различен изходен импеданс. Този ефект е по-силно изразен при логически елементи с повече входове. Комбинацията от входните сигнали влияе и върху предавателната характеристика на елемента, като я транслира в хоризонтална посока (тя е разположена симетрично само когато се превключват едновременно всички входове).

Изместването на предавателната характеристика и респективно на напрежението на превключване може да се елиминира ако в изхода се включат допълнителни буферни инвертори. За да не се промени логическата операция, осъществявана от даден елемент е необходимо да се включат последователно два инвертора.

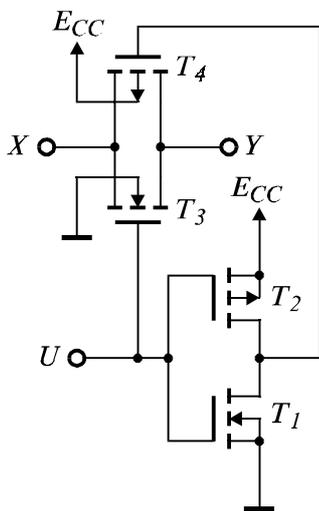
Това може да стане по два начина — двата инвертора се включват непосредствено един след друг в изхода на елемента или във всеки вход и на изхода се включва по един инвертор. Във втория случай трябва да се има предвид, че се изменя логическата функция, която се реализира от първичния елемент — от ИЛИ-НЕ тя става И-НЕ и обратно. Това разбира се не е проблем, тъй като CMOS логиката разполага с равностойни първични елементи ИЛИ-НЕ и И-НЕ. Въпреки че второто решение изисква повече буферни инвертори, то се предпочита от някои производители, тъй като подобрява параметрите и на входната верига — намаляват се входните паразитни капацитети и се ограничава влиянието на свързаното към входа устройство.

Логическите елементи с буферни инвертори притежават значително по-голям коефициент на вътрешно усилване, което подобрява формата на предавателната характеристика, като я прави по-стръмна и почти правоъгълна в средата.

Входната верига на CMOS логиката има много висок импеданс. Тя е еквивалентна на паралелно свързване на малък капацитет ($5 \div 10$ pF) с високо съпротивление (около 10^{12} Ω — без защитни диоди и 10^9 Ω — със защитни диоди). Попадането на малки електрически заряди води до създаване на високи напрежения и опасност от пробив на изолацията между гейта и подложката. Пробивното напрежение на тази изолация е около 80 V. Това е наложило използването на защитни

схеми в интегралната структура, които са различни за различните технологии и конфигурации, но всички те използват диоди като ограничителни елементи.

Включването на защитни схеми във входните вериги създава опасност от повреда на защитните диоди при претоварването им по ток. Затова обхватът на входните напрежения се ограничава от $-0,5 V$ до $E_{CC} + 0,5 V$. Ако това не може да се осигури, е необходимо последователно във входа да се постави ограничително съпротивление, така че входният ток при отпушване на защитните диоди да не превиши $10 mA$. Наличието на защитни диоди обуславя и една друга особеност на CMOS — при прекъсване на някой от захранващите проводници схемата може да получи захранване през входната верига от източника на входен сигнал.



Фиг. 2.30. CMOS предаващ елемент ПЕ

На фиг. 2.30 е показана вътрешната схема на предаващия елемент (ПЕ). За разлика от обикновените логически елементи, тази схема позволява непосредствено да бъде предавано напрежението на сигнала от вход към изход. Функцията на този елемент се състои в прекъсване или съединяване (през достатъчно нискоомно съпротивление) на входа с изхода. При това, двата извода (вход и изход) са равнозначни. Следователно сигналът може да се предава в двете посоки с незначителни изкривявания.

Уникалната схема на ПЕ няма еквивалент при другите фамилии интегрални схеми. Превключващата ѝ част се състои от два комплементарни MOS транзистора с индуциран канал — T_3 и T_4 , свързани паралелно. За да бъдат сорсовете и дрейновете им еднакво равнопоставени спрямо гейта, подложката на PMOS транзистора е свързана към E_{CC} , а подложката на NMOS транзистора — към маса. Управлението на T_3 и T_4 се осъществява от противотактно напрежение на гейтовете им, формирано с помощта на инвертора T_1 и T_2 . Когато на управляващия вход се подаде 0 , транзисторът T_3 се запушва, а след инвертора, на гейта на T_4 се получава 1 и той също се запушва. Така и двата превключващи транзистора са изключени и входът е разделен от изхода. Когато на управляващия вход се подаде 1 , T_3 се отпушва, а

през инвертора, на гейта на T_4 се получава 0 и той също се отпушва. Сега и двата превключващи транзистора са включени и изходът и входът са съединени.

Използуването на два комплементарни транзистора за превключващата част, осигурява почти постоянно и достатъчно ниско съпротивление във включено състояние в целия допустим обхват на изменение на комутируемото напрежение — от 0 до E_{CC} . ПЕ се нарича още аналогов ключ, тъй като той може да превключва както цифрови, така и аналогови сигнали. ПЕ се използва широко както в CMOS схемите със средна и голяма степен на интеграция, така и като самостоятелен елемент при конструирането на електронни устройства.

Развитието на технологичните процеси и схемните решения доведе до създаването на няколко серии интегрални схеми от този тип. Те се различават по някои параметри и характеристики.

За нормална CMOS серия се счита т.нар. серия 4000, предложена първо от фирмата RCA, а след това произвеждана и от редица други фирми. Тя се изготвя в три варианта — серия А, серия В и серия UB. Серия А съдържа първите разработени CMOS интегрални схеми, изградени на описаните по-горе основни CMOS логически елементи. В серията В, в следствие на усъвършенстване на технологичните процеси и на контрола над тях, са подобрени някои от основните параметри на CMOS. В схемотехническо отношение, в серията В са въведени буферни инвертори в изхода на всеки елемент, а за някои схеми — и на входа, което осигурява подобрени предавателни характеристики и независимост на изходното съпротивление от комбинацията на входните сигнали.

Включването на инвертори обаче довежда до влошаване на някои параметри на схемите, като бързодействие, устойчивост срещу възбуждане и др. Поради това, беше създадена серията UB, която запазвайки технологичните преимущества на серията В, не съдържа буферни инвертори.

Освен сериите 4000 се произвеждат и CMOS интегрални схеми от серията 74С. Те използват означенията и разположението на изходите в корпусите, както на аналогичните елементи от TTL сериите. По параметри, серията 74С е близка до серията UB и също не използва буферни инвертори.

2.5.4. Усъвършенствани CMOS серии

Усъвършенстването при CMOS логиката цели подобряване на характеристиките, повишаване на шумоустойчивостта и преди всичко увеличаване на бързодействието. Усъвършенстването върви по техно-

логичен и схемотехничен път, но тъй като поначало CMOS логиката е схемотехнично проста, то усъвършенстванията основно се дължат на сериозни технологични успехи.

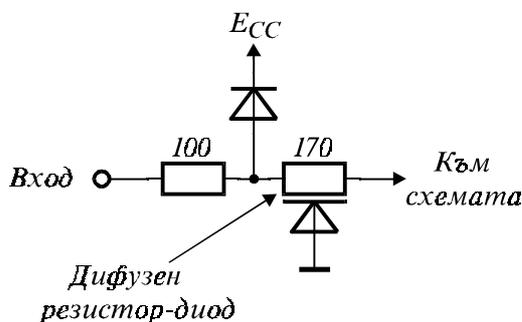
Най-перспективно направление представляват бързодействащите CMOS серии, наричани HCMOS (High speed — висока скорост) или QMOS (Quick — бърз). При тези нови серии се намаляват размерите на HCMOS структурите и рязко се снижават паразитните капацитети, което оказва решаващо влияние върху бързодействието на елементите.

Интегралните схеми от серията HCMOS използват приетите за TTL означения и функционално заместват напълно аналогичните схеми от TTL сериите. За схемите, които нямат аналог в TTL и съществуват само в CMOS изпълнение, са приети означенията на серията 4000. Произвеждат се три основни серии HCMOS:

— HC — съвместими по вход със стандартните CMOS, работещи със захранващо напрежение от 2 до 6 V, изцяло буферирани по вход и изход;

— HCU — същите както HC, но небуферирани;

— HCT — съвместими по вход с TTL, работещи при захранващо напрежение от 4,5 до 5,5 V, изцяло буферирани по вход и изход.



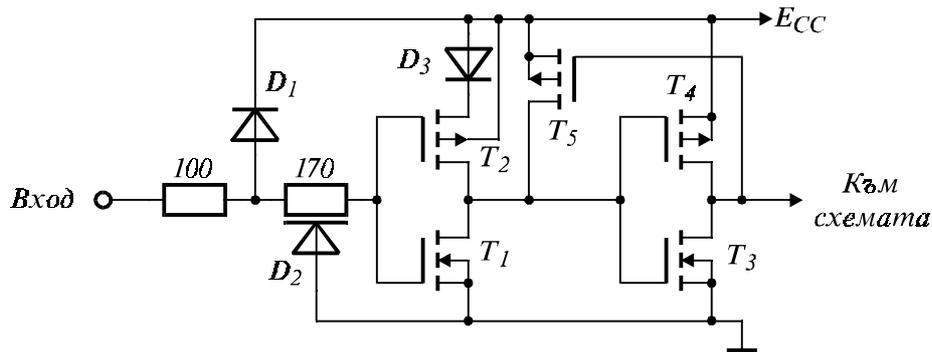
Фиг. 2.31. Входна верига на CMOS от серията HC.

Известни схемотехнични изменения съществуват в HCMOS сериите. Използувана е нова верига за предпазване на входовете от електростатични заряди. Нейният вид е показан на фиг. 2.31. Защитните диоди се отпушват при $U_i < -0,5 V$ и $U_i > E_{CC} + 0,5 V$, а токът през тях трябва да се ограничава до 20 mA. Типичната стойност на статичната компонента на входния ток е 10 pA.

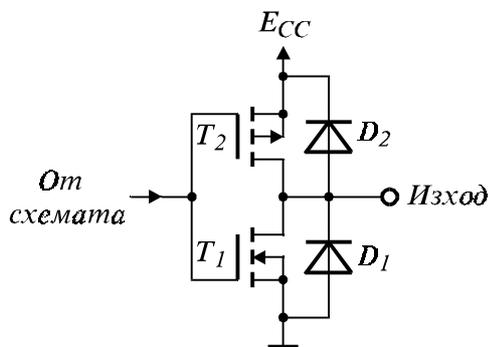
Съществено схемотехнико изменение е въведено във входните буфери на HCT серията, за да се постигне съвместимост с входните нива на TTL. Схемата на входния буфер на HCT (конкретно 74HCT04) е показана на фиг. 2.32. Тя се състои от защитна входна верига, два последователно свързани инвертора и допълнителен съгласуващ PMOS транзистор.

В сорсовата верига на PMOS транзистора T_2 от първия инвертор е включен диодът D_3 , с което прагът на отпушване на T_2 се транслира с около 0,6 V. Ефективно, първият инвертор се захранва с по-ниско напрежение, което снижава прага на превключване по вход. Независимо

от това, за да се достигне праг на входно превключване, съвместим с този на TTL (около 1,3 V), T_2 е изграден със специално разширен канал. Сnižаването на ефективното захранване на първия инвертор обаче довежда до снижаване и на нивото на неговата изходна логическа 1. За да стане тя с потенциал на захранването, е добавен съгласуващият транзистор T_5 . Той се отпушва при 0 в изхода на втория инвертор и "допридърпва" изходната 1 на първия инвертор към E_{CC} .



Фиг. 2.32. Входна верига на CMOS от серията НСТ.



Фиг. 2.33. Изходна верига на CMOS от сериите НС и НСТ.

Изходните транзистори при HCMOS сериите, притежават значително по-ниско изходно съпротивление от тези на нормалната CMOS, което позволява да се получи голям товарен ток (типична стойност 4 mA за стандартен изход и 6 mA за усилен) при запазване на граничните стойности на логическите нива. При такава товароспособност, към изхода могат да се свързват TTL елементи от всички серии. В изходи-

те също са включени защитни диоди. На фиг. 2.33 е показана схемата на изходния буферен инвертор, използван при сериите НС и НСТ.

Нов качествен скок в развитието на CMOS технологията и схемотехниката представлява появата на сериите ACL (Advanced CMOS Logic), означавани с АС и АСТ. Техните основни параметри могат да бъдат специфицирани както следва:

— АС е с CMOS нива на превключване и работи при захранване от 3 до 6 V, а АСТ е с TTL нива на превключване и работи при захранване $5 V \pm 10 \%$;

— възможност за отдаване на симетричен изходен ток 24 mA, при

запазване на логическите нива;

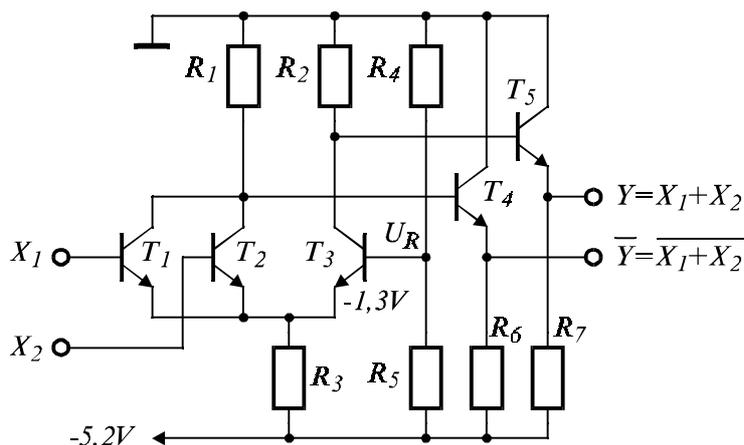
— около 20% по-високо бързодействие спрямо НС и НСТ, като типичното време на превключване на тригер 74АС11074 е 5 ns;

— почти три пъти по-висока шумозащитеност спрямо тази на TTL.

За намаляване индуктивността на вътрешните захранващи проводници в интегралните схеми, а с това и за повишаването на шумоустойчивостта, е разработена АСL серия, която прилага различно от стандартното за TTL разположение на елементите в корпуса на интегралната схема. При това ново разположение, захранващите изводи се намират срущуположно в средата на корпуса. Те носят означението АС11. Например 74АС174 и 74АС11174 представляват една и съща интегрална схема, но с различно разположение в корпуса, като 74АС174 ползува класическото диагонално подвеждане на захранването към корпуса, а 74АС11174 — новото, централно подвеждане.

2.6. Емитерно-свързана логика — ECL

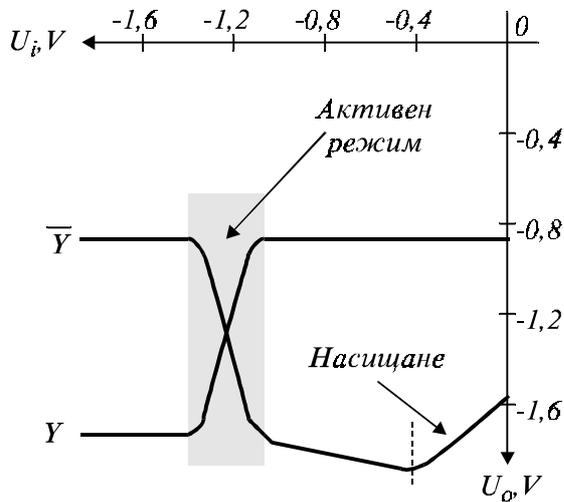
Емитерно-свързаната логика е получила широко разпространение като елементна база за бързодействаща електронна апаратура. Това е най-бързата логика, достигаща в настояще време субнаносекундния диапазон. В основата на изграждането ѝ стои диференциалният усилвател, чиито транзистори могат да превключват ток без да изпаднат в насищане.



Фиг. 2.34. Основен ECL елемент.

Основният логически елемент на ECL е показан на фиг. 2.34. Той реализира функциите ИЛИ и ИЛИ-НЕ за положителна логика. ECL работи с отрицателно захранващо напрежение, за което е препоръчана стойността $-5,2\text{ V}$. В едното рамо на диференциалния усилвател са включени паралелно транзисторите T_1 и T_2 , на базите на които се по-

дават входните сигнали X_1 и X_2 . В базата на транзистора T_3 от другото рамо на диференциалния усилвател, е подадено опорно напрежение U_R , със стойност около $-1,3\text{ V}$, което същевременно осигурява фиксирано преднапрежение на емитера, равно на $U_R - U_{BE}$. В дадения случай, диференциалният усилвател може да се разглежда като превключвател на тока между двете рамена. Фиксираното напрежение на общия емитерен резистор осигурява постоянство на сумата от токовете в транзисторите T_1 и T_2 от една страна и T_3 — от друга. Второто стъпало на ECL представлява емитерни повторители, изградени с транзисторите T_4 и T_5 , поемащи сигнала от изхода на диференциалното стъпало.



Фиг. 2.35. Предавателна характеристика на основния ECL елемент.

се предава на изхода Y , т.е $Y = X_1 + X_2$.

На фиг. 2.35 е показана предавателната характеристика на основния ECL елемент. Когато на входовете има подадено напрежение 0 V , T_3 е запушен и в базата на T_5 ще има потенциал около $-0,1\text{ V}$, дължащ се на базовия ток на емитерния повторител, а на изхода Y ще има напрежение на логическата 1 — около $-0,9\text{ V}$ (типичния напрежителен пад върху отпушените PN преходи в ECL е $0,75 \div 0,8\text{ V}$). При намаляване на входното напрежение до около $-1,1\text{ V}$, когато започне отпушването на T_3 , ситуацията в изхода Y няма да се промени. При по-нататъшно намаляване на входното напрежение, все по-голяма част от тока на диференциалното стъпало ще се прехвърля да тече през T_3 , потенциалът в колектора му ще намалява, което през T_5 ще се подава като намаляване на напрежението в изхода Y . При достига-

Когато напреженията на базите и на двата транзистора T_1 и T_2 станат по-ниски от опорното, тези транзистори се запушват и пълният емитерен ток протича през T_3 . Потенциалът в колектора му намалява, което през емитерния повторител T_5 се предава към изхода Y . Ако в базата на поне един от входните транзистори T_1 или T_2 се установи напрежение по-високо от опорното, токът на диференциалния усилвател се превключва през този транзистор, а T_3 се запушва. Потенциалът в колектора му се повишава, което

не на входно напрежение от около $-1,4\text{ V}$ входните транзистори се запущат и целият ток на диференциалното стъпало се прехвърля да тече през T_3 , което формира напрежение от около $-0,9\text{ V}$ в колектора му и съответно напрежение на изходната логическа 0 в Y от около $-1,7\text{ V}$.

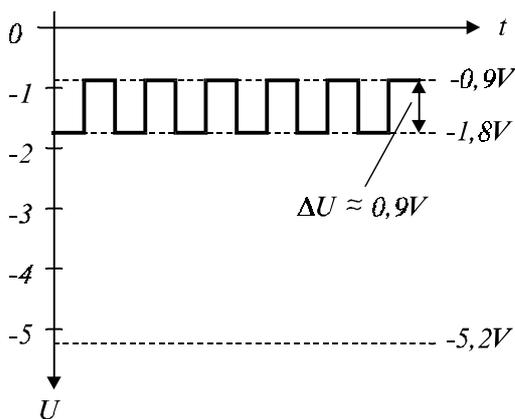
Предавателната характеристика за изхода \bar{Y} е аналогична (симетрична на Y), с тази разлика, че при повишаване на входното напрежение от $-1,1\text{ V}$ до $-0,4\text{ V}$, изходното напрежение продължава линейно да пада, поради увеличаване на емитерния ток, който в този случай се определя от $(U_i - U_{BE})/R_E$. При напрежение над $-0,4\text{ V}$ входният транзистор навлиза в насищане, колекторният му преход се отпусква при което колекторното му напрежение и изходното напрежение в \bar{Y} започват да следват хода на входното. Тази област не се използва за работа на ECL.

Основните характерни особености на ECL са:

— транзисторите не работят в наситен режим (използват се състоянията на активен и запущен транзистор), което осигурява високото бързодействие на тази логика;

— фронтовете на изходните сигнали са заоблени, което намалява капацитивното прехвърляне на паразитни смущения и появата на отразени сигнали;

— структурата на ECL осигурява практически постоянна стойност на консумирания ток от захранващия източник, дори по време на превключването. Това силно намалява смущенията, възникващи в захранващите проводници и прехвърлянето им по тях към други схеми;



Фиг. 2.35. Разположение на логическите нива на ECL в диапазона на захранващото напрежение.

— Статичната шумоустойчивост на ECL не е висока — около 150 mV . Както се вижда от фиг. 2.35, логическите нива са близки до положителното ниво на захранването и от него много по-лесно могат да проникнат смущения, отколкото от към отрицателното ниво. Затова се препоръчва и предпочита положителният извод на захранването да се свърже към маса и ECL схемите да се захранват с отрицателно напрежение. Препоръчителната му стойност е $-5,2\text{ V}$, при която се получава оптимално бързодействие и

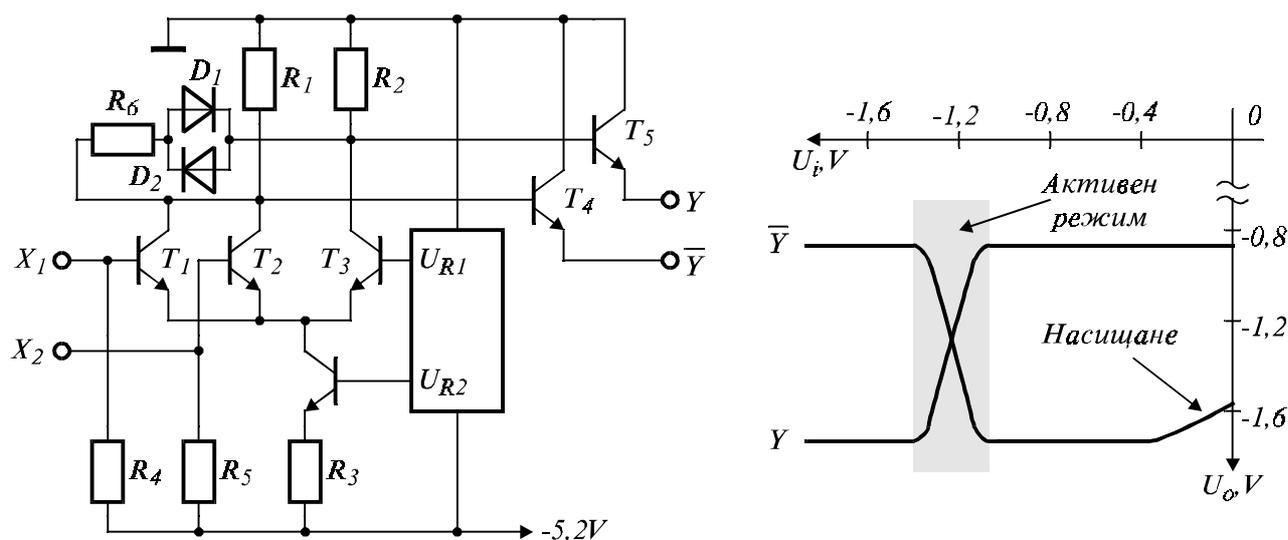
консумация на схемата.

— по принцип, ECL е висококонсумираща (“гореща”) логика. С балансиране между консумирана мощност и бързодействие се произвеждат ECL схеми с високо бързодействие при средна консумирана мощност или свръх високо бързодействащи — при голяма консумирана мощност.

Конкуренцията от страна на усъвършенстваните TTL и CMOS серии заставя и ECL да се усъвършенства. И тук усъвършенстването върви по технологичен и по схемотехничен път. Един от основните производители на ECL схеми е фирмата Motorola. Тя наложи своите серии MECL100, MECL1000, MECL2500 и MECL10000.

Следващото значително постижение на ECL схемотехниката е появата на серията ECL100000 (ECL100K), която достига време на превключване от $0,75\text{ ns}$. В нея са въведени значителни изменения в схемотехниката. Нейният основен елемент е показан на фиг. 2.36. В него са взети допълнителни мерки за стабилизиране параметрите на изходните сигнали и подобряване на предавателната характеристика, показана на същата фигура.

Изходните повторители са изпълнени с отворен емитер, което позволява обединяването на няколко изхода в схема “жично И”. Едновременно с това, те са с повишена товароспособност и могат да захранват активен товар от $300\ \Omega$. Във входовете са включени товарни резистори, което позволява неизползуваните входове да се оставят свободни. Товарните входни резистори могат да поемат върху себе си формирането на “жично И” от няколко изхода.



Фиг. 2.36. Основен ECL елемент от серията 100K.

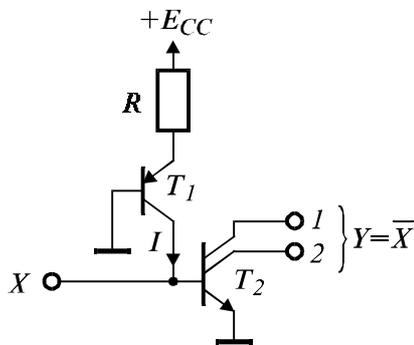
Емитерното съпротивление на диференциалното стъпало е заменено с генератор на ток, при което предавателната характеристика за \bar{Y}

се "изправя" в участъка за входно напрежение от $-1,1$ до $-0,4$ V.

Използван е значително усложнен и термокомпенсиран източник на две опорни напрежения за T_3 и за токовия генератор на диференциалното стъпало.

Въведена е групата R_6 , D_1 и D_2 , чрез която се компенсира температурната промяна на напреженията U_{BE} и се стабилизируют изходните логически нива в работния температурен диапазон.

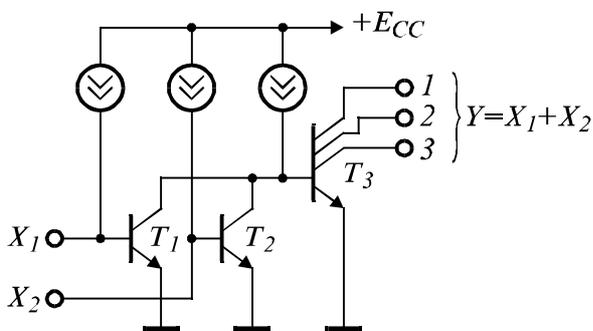
2.7. Интегрална инжекционна логика — I^2L



Фиг. 2.37. I^2L инвертор.

е близка до CMOS логиката. При това се съхранява голямото бързодействие, свойствено на биполярните логики (времето на превключване на I^2L елемент достига 5 ns).

Основната инверторна схема на I^2L е показана на фиг. 2.37. Базовият ток на ключовия изходен транзистор се задава от инжектор, който представлява генератор на ток, реализиран с PNP транзистор.

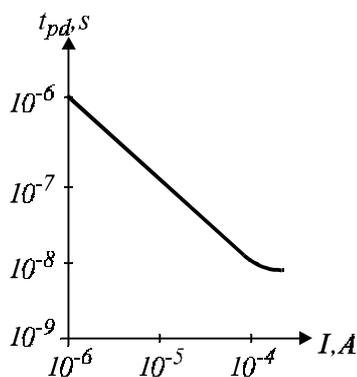


Фиг. 2.38. Двухходов I^2L елемент ИЛИ с три изхода.

Интегралната инжекционна логика се появява като развитие на една от най-първите логики — директно свързаната транзисторна логика. Малката площ, заема на от един I^2L елемент и незначителната консумирана от него мощност, позволяват да се обединят множество такива елементи в схеми с висока степен на интеграция. По плътност на елементите и по разсейвана мощност, I^2L

Схема ИЛИ с три изхода е показана на фиг. 2.38. При интегралната инжекционна логика не се допуска паралелното свързване на базите на ключовите транзистори, които са същевременно логическите входове на елементите, т.е. недопустимо е паралелното свързване на няколко входа на едно към един изход. При паралелно съединение на бази на ключови транзистори, в зависимост от

тяхното натоварване и индивидуални различия, настъпва преразпределение на базовите токове помежду им, което рязко влошава преди всичко шумоустойчивостта. Затова разклоненията в изхода на I^2L елементите се извършват чрез многоколекторните транзистори, като всеки колектор захранва само един вход.



Фиг. 2.39. Зависимост на бързодействието от инжекционния ток при I^2L .

Инжектираният ток I при I^2L може да се изменя в широки граници (чрез промяна на резистора в емитера на инжектора) в зависимост от различните потребности. Колкото е по-голяма неговата стойност, толкова е по-малко времето на превключване. На фиг. 2.39 е показана зависимостта между времето на превключване и стойността на инжектирания ток за съвременните I^2L .

Голямото бързодействие на I^2L при малки консумирани мощности се обяснява с незначителните паразитни капацитети, отсъствие на натрупване на заряди и много малка разлика между логическите нива. Съдържащите се в схемата логически елементи могат да се разполагат по продължение на инжекционната шина, което опростява топологията. Освен това, в един кристал лесно могат да се обединят както цифрови I^2L схеми, така и аналогови биполярни интегрални схеми.

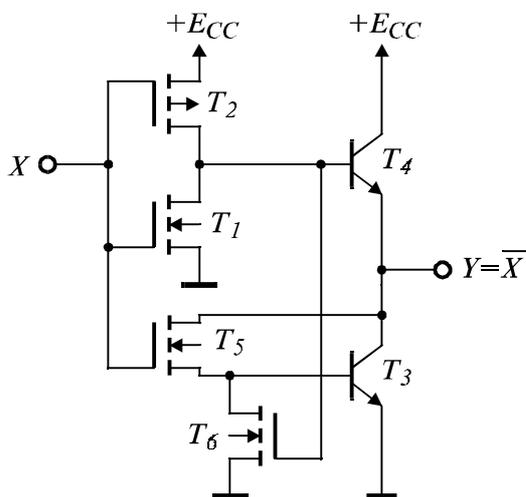
Новото развитие на I^2L е изграждането на ключовите им транзистори с Шотки преходи, което позволява без увеличаване на консумираната мощност да се постигне още по-високо бързодействие.

Съгласуването на изходните вериги на I^2L с входните на TTL и CMOS схеми се постига чрез директно свързване и допълнително включване на товарен резистор към захранването. Размахът на изходния сигнал при това може да бъде 5 V. Обратното съгласуване, в случай на преход от TTL или CMOS към I^2L , се осъществява чрез непосредствено включване на изход с отворен колектор или отворен дрейн към вход на I^2L .

2.8. Интегрирана биполярна и CMOS логика — BiCMOS

В цифровата схемотехника, биполярните транзистори предлагат

широки възможности за реализирането на бързо превключване и висока товароспособност. Тези им качества, обединени с високата интегрална плътност и ниска консумация на комплементарната MOS логика, дадоха началото на новите технологични цифрови серии — BiCMOS.



Фиг. 2.40. BiCMOS инвертор.

Основният елемент (инверторът) на конвенционалната BiCMOS логика е представен на фиг. 2.40. Входната му верига съдържа класически CMOS инвертор — T_1 и T_2 , а изходната му е изградена от биполярни NPN транзистори T_3 и T_4 . Допълнително е включен NMOS транзисторът T_5 , който осигурява управлението на T_3 . T_6 изпълнява ролята на съпротивление, управлявано от изхода на CMOS инвертора.

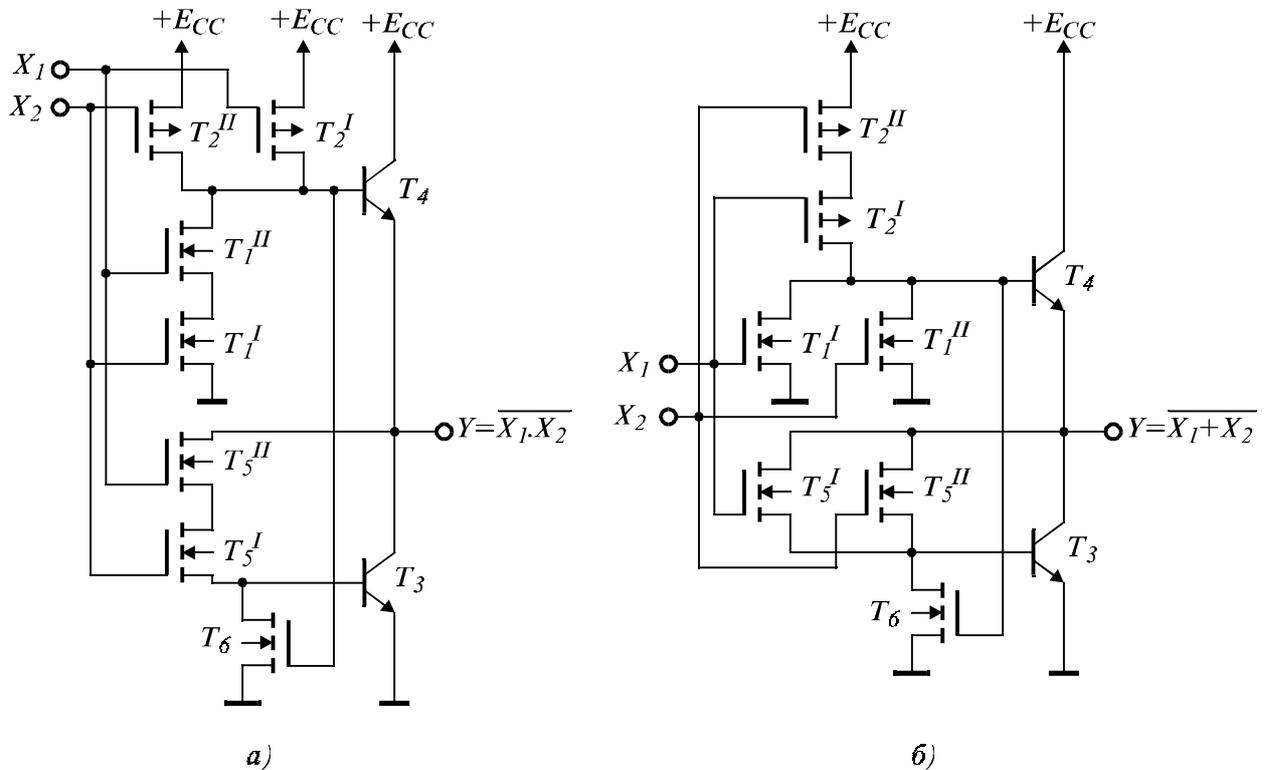
Когато на входа X се подаде логическа 0 , в изхода на CMOS инвертора се получава потенциал близък до захранването E_{CC} , който през емитерния повторител T_4 излиза на изхода като логическа 1 с напрежение около $E_{CC} - U_{BE}$. Същевременно транзисторът T_5 се запущва, а T_6 се отпушва, свързвайки през ниското съпротивление на канала си базата на T_3 към маса, при което T_3 сигурно се запущва.

Когато на входа се подаде логическа 1 , в изхода на CMOS инвертора се получава потенциал близък до масата и T_4 се запущва. Същевременно T_6 се запущва, а T_5 се отпушва и през ниското съпротивление на канала си, осигурява базов ток на T_3 . T_3 преминава в активен режим, като напрежението в колектора му пада до U_{BE} и на изхода се установява логическа 0 . T_3 не може да се насити, тъй като във включено състояние, той набавя базов ток от колектора си през малкото съпротивление на канала на включения T_5 и за да съществува този базов ток, напрежението в колектора му трябва да е по-високо от U_{BE} .

Тъй като входната верига на BiCMOS е реализирана с MOS транзистори, логическите функции се реализират както при MOS логиката. За пример, на фиг. 2.41 е показано реализирането на основните логически функции И-НЕ и ИЛИ-НЕ.

BiCMOS логиката се използва основно при изграждането на големи и свръх-големи интегрални схеми (Ultralarge Scale Integration —

ULSI). Съвременна тенденция при тях е преминаването към по-ниски захранващи напрежения при запазване и увеличаване на бързодействието.



Фиг. 2.41. BiCMOS логически елементи: а) — И-НЕ; б) — ИЛИ-НЕ.

Една от причините за намаляване на захранващите напрежения е намаляването на консумираната мощност и възможност за интегриране на повече елементи в един чип, както и работа на свръхголемите интегрални схеми без принудително охлаждане. Така например, при преминаване от 5 V захранване към по-ниската стандартизирана стойност 3,3 V, консумираната от интегралната схема мощност намалява с около 50 %, тъй като тя е пропорционална на квадрата на захранващото напрежение.

Не по-маловажно е обстоятелството, че от нискозахранвани цифрови схеми се нуждаят портативните устройства с батерийно захранване. Намаляването на броя на батериите от 4 на 3 и дори на 2 е значително облекчение както за производители, така и за потребители на такава апаратура. BiCMOS логиката има значителни възможности за работа при ниски захранващи напрежения.

Усъвършенстването на BiCMOS върви в посока на намаляване на захранващите напрежения, при запазване и дори увеличаване на бързодействието, товароспособността, шумоустойчивостта и температур-

ната стабилност. Някои от недостатъците на конвенционалната BiCMOS логика се коренят в дарлингтоновата двойка $T_5 \div T_3$. Когато на входа има подадена логическа 1 с напрежение $E_{CC} - U_{BE}$, напрежението гейт — сорс на T_5 има стойността $U_{GS} = E_{CC} - 2U_{BE}$. Тъй като U_{BE} е фиксирано, намаляването на E_{CC} довежда до намаляване на U_{GS} , а оттам — до намаляване на базовия ток за T_3 и респективно до намаляване на неговата товароспособност и бързодействие.

Като развитие на BiCMOS се появиха редица нейни модификации, като комплементарната BiCMOS — Q-BiCMOS, квази-комплементарната BiCMOS логика — QC-BiCMOS и др.

2.9. Съвместимост между логическите семейства и серии

Сега съществуват значителен брой логически семейства, всяко със своите характеристики, възможности и специфични особености. Логично възникват два въпроса:

- кое семейство или серия да се използва за дадена разработка;
- ако се използват няколко семейства или серии, как да се осъществи връзката между тях.

Таблица 2.2.

Основни параметри на логическите семейства.

| | $t_{pd}('00)$ ($C_L=50pF$) | | $f_{c1}('74)$ <i>max</i> | P_{tot} ($C_L=0$) $f=1MHz$ <i>mW/gate</i> | $I_o(0)$ $U_o=0,5V$ <i>max</i> <i>mA</i> | $I_i(0)$ <i>max</i> <i>mA</i> | U_P | | E_{CC} | |
|---------|---------------------------------|-------------------------|-----------------------------|--|---|-------------------------------------|------------------------|------------------------|------------------------|------------------------|
| | <i>tip</i> <i>ns</i> | <i>max</i> <i>ns</i> | | | | | <i>tip</i> <i>V</i> | <i>min</i> <i>V</i> | <i>nom</i> <i>V</i> | <i>max</i> <i>V</i> |
| AC | 3 | 5,1 | 125 | 0,5 | 24 | 0 | $E_{CC}/2$ | 2 | 5(3,3) | 6 |
| ACT | " | " | " | " | " | " | 1,4 | 4,5 | 5 | 5,5 |
| HC | 9 | 18 | 30 | 0,5 | 8 | 0 | $E_{CC}/2$ | 2 | 5 | 6 |
| HCT | " | " | " | " | " | " | 1,4 | 4,5 | 5 | 5,5 |
| 4000B | 30 | 60 | 5 | 1,2 | 1,3 | 0 | $E_{CC}/2$ | 3 | 5-15 | 18 |
| 74C(5V) | 50 | 90 | 2 | 0,3 | 0,5 | 0 | " | " | " | " |
| AS | 2 | 4,5 | 105 | 8 | 20 | 0,5 | 1,5 | 4,5 | 5 | 5,5 |
| F | 3,5 | 5 | 100 | 5,4 | 20 | 0,6 | 1,6 | 4,75 | 5 | 5,25 |
| ALS | 4 | 11 | 34 | 1,3 | 8 | 0,1 | 1,4 | 4,5 | 5 | 5,5 |
| LS | 10 | 15 | 25 | 2 | 8 | 0,4 | 1,1 | 4,75 | 5 | 5,25 |
| ECL100K | 0,75 | 1,0 | 350 | 40 | - | - | -1,32 | -4,2 | -4,5 | -5,2 |
| ECL10K | 2,0 | 2,9 | 125 | 25 | - | - | -1,29 | -5,19 | -5,2 | -5,21 |
| 10G | 0,3 | 0,32 | 2700 | 125 | - | - | -1,3 | -3,3 | -3,4 | -3,5 |

$t_{pd}('00)$ - време на превключване на основния елемент '00

$f_{c1}('74)$ - максимално допустима честота за тригер от '74

P_{tot} - консумирана мощност от един вентил

$I_o(0)$ - ток на изхода при логическа 0

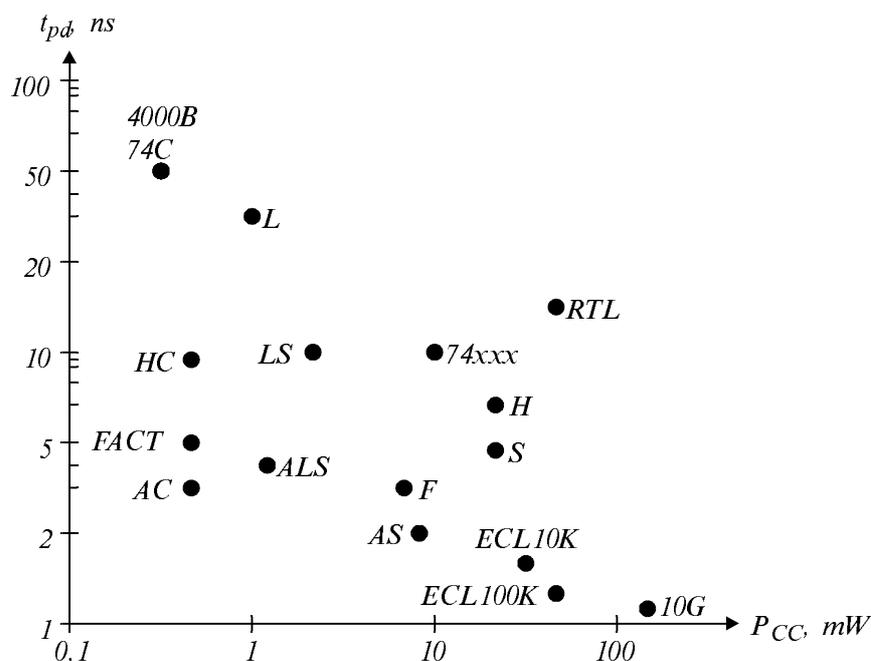
$I_i(0)$ - входен ток при логическа 0

U_P - праг на превключване на логически елемент

E_{CC} - захранващо напрежение

C_L - товарен капацитет

На първия въпрос лесно може да се отговори, като се познават характеристиките на всяко семейство. В зависимост от потребностите на конкретната разработка, може да се избере онова семейство (или едновременно да се използват няколко семейства), което най-добре покрива предявените изисквания. Най-важните параметри, по които се прави избор, са бързодействие, консумирана мощност и захранващо напрежение. Второстепенни, но не маловажни са параметрите цена и достъпност (дали дадено семейство или серия се произвежда и какви са перспективите за произвеждане в бъдеще).



Фиг. 2.44. Номограма за консумираната мощност и бързодействието на различните логически семейства и серии.

В табл. 2.2 са приведени основните параметри на съществуващите логически семейства и серии. В нея не са намерили място остарелите и снетите от производство серии. В таблицата са дадени и параметрите на намиращата се в стадий на разработване серия 10G, която се изгражда на базата на галиев арсенид GaAs и има скорост на превключване от порядъка на няколко гигахерца.

Обща приблизителна представа за съотношението на консумирана мощност и бързодействие може да се добие от дадената на фиг. 2.44

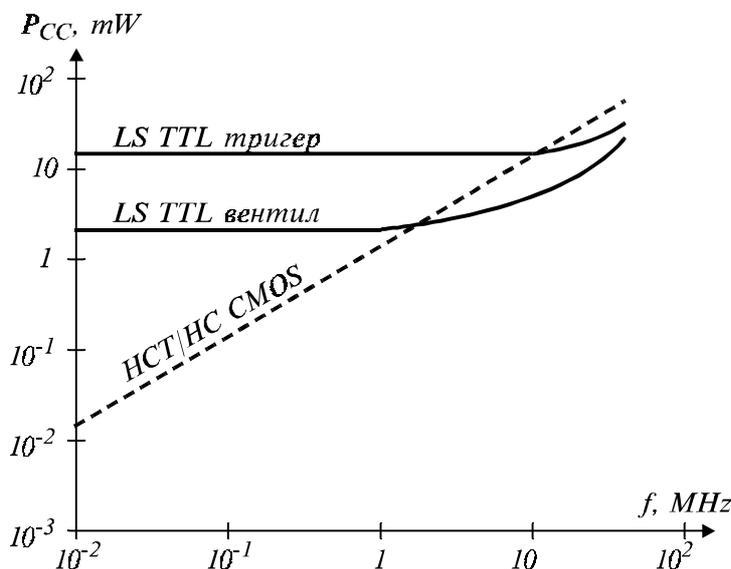
номограма. Въз основа на показаното дотук, би могло да се дадат следните препоръки:

— за нови устройства се препоръчва използването на НС в съчетание с НСТ — за осигуряване на съвместимост със съществуващите устройства на базата на NMOS и TTL, и АС(Т) — за осигуряване на бързодействие, където е необходимо. Със същия успех може да се използват биполярните TTL серии, като устройствата основно се изграждат със LS/ALS и при нужда от бързодействие се прилагат F/AS (за конвенционални цели CMOS логиката е предпочитана);

— все пак, при работа със сравнително високи честоти е препоръчително използването на TTL. Консумацията при CMOS нараства линейно с нарастването на работната честота и може да се достигне момент, когато CMOS консумира повече от TTL. За пример, на фиг. 2.45 са дадени зависимостите на консумираната мощност от работната честота на вентил и тригер при LS TTL и НС CMOS;

— ако е необходим широк диапазон на захранващото напрежение, а към бързодействието не се предявяват особени изисквания (например при портативни устройства със захранване от нерегулируема батерия 9 V), с успех може да се използва серията 4000В/74С.

— при много високо бързодействие (работни честоти над 150 MHz) се налага използването на ECL 10К или ECL 100К.



Фиг. 2.45. Консумираната мощност на и CMOS в зависимост от работната честота

Доколкото съществуват ситуации, когато е необходимо да се смесват различни логически семейства и серии, е важно да се знае по какъв начин може да се осигури съвместяването между тях. Несъвместимост може да има по три причини:

— несъвместимост на изходните логически нива с входните нива;

- недостатъчна товароспособност на изходите;
- различни захранващи напрежение на логическите схеми.

В табл. 2.3 са представени най-простите начини за свързване между отделните логически семейства и серии.

Таблица 2.3.

Свързване между логическите семейства и серии

| | НС/АС | НСТ/АСТ | 4000В(5V) 74С(5V) | 4000В 74С | TTL | ECL |
|---------------|---------|---------|----------------------|--------------|---------|-------|
| НС/АС | пряко | пряко | пряко | 40109 | пряко | 10124 |
| НСТ/АСТ | пряко | пряко | пряко | 40109 | пряко | 10124 |
| 4000В/74С(5V) | пряко | пряко | пряко | 40109 | буфер | 10124 |
| 4000В/74С | 4049/50 | 4049/50 | 4049/50 | пряко | 4049/50 | - |
| TTL | R | пряко | R | 40109 | пряко | 10124 |
| ECL | 10125+R | 10125 | 10125+R | - | 10124 | пряко |

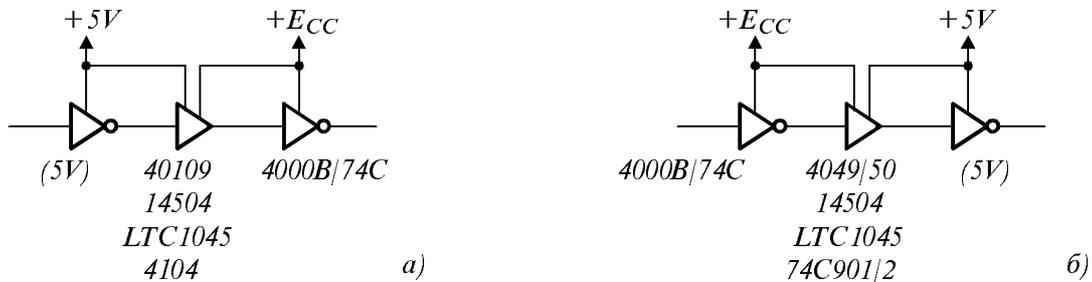
TTL използва захранващо напрежение 5 V и нормално има изходни нива — на логическата 1 около +3,5 V и на логическата 0 — почти до 0 V. TTL може пряко да се включи към всички TTL съвместими серии — НСТ, АСТ и NMOS. За да се управляват обаче НС, АС и 4000В/74С(5V) (работещи при захранване 5 V) е необходимо допълнително "изтегляне" на логическата 1 към +5 V. Това може да стане с включването на допълнителен товарен резистор, свързан между TTL изхода и +5 V. Стойността на резистора е компромисна — колкото е по-малка, толкова бързодействието е по-голямо, но при по-голяма консумирана мощност. Обикновено се избира резистор със стойност 4,7 kΩ. Същото управление може да се извърши и с междинен НСТ/АСТ буфер. На фиг. 2.46 са показани начините за свързване от TTL/NMOS към НС, АС и 4000В/74С(5V).



Фиг. 2.46. Свързване от TTL/NMOS към CMOS.

За да може, захранвана с +5 V (5 волтова) логика да управлява CMOS, захранвана с по-високо от +5 V напрежение (високоволтова) логика, е необходимо да се използват специализирани транслатори на нива от типа 4104, 40109, 14504 или LCT1045. Високоволтова

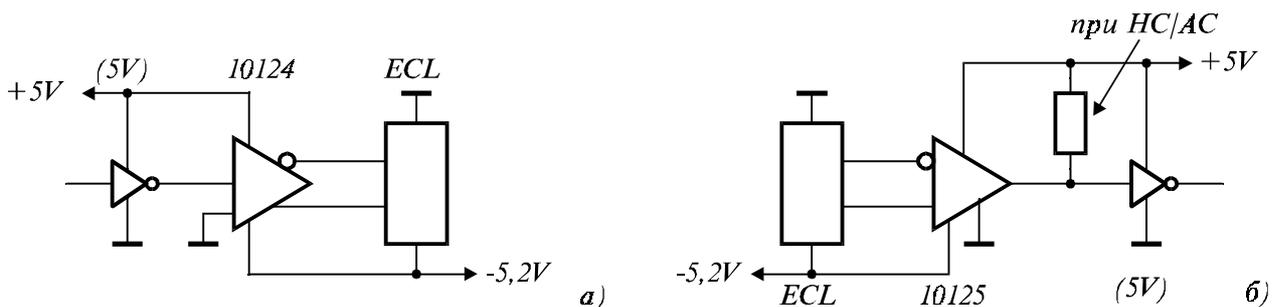
CMOS логика може да управлява 5 волтова логика ако се използват специализирани транслатори на нива от типа на 74С901/2, 14504, LTC1045, 4049/50 (вж. фиг. 2.47).



Фиг. 2.47. Свързване между 5 волтова логика и високоволтова CMOS логика.

Изходите на всички CMOS серии притежават размах на логическите нива равен на захранващото напрежение. Това означава, че непосредствено може да се включи 5 волтовата CMOS логика към TTL, NMOS и CMOS. Серията 4000B/74C има слаб изход при работа от захранвана +5 V (изходен ток около 0,5 mA) и е напълно неспособна да управлява някои TTL серии. В този случай е необходимо да се използва допълнителен буфер.

CMOS със захранващо напрежение 3,3 V се съвместява директно с TTL. Прагът на превключване на нисковолтовата CMOS е 1,4 V, т.е. приблизително до нормалния TTL праг.



Фиг. 2.48. Свързване от 5 волтова логика към ECL и обратно.

Проблемът за съвместяването на 5 волтова логика с ECL се разрешава с помощта на транслатор на ниво от типа на 10124. Обратният проблем — от ECL към 5 волтова логика, също се решава с транслатор на ниво — 10125. Транслаторът 10125 обаче има TTL съвместими изходни нива и за съвместяване с НС/АС трябва да се вземат допълнителни мерки (например както от TTL към НС/АС). Съвместяването с ECL е показано на фиг. 2.48.

3. КОМБИНАЦИОННИ ЛОГИЧЕСКИ СХЕМИ

Цифровите логически схеми се разделят на комбинационни и последователностни. Комбинационните логически схеми са тези, при които състоянията на изходите зависят само от текущото състояние на техните входове. За разлика от последователностните схеми, те не съдържат елементи на памет и могат да бъдат изградени само с помощта на логически вентили. Съгласно блоковата схема от фиг. 3.1, изходните променливи Y_0 еднозначно се определят от стойностите на входните променливи X_i .

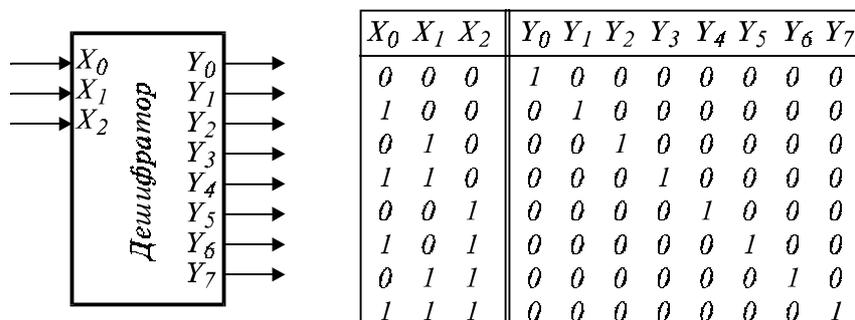


Фиг. 3.1. Общ вид на комбинационна логическа схема

Връзката между входните и изходните променливи в комбинационните схеми се задава с помощта на таблици или булеви функции. Най-често срещаните и използвани в практиката комбинационни логически схеми са реализирани в интегрално изпълнение, но за много практически случаи, те трябва да се синтезират с логически елементи или с използването на интегрални комбинационни схеми. Към комбинационните логически схеми се числят дешифраторите, шифраторите, мултиплексорите, преобразувателите на код, цифровите компаратори и др.

Връзката между входните и изходните променливи в комбинационните схеми се задава с помощта на таблици или булеви функции. Най-често срещаните и използвани в практиката комбинационни логически схеми са реализирани в интегрално изпълнение, но за много практически случаи, те трябва да се синтезират с логически елементи или с използването на интегрални комбинационни схеми. Към комбинационните логически схеми се числят дешифраторите, шифраторите, мултиплексорите, преобразувателите на код, цифровите компаратори и др.

3.1. Дешифратори и шифратори

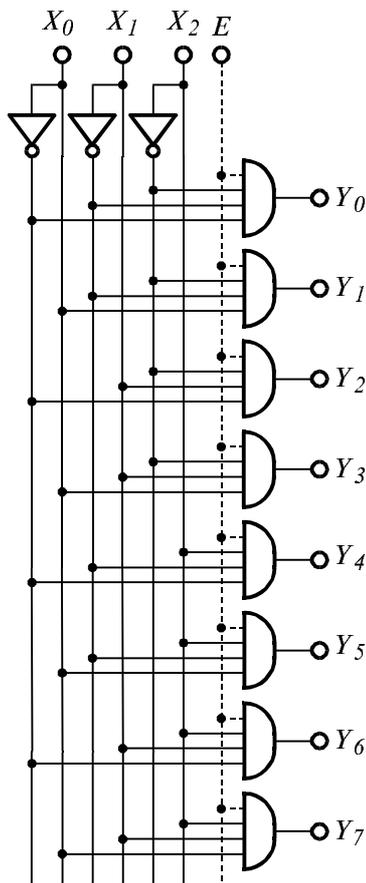


Фиг. 3.2. Пълен дешифратор с 3 входа и 8 изхода с активни изходни нива 1.

Дешифраторът (Decoder) е комбинационна логическа схема, която активира по един изход за определена комбинация на входните променливи. При n входа, максималният възможен брой изходи е

$m = 2^n$. Дешифратори, които притежават максималния брой изходи, се наричат пълни. На фиг. 3.2 е показана блокова схема на пълен дешифратор с 3 входа и 8 изхода с активни нива на изходите 1. Дешифраторът реализира логическите уравнения:

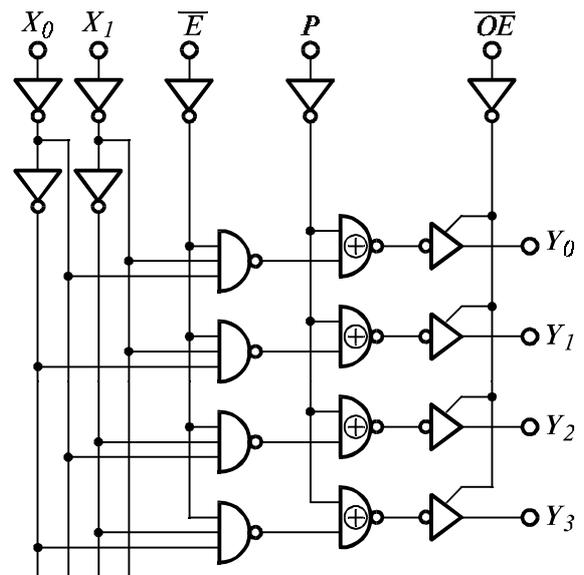
$$Y_0 = \overline{X_0}\overline{X_1}\overline{X_2}, Y_1 = X_0\overline{X_1}\overline{X_2}, \dots, Y_7 = X_0X_1X_2.$$



Фиг. 3.3. Принципна схема на пълен дешифратор с 3 входа и 8 изхода с активни изходни нива 1.

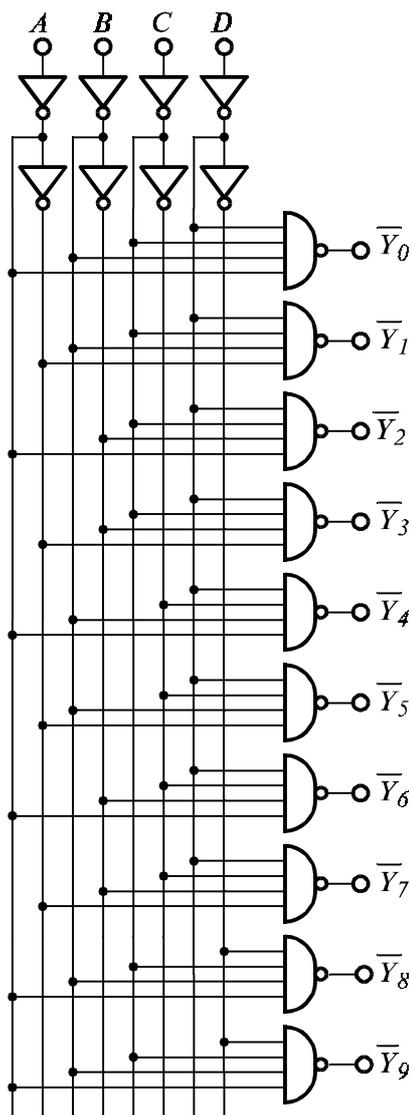
Произвеждат се пълни интегрални дешифратори с 2, 3 и 4 входа, обикновено с активните нива на изходите 0. При някои интегрални дешифратори (напр. '538 и '539), могат да се задават активните нива на изходите. Например, на фиг. 3.4 е дадена принципната схема на дешифратор с 2 входа — интегрална схема 1/2

Принципната схема на дешифратора е показана на фиг. 3.3. От входните променливи се формират правата и инверсната им стойност, които служат за управление на изходните логически елементи. Ако за изходни логически елементи се използват схеми И-НЕ вместо И, се променят активните нива на изходите — те стават 0. Към изходните елементи може да бъде свързан и допълнителен сигнал (както е показано с прекъснатата линия). Този сигнал E (Enable — Разрешение), с активното си ниво разрешава работата на дешифратора. При липса на разрешение, всички изходи на дешифратора са дезактивирани.



Фиг. 3.4. Интегрален дешифратор 1/2 '539.

'539 (в '539 се съдържат два такива дешифратора). Дешифраторът притежава вход за разрешение \bar{E} с активно ниво 0. Допълнително са включени схеми ИЗКЛЮЧВАЩО ИЛИ, като общ сигнал P управлява активното ниво (поляритета) на изходите. При $P = 1$, активното ниво на изходите е 0, а при $P = 0$, то е 1. Изходите имат високоимпедансно състояние, управлявано от входа \overline{OE} (Output Enable — Разрешение на изходите).



Фиг. 3.5. Двоично-десетичен дешифратор '42.

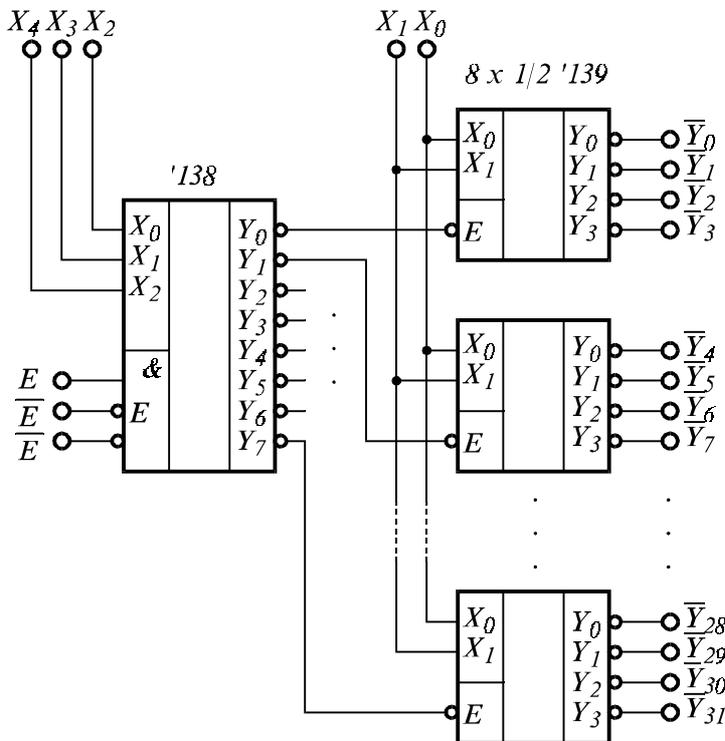
Когато броят на изходите е по-малък от максималния ($m < 2^n$), дешифраторът е непълнен. Типичен пример за непълни дешифратори са дешифраторите за двоично-десетичен код с 4 входа и 10 изхода. В интегрално изпълнение се произвеждат три типа двоично-десетични дешифратори. Най-разпространен тип, са дешифратори за числа в обикновен двоично-десетичен код — " $8 + 2$ " (ИС '42). Втори тип са за числа в двоично-десетичен код с излишък от 3 (ИС '43), а трети тип — за числа в двоично-десетичен код на Грей (ИС '44).

На фиг. 3.5 е показана схемата на дешифратора '42. Работата на дешифратора се забранява при подаване на входовете му на числа по-големи от 9.

Когато е необходимо да се изградят дешифратори с повече от 4 входа се прилага каскадно нарастване на дешифрицията (стъпално дешифриране). Нека е необходимо изграждането на дешифратор с r входа и 2^r изхода. Числото r се разделя на две части p и q , така че $p + q = r$. В първото стъпало

на дешифраторната група се поставя един дешифратор с p входа и 2^p изхода. Във второто стъпало се поставят 2^p на брой дешифратора, всеки с q входа и 2^q изхода. Всеки изход на дешифратора от първото стъ-

пало служи за разрешаване на по един дешифратор от второто стъпало (необходимо е активните нива да съвпадат).

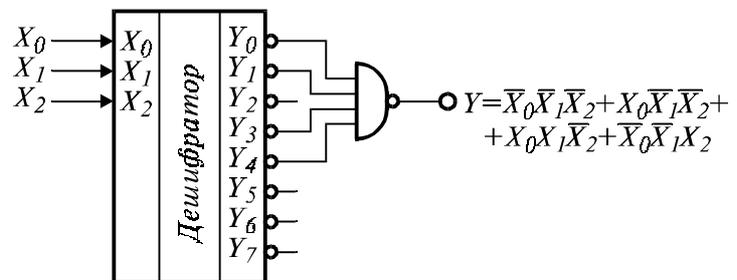


Фиг. 3.6. Каскадно нарастване на дешифратор с 5 входа и 32 изхода.

Свързаните накъсо едноименни входове на дешифраторите от второто стъпало са младшите q входа на дешифраторната група, а входовете на дешифратора от първото стъпало — старшите p входа. Изходите на дешифраторите от второто стъпало са изходи на дешифраторната група, а входовете за разрешение на дешифратора от първото стъпало могат да се използват като общо разрешение на цялата дешифраторна група. На фиг. 3.6 е показан пример на стъпален дешифратор с 5 входа и $2^5 = 32$ изхода, като е избран вариантът $3 + 2 = 5$.

| X_0 | X_1 | X_2 | Y |
|-------|-------|-------|-----|
| 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |

а)



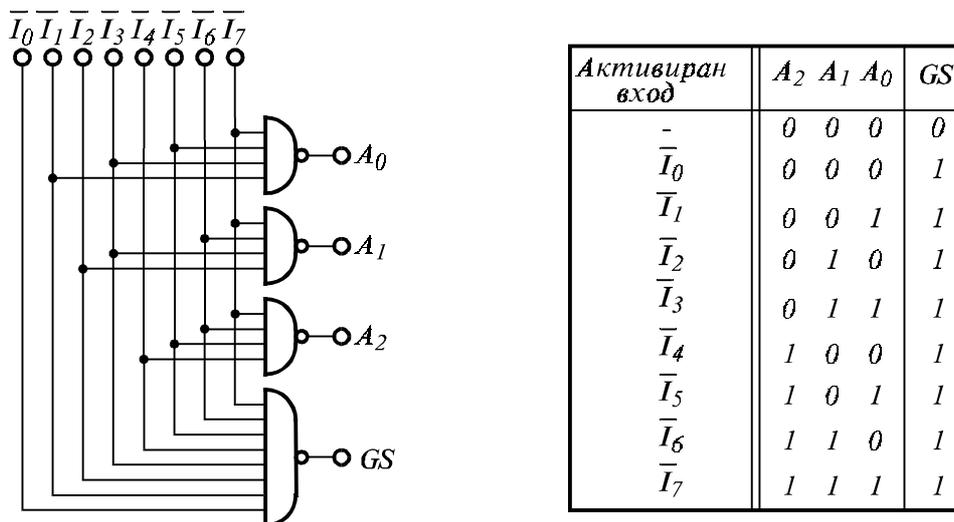
б)

Фиг. 3.7. Реализиране на функция на три променливи с дешифратор

Дешифраторът може да се използва за генериране на произволна логическа функция. Нека е дадена таблично примерна функция Y (фиг. 3.7). Тя може да се реализира с помощта на дешифратор и 4-входов елемент И-НЕ. Логическият елемент И-НЕ обединява само онези изходи на дешифратора, които в таблицата на истинност съответстват на местата, където функцията Y приема стойности 1.

Шифраторите (Encoder) са комбинационни логически схеми, които реализират обратната функция на дешифраторите. Те притежават определен брой входове, като генерират (кодират) на изходите си адреса (номера) на един от входовете — този който е активен. При използване на двоична бройна система за кодиране, с n изхода могат да се кодират адресите на 2^n входа. Ако системата, в която се използва шифраторът, не допуска повече от един активен вход в даден момент, схемата на шифратора е съвсем проста.

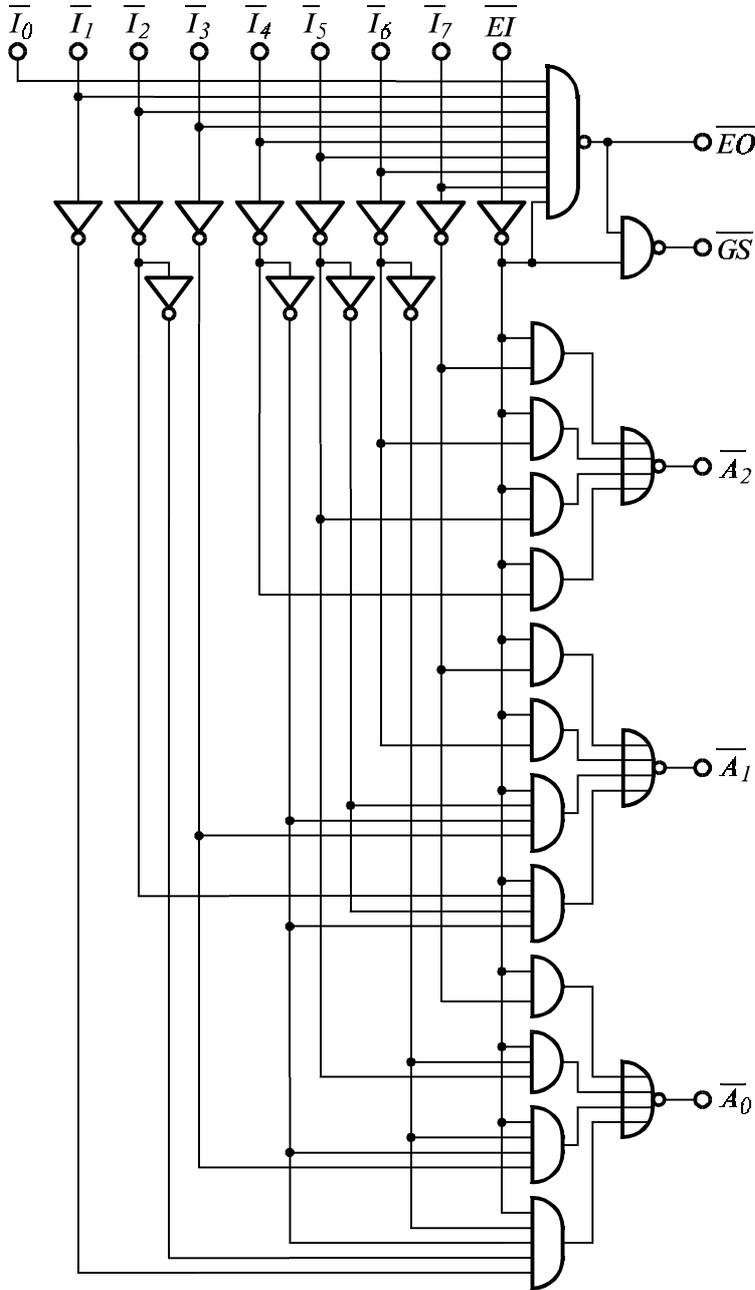
На фиг. 3.8 е показана схема на 8-входов шифратор с три изхода и неговата таблицата на истинност. Активните нива на входовете са 0. Необходимо условие за правилната работа на показания шифратор е да няма едновременно повече от един активиран вход. Ако това условие се наруши, шифраторът няма да даде на изходите си A правилен код. За различаване на състоянията на неактивиран вход и на активиран вход \bar{I}_0 , е предвидено генерирането на допълнителен сигнал GS , който се активира при наличие на активиран вход.



Фиг. 3.8. 8-входов шифратор.

Недостатъкът на показания шифратор за активиране на само един вход в даден момент се избягва при т.нар. приоритетни шифратори. За тях е характерно това, че на всеки вход е присвоен определен приоритет и при наличие на няколко активирани входа, се изработва ад-

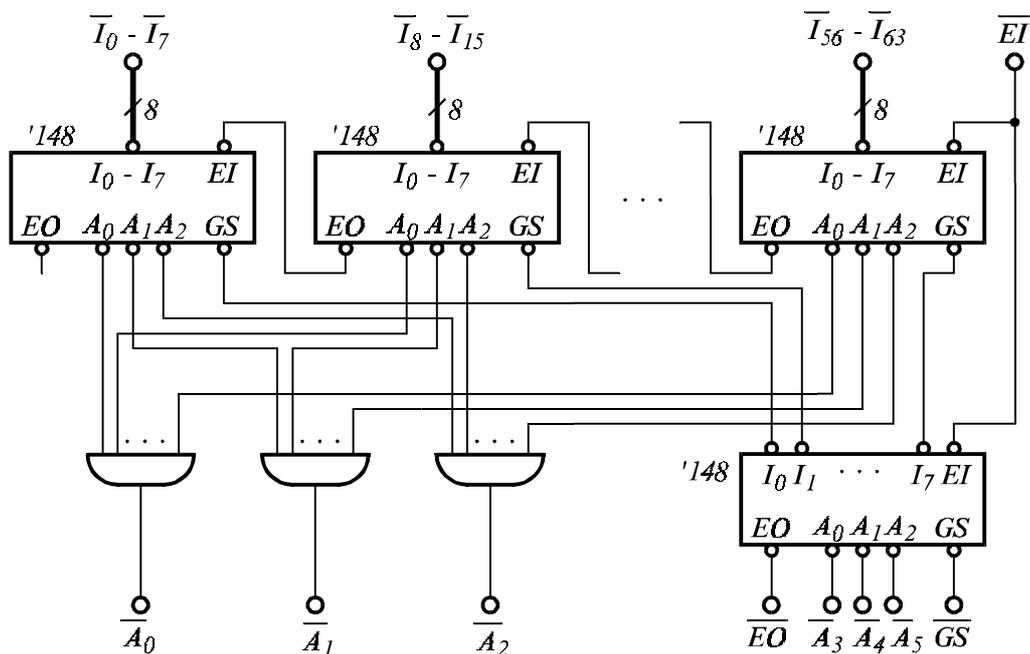
ресът на този с най-висок приоритет.



| \overline{EI} | $\overline{I_0}$ | $\overline{I_1}$ | $\overline{I_2}$ | $\overline{I_3}$ | $\overline{I_4}$ | $\overline{I_5}$ | $\overline{I_6}$ | $\overline{I_7}$ | $\overline{A_2}$ | $\overline{A_1}$ | $\overline{A_0}$ | \overline{GS} | \overline{EO} |
|-----------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|-----------------|-----------------|
| 1 | X | X | X | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | X | X | X | X | X | X | X | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | X | X | X | X | X | X | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | X | X | X | X | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | X | X | X | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | X | X | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | X | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |

Фиг. 3.9. Приоритетен шифратор '148.

На фиг. 3.9 е показана вътрешната схема на приоритетния шифратор '148, заедно с неговата таблица на истинност. Активните изходни нива за адреса A са 0 , т.е. шифрирането се извършва в инверсен код. Отделен изход \overline{GS} изработва т.нар. групов сигнал, показващ наличието на активирани входове. ИС '148 притежава вход \overline{EI} и изход \overline{EO} , предназначени за нарастване на шифраторите. С активно ниво 0 , \overline{EI} разрешава шифрирането и изработването на груповия сигнал \overline{GS} . Изходът \overline{EO} , се активира когато няма активирани входове, но има разрешение на входа \overline{EI} .

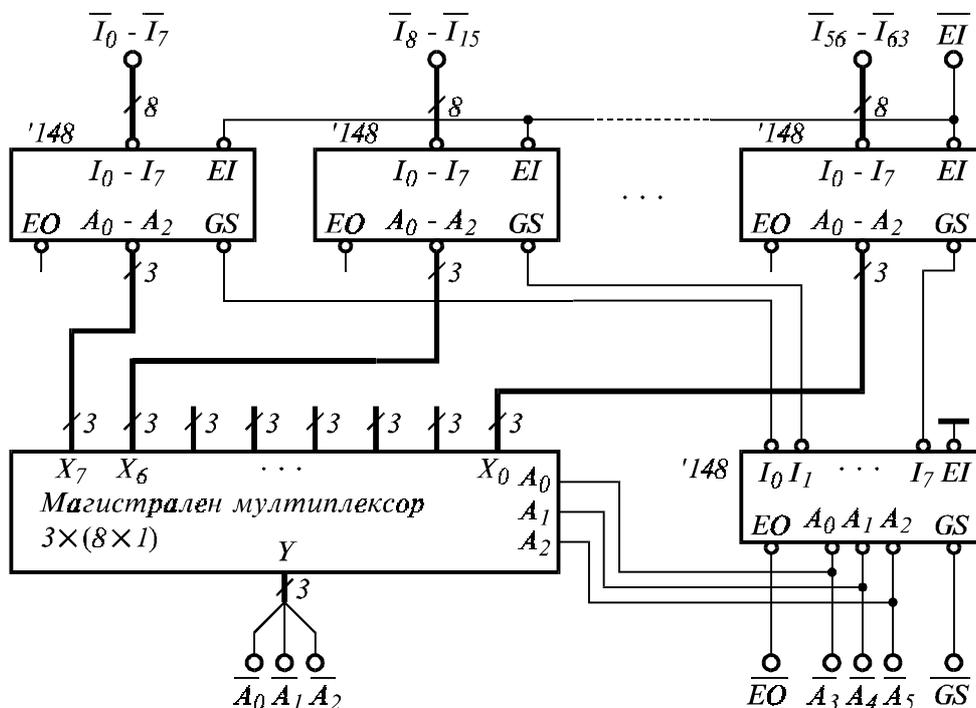


Фиг. 3.10. Последователно нарастване на шифратори.

Нарастването на приоритетните шифратори може да се извърши последователно или паралелно. Последователното нарастване се извършва, като разрешаващият изход \overline{EO} на всеки по-старши шифратор се свързва с разрешаващия вход \overline{EI} на следващия го по-младши. По този начин шифраторът, който има активирани входове, забранява работата на всички останали по-младши. При последователното нарастване няма повече от един шифратор с активни изходи. Това опростява формирането на младшите разреди на шифраторната група — едноименните изходи на всички шифратори се обединяват с логически вентили. Груповите сигнали на шифраторите служат за формиране на старшите разреди на шифраторната група, след като се кодират (може и с неприоритетен шифратор).

Структурната схема на последователен 64-входов приоритетен ши-

фратор е показана на фиг. 3.10. Недостатък на последователното нарастване е това, че сигналът за разрешение трябва да премине последователно (в най-лошия случай) през всички шифратори, за да може да формира изходния код.



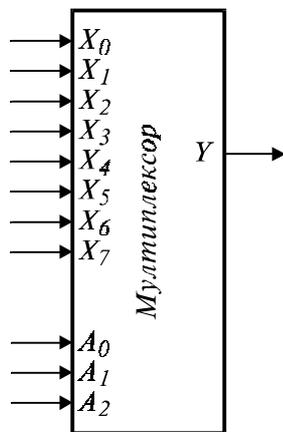
Фиг. 3.11. Паралелно нарастване на шифратори.

Паралелното нарастване на шифраторите се използва, когато е необходимо бързо приоритетно кодиране. Структурната схема на паралелен 64-входов приоритетен шифратор е показана на фиг. 3.11. В този случай отделните шифратори действат независимо един от друг. Техните групови сигнали \overline{GS} се подават на друг (задължително приоритетен) шифратор, който формира старшите разреди на изходния код. Последните постъпват като адрес в магистрален мултиплексор (мултиплексор на групи сигнали), който пропуска, като младши разреди на кода, изходите на най-старшия активиран шифратор.

3.2. Мултиплексори и демултиплексори

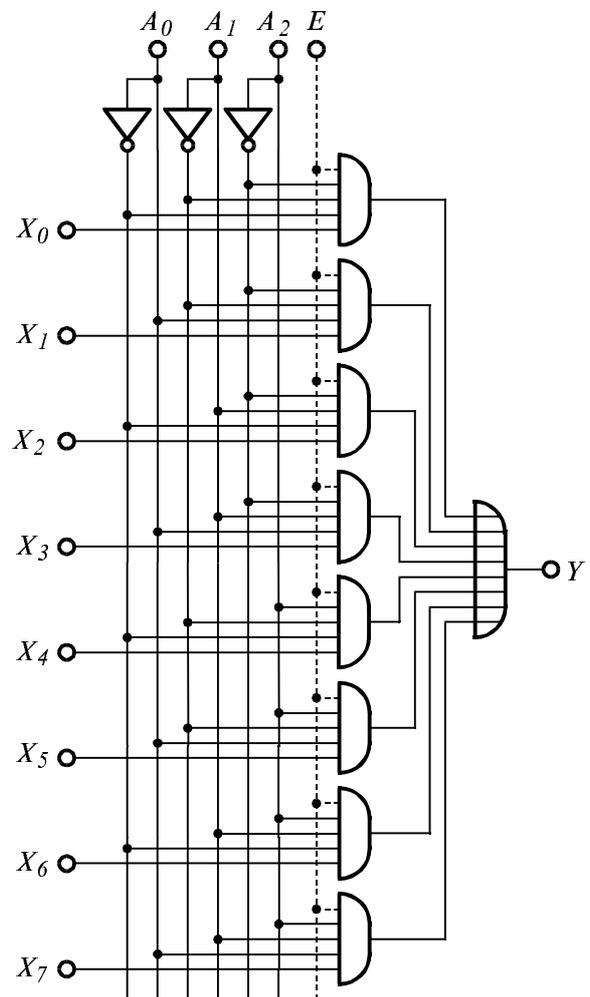
Мултиплексорът (multiplexer) е комбинационна логическа схема, която притежава няколко информационни входа и един изход. Той се управлява от селекторен адрес, определящ кой от входните сигнали ще бъде пропуснат към изхода. При n адресни входа, максималният брой информационни входа е $m = 2^n$. Мултиплексори, които прите-

жават максимален брой информационни входа се наричат пълни. На фиг. 3.12 е показан общ вид на пълнен мултиплексор 8 към 1.



Фиг. 3.12. Пълнен мултиплексор 8 към 1.

Структурната схема на пълнен мултиплексор с 3 адресни и 8 информационни входа е показана на фиг. 3.13. На пътя на всеки информационен сигнал X_i е поставена логическа врата, изградена с елемент И. Адресните сигнали A_0 , A_1 и A_2 (заедно с формираните техни инверсни стойности) разрешават унитарно по една логическа врата. Изходите на всички логически врати се сумират в схема ИЛИ към изхода на мултиплексора. Така, към изхода се пропуска сигналът от разрешената логическа врата. Допълнително, мултиплексорите могат да имат общ сигнал за разрешение E , както това е показано с прекъснатата линия.

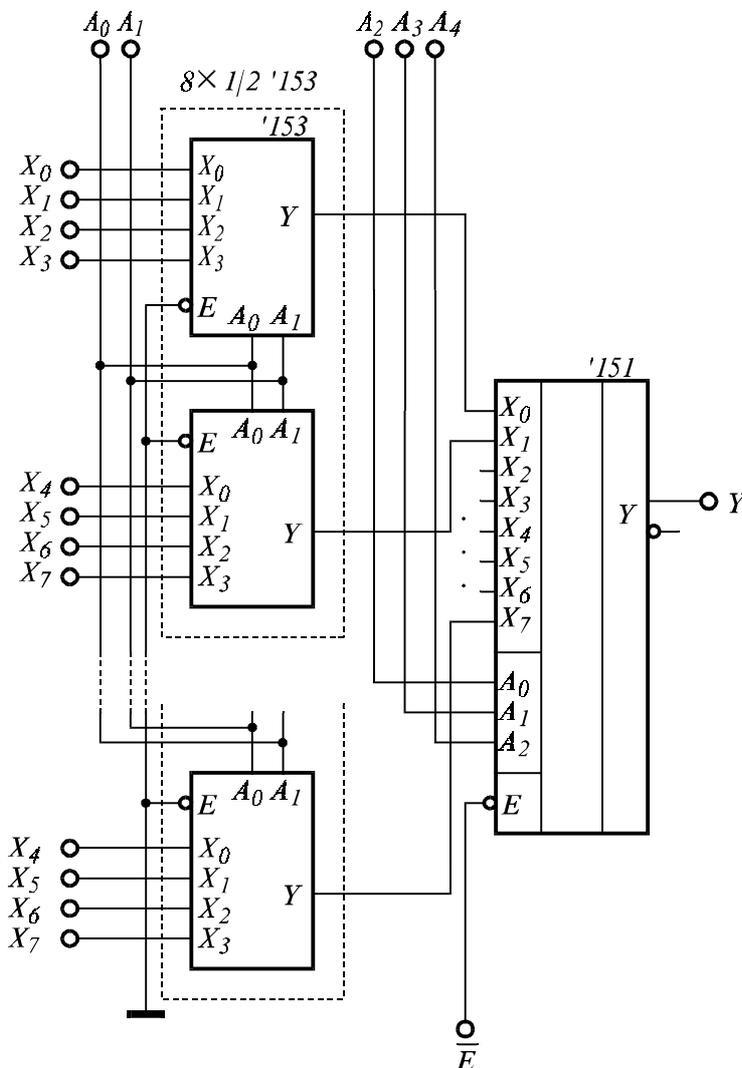


Фиг. 3.13. 8-канален пълнен мултиплексор.

В интегрално изпълнение съществуват редица пълни мултиплексори с по 1, 2, 3, но най-много 4 адресни входа. Когато е необходимо да се изградят мултиплексори с повече от 4 адресни входа (повече от 16 информационни входа) се прилага каскадно нарастване на мултиплексирането (стъпално мултиплексиране). Нека е необходимо изграждането на мултиплексор с r адресни входа и 2^r информационни входа. Числото r се разделя на две части p и q , така че $p + q = r$.

Във второто стъпало на мултиплексорната група се поставя един мултиплексор с q адресни входа и 2^q информационни входа. В първо-

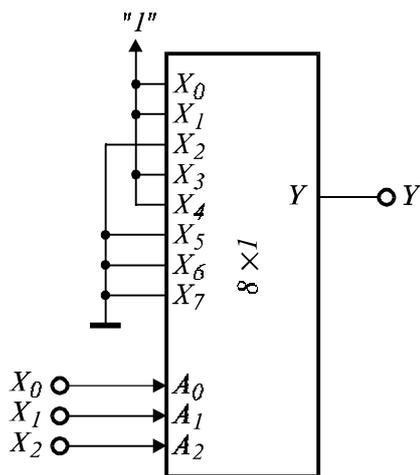
то стъпало се поставят 2^q на брой мултиплексора, всеки с p адресни входа и 2^p информационни входа. Всеки изход на мултиплексор от първото стъпало се свързва към вход на мултиплексор от второто стъпало. Едноименните адресни входове на мултиплексорите от първото стъпало се свързват накъсо и представляват младшите p входа на мултиплексорната група, а адресните входове на мултиплексора от второто стъпало — старшите q адресни входа. Като общо разрешение на мултиплексорната група, може да се използва входът за разрешение на мултиплексора от второто стъпало. На фиг. 3.14 е показан пример на стъпален мултиплексор с 5 адресни и $2^5 = 32$ информационни входа, при вариант $2 + 3 = 5$.



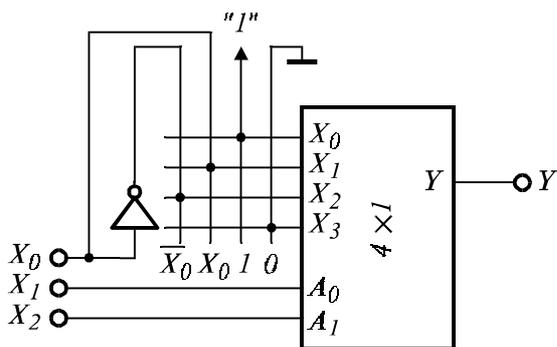
Фиг. 3.14. Каскадно нарастване на мултиплексор. 32-канален мултиплексор.

Мултиплексорите могат много лесно и удобно да бъдат използвани като генератори на логически функции. Един пълен мултиплексор с n адресни входа може да генерира коя и да е 2^{n+1} различни функции на $n+1$ променливи. Като пример, нека бъде използвана конкретната

функция Y на 3 променливи, таблично зададена на фиг. 3.7.а (същият пример е реализиран с дешифратор). В първия вариант, показан на фиг. 3.15, се прилага пълен мултиплексор с 3 адресни входа. Променливите X_0 , X_1 и X_2 се подават към адресните входове на мултиплексора, а 8-те информационни входа на мултиплексора се свързват към логическа 1 или 0, в съответствие с таблицата на истинност.



Фиг. 3.15. Реализиране на произволна функция на три величини с мултиплексор.



Фиг. 3.16. Реализиране на произволна функция на три величини с използване на инверсната форма на една от тях.

Този начин на реализиране на функцията е прост, но не най-ефикасен. Същата функция може да се генерира и от пълен мултиплексор с 2 адресни входа, както е показано на фиг. 3.16. За целта таблицата на истинност се разделя на 4 блока, така както е показано с прекъснатата линия. Във всеки блок X_1 и X_2 са константни, а Y може да има едно от следните четири състояния:

- 0, независимо от X_0 ;
- 1, независимо от X_0 ;
- еднакво с X_0 ;
- еднакво с \bar{X}_0 .

Следователно функцията може да се реализира, като на адресните входове на мултиплексора се подадат променливите X_1 и X_2 , а четирите му входа се свържат според таблицата на истинност с един от четирите сигнала: 1, 0, X_0 или \bar{X}_0 . Единственият недостатък на това решение е, че е необходим инвертор за формирането на \bar{X}_0 .

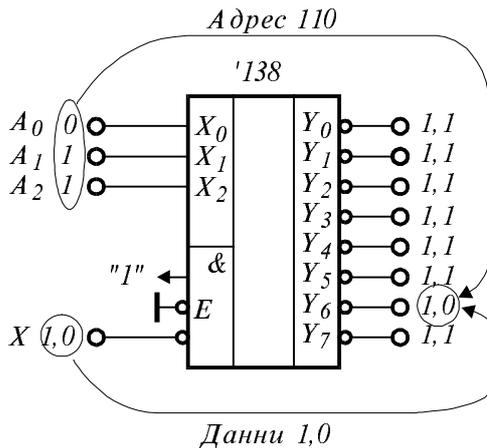
Демултиплексорите (demultiplexer) изпълняват обратната

функция на мултиплексорите. Те имат само един информационен вход, чийто сигнал се превключва към един от няколкото (максимално 2^n) изхода, според подадения цифров код на n адресни входа.

В интегралната схемотехника като демултиплексори могат да се използват дешифраторите при условие че притежават вход за разреше-

ние, чието активно ниво съвпада с активното ниво на изходите.

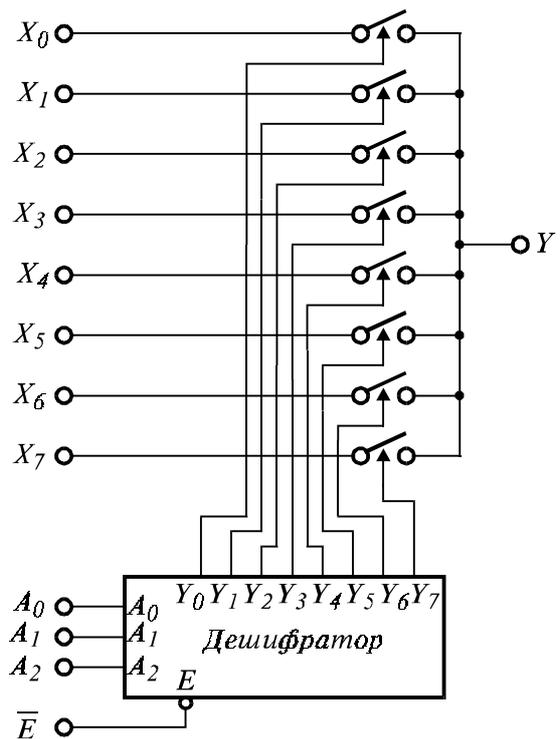
Пример за използването на дешифратор на 3 входа, като 8-канален демултиплексор е показан на фиг. 3.17. Адресните сигнали се подават към входовете на дешифратора, а информационният входящ сигнал — към входа за разрешение, чието активно ниво съвпада с активното ниво на изходите. Останалите разрешаващи входове на дешифратора могат да се използват за разрешение на демултиплексиранието.



Фиг. 3.17. Използване на дешифратор за демултиплексор.

В CMOS сериите съществуват универсални мултиплексори/демултиплексори, които пропускат сигналите в двете посоки, т.е. могат да служат като мултиплексори и като демултиплексори и пропусканите сигнали могат да бъдат аналогови, в диапазона на захранващото напрежение. Пропускането на сигналите се извършва от аналогови CMOS ключове. Ключовете се управляват унитарно от декодираща логика. На фиг. 3.18 е показана структурната схема на ИС '4051.

Когато $X = \bar{E} = 1$, дешифраторът е забранен и всички негови изходи са в 1, а когато $X = \bar{E} = 0$ — дешифраторът се разрешава и поставя в 0 този свой изход, чийто адрес е зададен от адресните сигнали, т.е. реализирано е включване на сигнала X към селектирания от адресите изход.



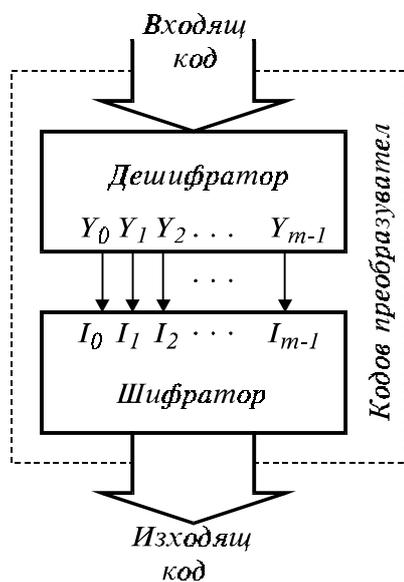
Фиг. 3.18. Интегрален мултиплексор/демултиплексор — '4051.

3.3. Кодови преобразуватели

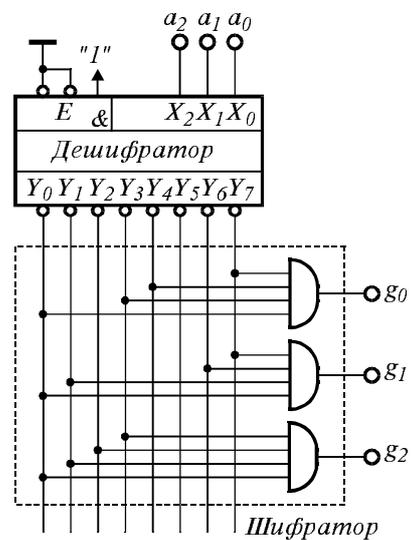
Кодовите преобразуватели служат за преобразуване на числата от

една форма в друга. Съществуват най-различни кодови преобразуватели. Дори и някои от дотук представените комбинационни логически схеми могат да се разглеждат като преобразуватели на код. Например, двоичният дешифратор е преобразувател от двоичен в унитарен код.

Един от най-лесните начини за реализиране на кодов преобразувател е показан на фиг. 3.19 и използва междинно преобразуване в унитарен код. Входният код се преобразува в унитарен чрез дешифратор. Изходите на дешифратора изработват т.нар. "минтерми", които съответстват на единиците в картата на Карно. Следва кодиране на унитарния код в изходния код, чрез шифратор.



Фиг. 3.19. Кодов преобразувател, реализиран чрез дешифратор и шифратор.



Фиг. 3.20. Кодов преобразувател от двоичен код в код на Грей.

Таблица 3.1.

Съответствие между двоичен код и код на Грей.

| Десетично число | Двоичен код | | | Код на Грей | | |
|--------------------|-------------|-------|-------|-------------|-------|-------|
| | a_2 | a_1 | a_0 | g_2 | g_1 | g_0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 2 | 0 | 1 | 0 | 0 | 1 | 1 |
| 3 | 0 | 1 | 1 | 0 | 1 | 0 |
| 4 | 1 | 0 | 0 | 1 | 1 | 0 |
| 5 | 1 | 0 | 1 | 1 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 1 | 0 | 0 |

Начинът е илюстриран на фиг. 3.20 чрез преобразувател на двоичен код в код на Грей. Кодът на Грей е шумоустойчив код, тъй като

при прехода от едно число към следващото, се променя само един разред. В табл. 3.1 е съпоставен двоичния код с кода на Грей за числа от 0 до 7.

Съществува по-прост начин за реализиране на този кодов преобразувател. Както може да се види от таблицата на съответствие, за преобразуване на двоичния код в код на Грей могат да се използват следните операции: $g_0 = a_0 \oplus a_1$, $g_1 = a_1 \oplus a_2$, \dots , $g_i = a_i \oplus a_{i+1}$, \dots , а за старшия разред: $g_{n-1} = a_{n-1}$.

Обратното преобразуване на число от код на Грей в двоичен код е малко по-сложно. За n -разредно число, операциите по преобразуване са следните: $a_{n-1} = g_{n-1}$ и $a_i = g_{n-1} \oplus g_{n-2} \oplus \dots \oplus g_i$, при $i < n - 1$.

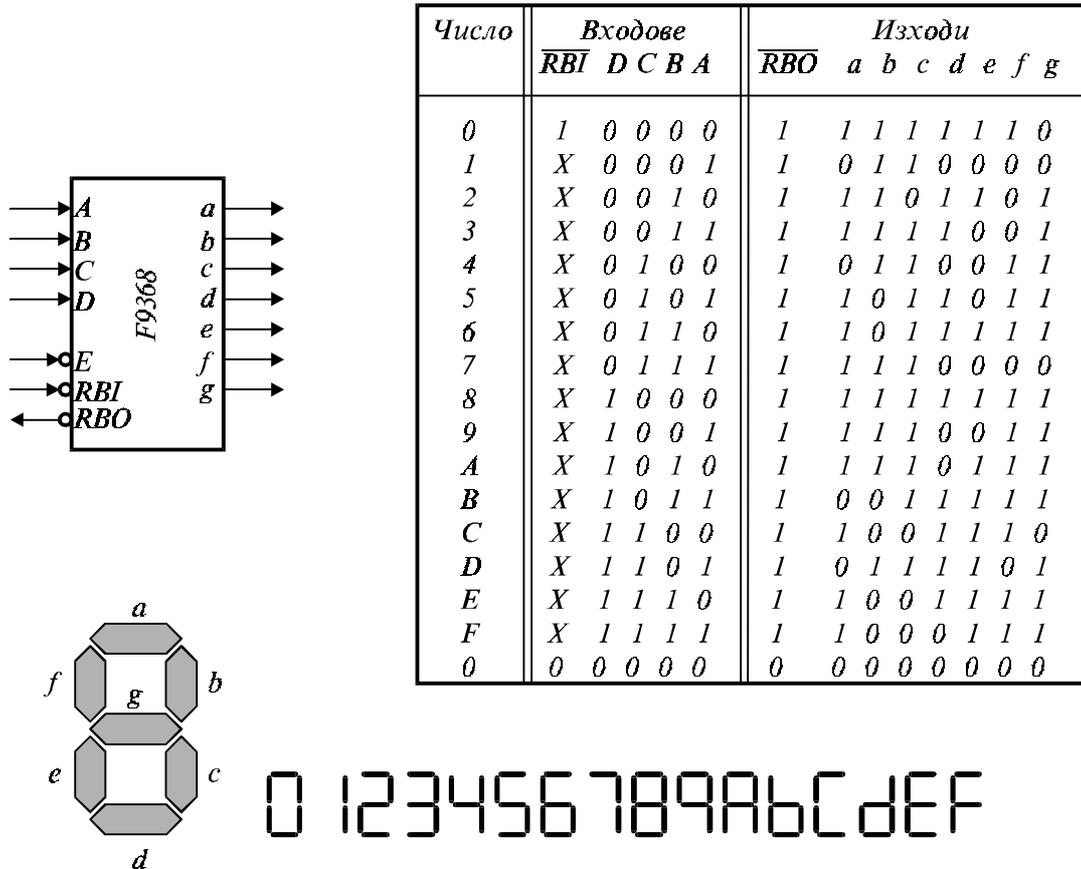


Фиг. 3.21. Кодов преобразувател: а) — от двоичен код в код на Грей; б) — от код на Грей в двоичен код.

Реализацията на преобразуване на двоичен код в код на Грей и обратно по горните изрази, е дадена на фиг. 3.21. При обратното преобразуване от фиг. 3.21.б времето за формирането на изходния код е значително. За най-младшия разред то е $(n - 1)t_{pd}$. Затова, при много-разредни числа е целесъобразно, доколкото е възможно, логическите операции да се изпълняват паралелно.

Към кодовите преобразуватели принадлежат и преобразувателите в седемсегментен код за индикатори. В интегрално изпълнение съществуват редица преобразуватели в седемсегментен код, при болшинството от които входният код е двоично-десетичен (от 0000 до 1001), а изходният код позволява изобразяването на десетичните цифри. При тях, входните комбинации от 1010 до 1111 предизвикват изобразяване на служебни (нецифрови) символи.

Съществуват ограничен кръг интегрални преобразуватели с входен двоичен код, при които изходният код позволява изобразяването на шестнадесетичните цифри. Такъв е TTL кодовият преобразувател F9368 на фирмата Fairchild. Неговият общ вид, заедно с таблицата на истинност и изображенията на символите е показан на фиг. 3.22.



Фиг. 3.22. Преобразувател на код F9368

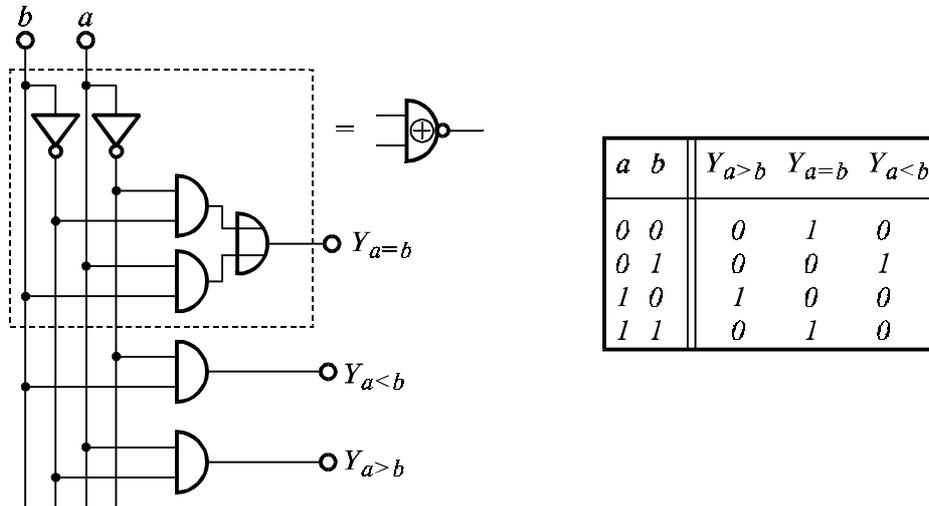
F9368 е предназначен за управление на 7-сегментни светодиодни индикатори, организирани по схема "общи катоди" — активното ниво на изходите е 1. В изходите има вградени резистори, които ограничават изходния ток на 20 mA. Входящият двоичен код се запомня във вътрешен буфер под управление на сигнала \overline{E} . Сигналят \overline{RBI} (Ripple Blanking Input) участва при загасянето на незначещата нула — ако на \overline{RBI} е подадена логическа 0 и входящото число е 0000, преобразувателят загасява индикатора и на изхода \overline{RBO} (Ripple Blanking Output) се появява логическа 0, указваща за загасен индикатор.

3.4. Цифрови компаратори

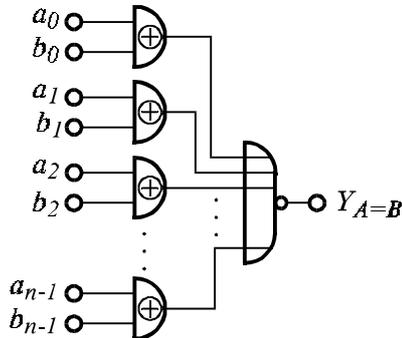
Цифровите компаратори са комбинационни логически схеми, които осъществяват сравняване на две числа — A и B. В резултат от сравняването се регистрират едно от трите възможни състояния: $A = B$, $A > B$ и $A < B$. Компаратори, които могат да регистрират и трите състояния се наричат магнитудни компаратори (Magnitude Comparator).

Най-простият магнитуден компаратор сравнява две едноразредни

числа a и b . Неговата схемотехнична реализация и таблица на истинност е представена на фиг. 3.23. Както се вижда най-лесно се осъществява сравнението за равенство — логическият елемент ИЗКЛЮЧВАЩО ИЛИ е елементарен едноразреден компаратор за равенство.



Фиг. 3.23. Едноразреден магнитуден компаратор.



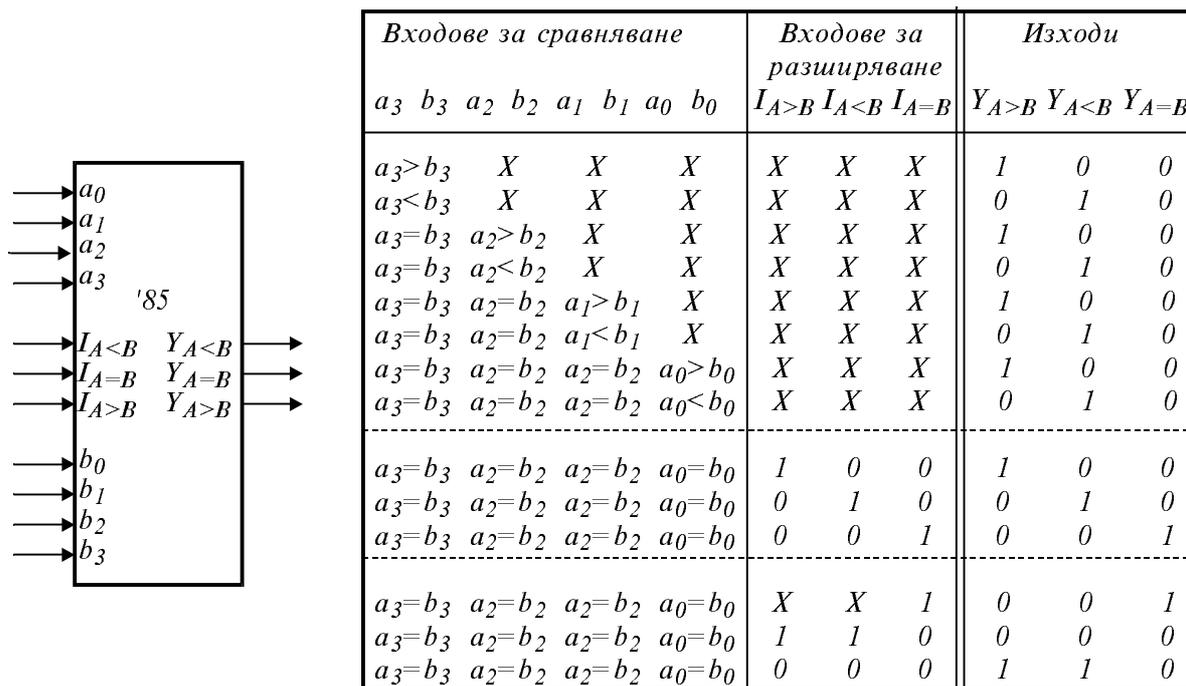
Фиг. 3.24. Сравняване на две n -разредни числа

Две n -разредни числа се сравняват за равенство, като се извърши поразредно сравняване и резултатите се обединят, както е показано на фиг. 3.24.

За магнитудно сравняване на многоразредни двоични числа, най-напред се сравняват старшите разреди. Ако са различни, само те определят резултата от цялото сравняване. Ако са равни, необходимо е да се сравнят следващите по-младши разреди и т.н.

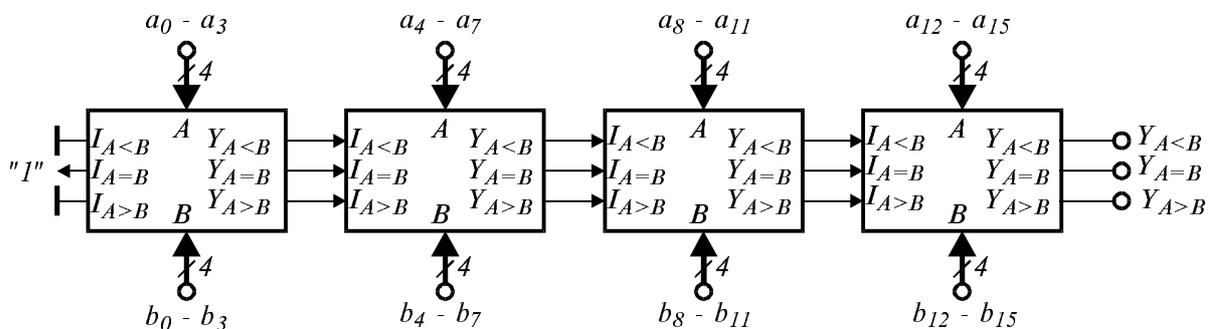
Многоразреден магнитуден компаратор може да се изгради от едноразредни, като изходът за равенства на всеки едноразреден магнитуден компаратор управлява допълнителен мултиплексор, предаващ към изхода резултата от сравнението на по-младшите разреди. Един от най-известните интегрални магнитудни компаратори е '85, предназначен за сравняване на 4- и 5-разредни числа — фиг. 3.25.

Входовете за разширяване $I_{A<B}$, $I_{A=B}$ и $I_{A>B}$ дават възможност за нарастване на компараторите. Сравняването може да нараства както последователно, така и паралелно.



Фиг. 3.25. Интегрален 4-разреден компаратор '85.

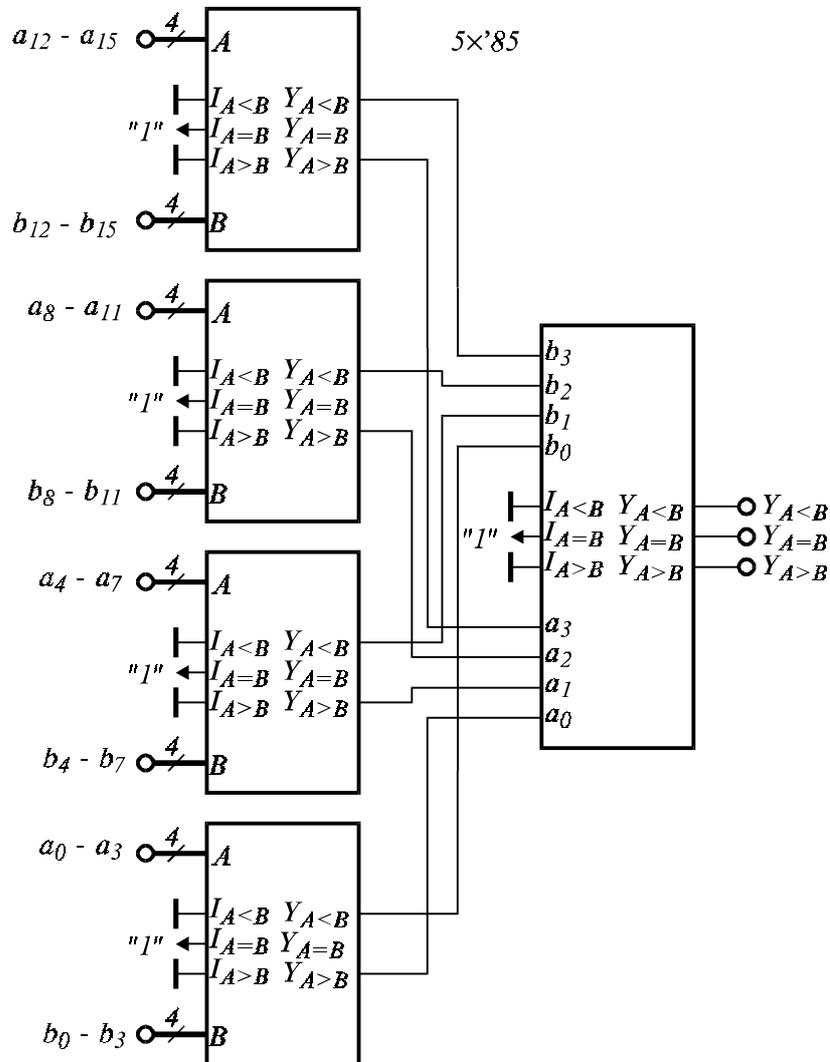
На фиг. 3.26 е показано последователно нарастване на компаратори за магнитудно сравняване на две 16-разредни числа с интегралния компаратор '85. Изходите за резултата от всеки компаратор се свързват с входовете за разширяване на следващия компаратор, сравняващ по-старшите разреди на числата във веригата. На входовете за разширяване на най-младшия компаратор, се подават постоянни логически нива, задаващи начално равенство. Изходите на най-старшия компаратор са изходи на цялата компараторна група. Последователното свързване е най-просто, но то е и най-бавно, особено при регистриране на равенството на двете многоразредни числа.



Фиг. 3.26. Последователно нарастване на цифрови компаратори.

Паралелно свързване на компаратори за сравняване на многоразредни числа е показано на фиг. 3.27. Магнитудно са сравнени също

две 16-разредни числа, както в предишния пример с интегралния компаратор '85. Паралелното сравняване е по-бързо, но е с по-голям разход на елементи.



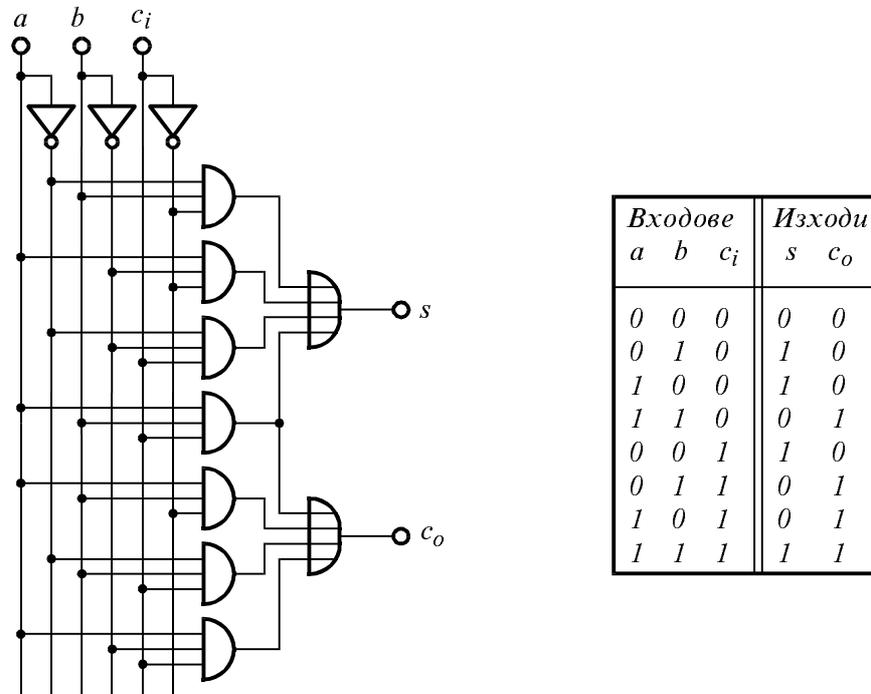
Фиг. 3.27. Паралелно 16-разредно сравняване.

3.5. Суматори и други аритметични схеми

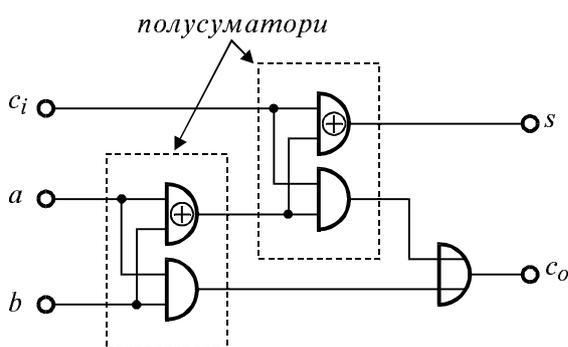
Суматорът представлява комбинационна схема, която сумира числа (разглеждаме само сумиране на двоични числа). Когато се сумират двоични числа без входящ пренос, схемата се нарича полусуматор. В общия случай обаче, е необходимо да се извърши сумиране на две числа, вземайки предвид постъпващ пренос от предходен разред и освен сумата, да се изработи и пренос за следващия разред. Такава схема се нарича пълен суматор.

Сумирането на две едноразредни двоични числа a и b се извършва

от едноразреден суматор. Структурната схема на пълен едноразреден суматор, който обработва и входящия пренос c_i , е дадена на фиг. 3.28, заедно с таблицата на истинност. В резултат на сумирането се получава един двоичен разред на сумата s и изходящ пренос c_o .



Фиг. 3.28. Пълен едноразреден суматор.

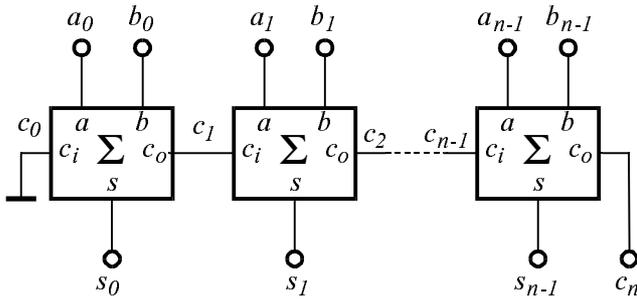


Фиг. 3.29. Сумиране на едноразредни числа с помощта на полусуматори.

Пълен едноразреден суматор може да се изгради и с помощта на два едноразредни полусуматора, както е показано на фиг. 3.29.

За сумирането на многоразредни числа, за всеки разред е необходим по един пълен суматор. Само в младшия разред може да се използва полусуматор. На фиг. 3.30 е показано последователно нарастване на пълни едноразредни суматори за сумиране на многоразредни числа. Времето

за изпълняване на операцията е доста повече, отколкото при едноразредния суматор. Всеки пренос ще може да приеме истинската си стойност, едва след като предишният се е установил. Този начин на изпълняване на операцията се нарича формиране на последователен пренос (Ripple Carry).



Фиг. 3.30. Последователно нарастване на едноразредни суматори.

В общия случай, за c_k (вж. таблицата на фиг. 3.28) може да се запише уравнението $c_{k+1} = \underbrace{a_k b_k}_{g_k} + \underbrace{(a_k \oplus b_k)}_{p_k} c_k$. Величините g_k и p_k са

въведени за съкращаване на записа (k е текущият номер). За 4-разреден суматор уравненията за преносите ще имат вида:

$$c_1 = g_0 + p_0 c_0,$$

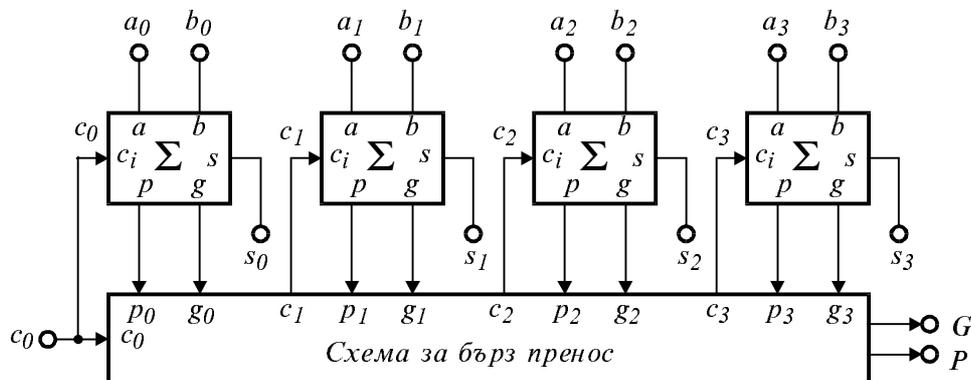
$$c_2 = g_1 + p_1 c_1 = g_1 + p_1 g_0 + p_1 p_0 c_0,$$

$$c_3 = g_2 + p_2 c_2 = g_2 + p_2 g_1 + p_2 p_1 g_0 + p_2 p_1 p_0 c_0,$$

$$c_4 = g_3 + p_3 c_3 = g_3 + p_3 g_2 + p_3 p_2 g_1 + p_3 p_2 p_1 g_0 + p_3 p_2 p_1 p_0 c_0 = G + P c_0.$$

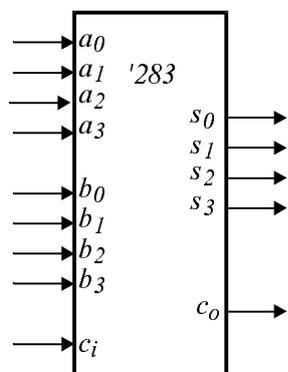
Макар, че получените изрази са доста сложни, времето за изработването на преноса за произволен разред се определя само от времето на закъснение на сигнала последователно в два логически елемента (един за формиране на произведенията и втори за формиране на общата сума в уравненията). Този начин на изпълняване на операцията се нарича формиране на паралелен пренос (Carry Look-Ahead) или бърз пренос (Fast Carry).

На фиг. 3.31 е дадена блоковата схема на четириразреден суматор със схема за бърз паралелен пренос (Carry Look-Ahead Generator). Схемата за бърз пренос е комбинационна схема, която пряко реализира горните уравнения.



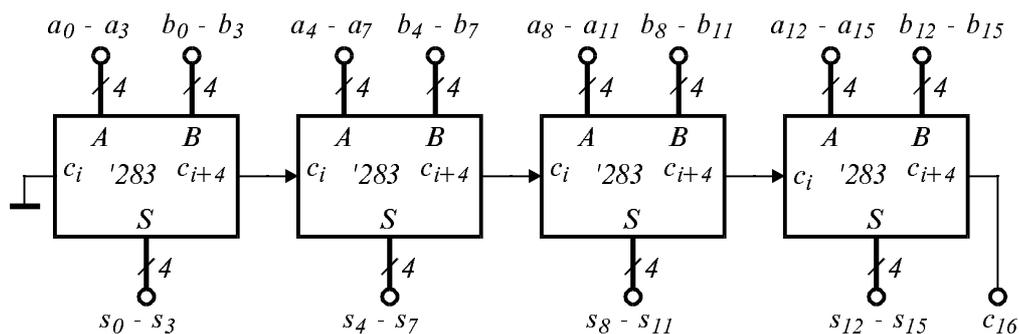
Фиг. 3.31. Четириразреден суматор с паралелен пренос.

В интегралната схемотехника многоразредните суматори се изграждат с паралелно формиран бърз пренос. Такъв е четириразредният пълен суматор '283, чийто общ вид е показан на фиг. 3.32.

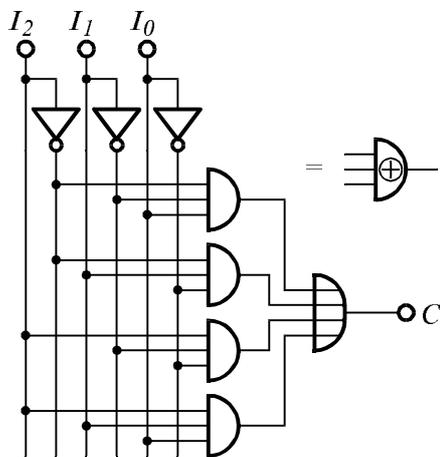


Фиг. 3.32. 4-разреден пълен суматор с ускорен пренос.

Той извършва двоично сумиране на две четириразредни числа A и B , заедно с еднобитов входящ пренос c_i , генерирайки тяхната четириразредна сума S и изходящ пренос c_o . За сумирането на повисоко-разредни числа с '283, се извършва нарастване на суматора. Изходящият пренос на всеки суматор се свързва с входящия на по-старшия. Последователно нарастване за 16-разреден двоичен суматор е показано на фиг. 3.33.



Фиг. 3.33. Последователно нарастване на 4-разредни суматори '283 за формиране на 16-разредно сумиране.

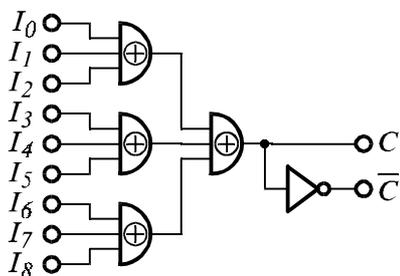


Фиг. 3.34. Формиране на контрол по четност за 3-разредно число.

Типични комбинационни устройства са схемите за изработване на контролен бит по четност или нечетност (Parity Generator/Checker). Те определят дали броят на единиците във входящото число е четен или нечетен. Схемотехнично, тези схеми представляват сбор от схеми ИЗКЛЮЧАЩО ИЛИ. На фиг. 3.34 е показано формирането на контролен бит за четност от 3-разредно число.

Нарастването на схемите за контрол по четност и нечетност

се извършва обикновено паралелно-последователно. Например на фиг. 3.35 е показана вътрешната структура на интегралния 9-разреден генератор на контролен бит '280. Изходът C генерира контрол по нечетност, а изходът \bar{C} — по четност.



Фиг. 3.35. 9-разреден генератор на контролен бит — '280

Към комбинационните аритметични схеми принадлежат и аритметично-логическите устройства — АЛУ (Arithmetic Logic Unit — ALU). Например 4-разредното АЛУ '181 (с възможност за разширяване за обработка на по-голямразредни числа) може да изпълнява сумиране, изваждане, преместване, сравняване и други, общо 16 функции. Операцията се задава с четири входящи сигнала

и вход за управление на режима (аритметични или логически операции). Схемата притежава четири изхода за резултата от операцията, вход за пренос, изход за пренос и два спомагателни изхода за ускорен пренос при използването на външна схема за бърз пренос — от типа на '182. Времето за изпълнението на операциите е от порядъка на единици и десетки наносекунди, според технологичното изпълнение.

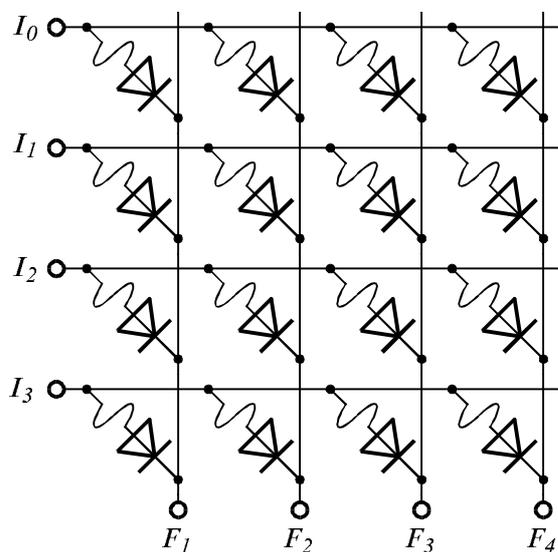
Произвеждат се и комбинационни умножители в конфигурации 8×8 или 16×16 разреда. Разновидност на умножителите, които се използват главно при цифровата обработка на сигнали, са т.нар. натрупващи умножители, които натрупват сума от произведения. Те се изработват с разредност 32×32 , с 64-разредно произведение и няколко допълнителни бита за препълване. Умножителите и натрупващите умножители притежават време на обработка на операцията от порядъка на $25 \div 30$ ns, а при изпълнение с ECL — около 5 ns.

Други аритметични устройства, използвани в цифровата обработка на сигнали, са цифровите корелатори, сравняващи съответстващите разреди в две числа и изчисляващи броя на съвпадащите разреди.

3.6. Програмируема комбинационна логика

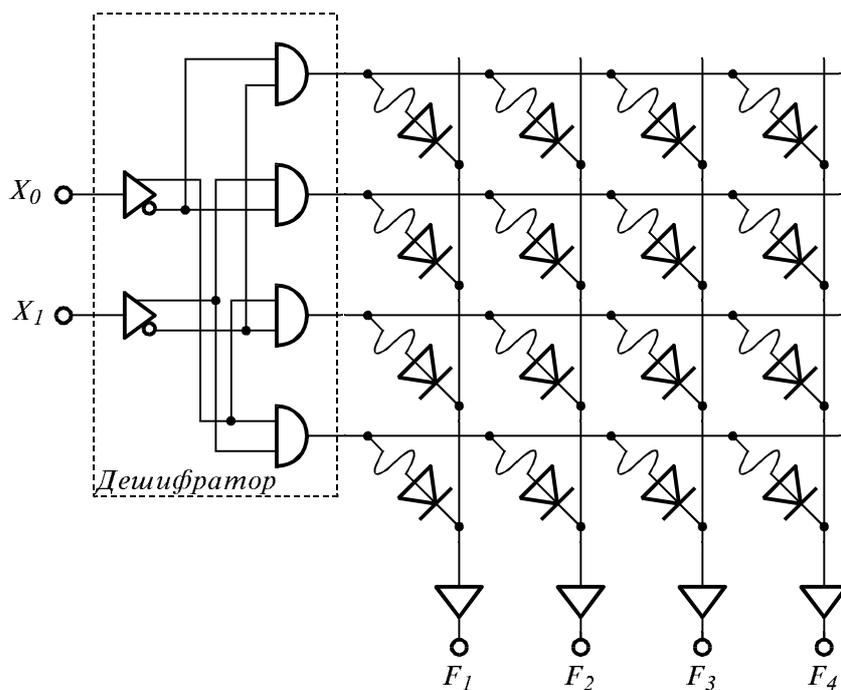
Първата програмируема интегрална логическа схема е диодната логическа ИЛИ матрица, появила се в началото на 60-те години. Тя представлява съвкупност от редове и колони, свързани в пресечните точки с диоди и прогоряеми връзки. Връзките могат селективно да бъдат прогаряни, елиминирайки някои от кръстосаните съединения и

оставяйки другите. На фиг. 3.36 е показана диодна ИЛИ матрица за четири функции F_i от четири входни величини I_i . Всяка функция реализира логическа сума на входните величини $F_i = I_1 + I_2 + I_3 + I_4$. С прогаряне на връзка се елиминира член от тази сума.



Фиг. 3.36. Програмируема схема на база на диодна матрица.

Следващата стъпка в развитието на програмируемата логика е добавянето на входен дешифратор и изходни буфери към диодната логическа ИЛИ матрица. Тези допълнения на програмируемата логика позволяват тя да добие ново качествено съдържание. Преди всичко е съкратен броят на изводите за входните сигнали, като те се декодират вътре в логическата структура. На второ място, чрез изходните буфери се отстраняват недостатъците на диодната логика и изходните сигнали стават пълноценни логически сигнали. На фиг. 3.37 е показана структурата на програмируема логика с четири функции на две променливи.



Фиг. 3.37. Програмируема логика за четири функции на две променливи.

3.6.1. Програмируема постоянна памет — PROM

В основата на създаването на съвременните програмируеми логически схеми стои обобщеното уравнение на произволна функция F на n променливи. Тя представлява 2^n логически суми от произведенията на единичната функция f_i с минтермите m_i на входните величини:

$$F = \sum_0^{2^n-1} (m_i \cdot f_i),$$

Например, при две входни променливи X_0 и X_1 , разгънатата форма на уравнението за произволна функция има вида:

$$F = (\bar{X}_0 \bar{X}_1) f_0 + (X_0 \bar{X}_1) f_1 + (\bar{X}_0 X_1) f_2 + (X_0 X_1) f_3.$$

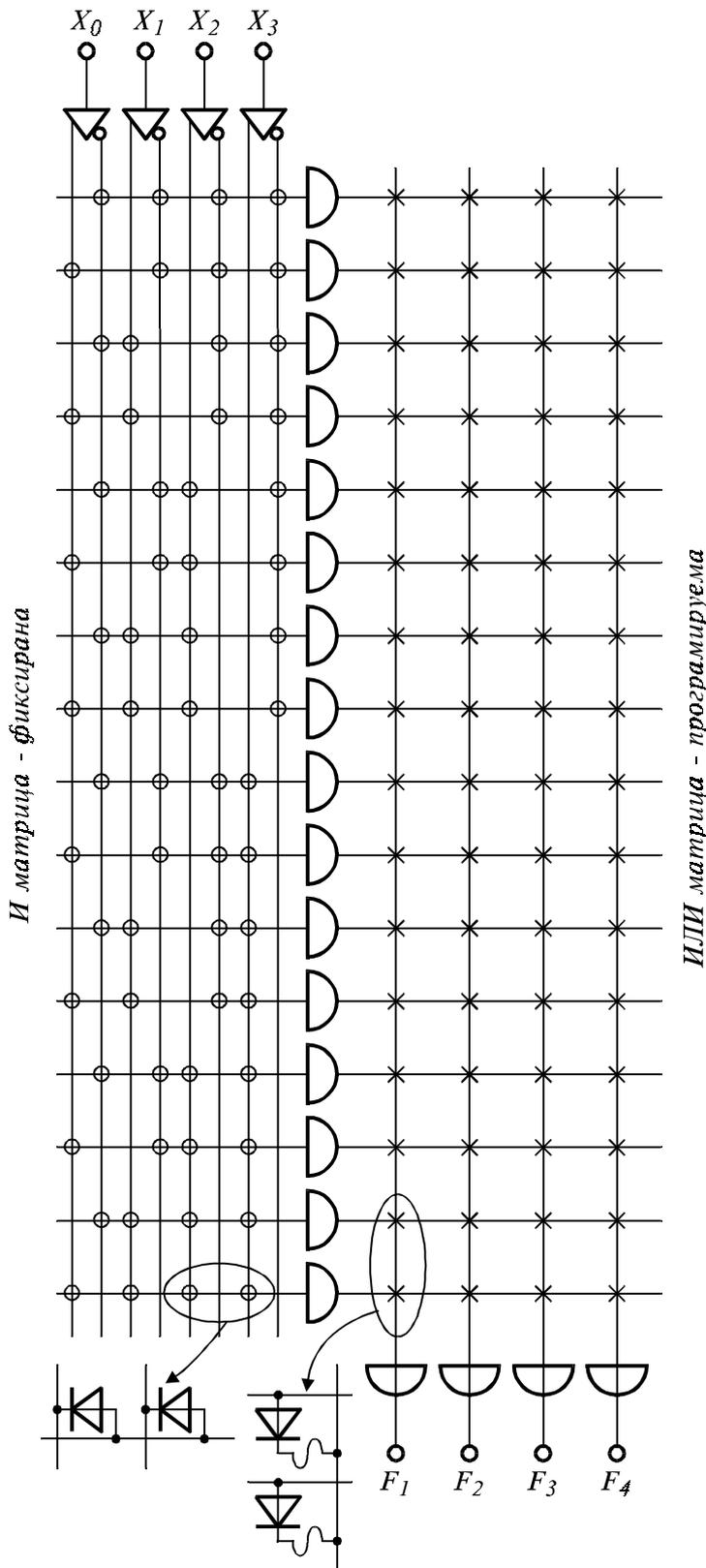
Единичните функции f_i могат да заемат само стойности 0 или 1. Така например, за логическото произведение на входните величини $F = X_0 X_1$, $f_0 = f_1 = f_2 = 0$, и $f_3 = 1$. Може да се докаже, използвайки теоремите за преобразуване на логически уравнения, че за логическата сума на входните величини $F = X_0 + X_1$, $f_0 = 0$ и $f_1 = f_2 = f_3 = 1$.

Логическата структура, която реализира обобщеното уравнение на произволна логическа функция, представлява една от основните видове програмируеми логики — програмируемата постоянна памет PROM (Programmable Read Only Memory).

Дешифраторът изработва минтермите на входните величини, а диодната ИЛИ матрица осигурява сумирането на онези минтерми, за които единичните функции в конкретното уравнение са 1. Кодирането на стойностите на единичните функции 0 или 1 се извършва в ИЛИ матрицата чрез прогаряне или оставяне на съответните кръстосани диодни връзки. При това, може да се заложи логика за реализирането на няколко функции (използват се една и съща логика за формирането на минтермите).

Формирането на минтермите (дешифрирането на входните променливи) също може да се извърши с диодна матрица, но тя трябва да реализира логическата функция И.

На фиг. 3.38 е показана структура на PROM с шестнадесет думи по четири бита всяка, с която могат да се генерират четири произволни функции на четири променливи. За удобство, местата на диодните връзки в матриците са показани условно, като фиксираните са означени с кръгчета, а програмируемите — с кръстчета. Полето на И матрицата, изработващо минтермите, е фиксирано и не подлежи на програмиране, докато полето на ИЛИ матрицата се програмира от потребителя според стойностите на единичните функции в уравненията на желаните от него изходни функции.



Фиг. 3.38. Структура на PROM — пример с 16 думи по 4 бита.

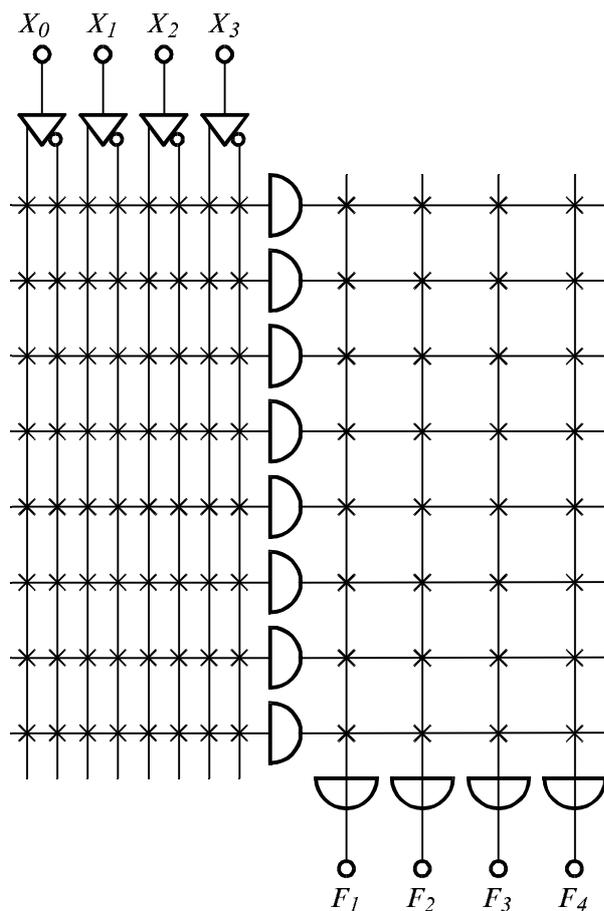
С развитието на интегралната технология, се използват и други начини за реализиране на логическите функции И и ИЛИ в матриците — например с използването на MOS вентили с плаващ гейт и въз-

можност за изтриване с ултравиолетова светлина или електрически импулс (репрограмируеми постоянни памет) и др.

Дотук става ясно, че всяка постоянна памет може да се използва като универсална комбинационна логическа структура. Според основното си предназначение (за съхраняване на информация), входовете за променливите в постоянните памет се наричат адреси, а изходните величини — данни.

3.6.2. Програмируеми логически матрици — PLA

За генератор на логически функции, структурата на PROM е много неикономична по отношение на използваемостта на заложените в нея елементи. Формирането на всички минтерми силно уголемява вътрешната програмируема матрица, при това всеки допълнителен вход удвоява нейния обем. В повечето от практическите случаи, не е необходимо наличието на всички минтерми.



Фиг. 3.39. Структура на програмируема логическа матрица — PLA (FPLA).

Това е довело до идеята за създаването на по-малка програмируема структура, в която е ограничен броят на възможните минтерми на входните величини и той е по-малък от 2^n .

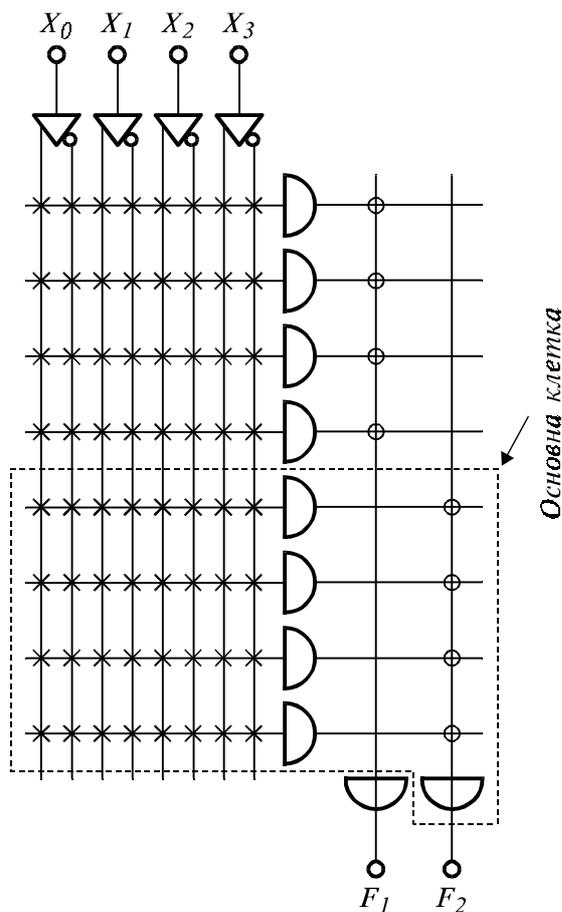
Такава примерна структура за четири входни величини и четири изходни функции е показана на фиг. 3.39. Тя се нарича програмируема логическа матрица PLA (Programmable Logic Array). Както се вижда, броят на минтермите е ограничен в примера до 8, вместо максималните 16. Полето на логическата И матрица обаче също е програмируемо, благодарение на което потребителят може да формира онези минтерми, които са му необходими. В примера, той може да ползува 8 от всички 16 възможни минтерми. Тъй като понятието PLA се използва и в по-широкия смисъл, за именуване на програмируема логика, примерната структура от фиг.

3.39 се нарича още логическа матрица с програмируемо поле FPLA (Field-Programmable Logic Array)

PLA концепцията позволява лесно да се изградят програмируеми структури с много входни величини. Тя не може да генерира абсолютно всички функции на входните величини, но с успех задоволява повечето от съществуващите в практиката потребности. В действителност, при нея само е ограничен броят на логическите суми в общото уравнение на произволна логическа функция.

3.6.3. Програмируема матрична логика — PAL

Недостатък на PLA е наличието на две програмируеми от потребителя полета — това на матрицата И и това на матрицата ИЛИ, което представлява определено проектантско и технологично неудобство. Това неудобство е отстранено при програмируемата матрична логика PAL (Programmable Array Logic). При нея, броят на възможните минтерми също е ограничен на по-малък от 2^n .



Фиг. 3.40. Структурна схема на PAL.

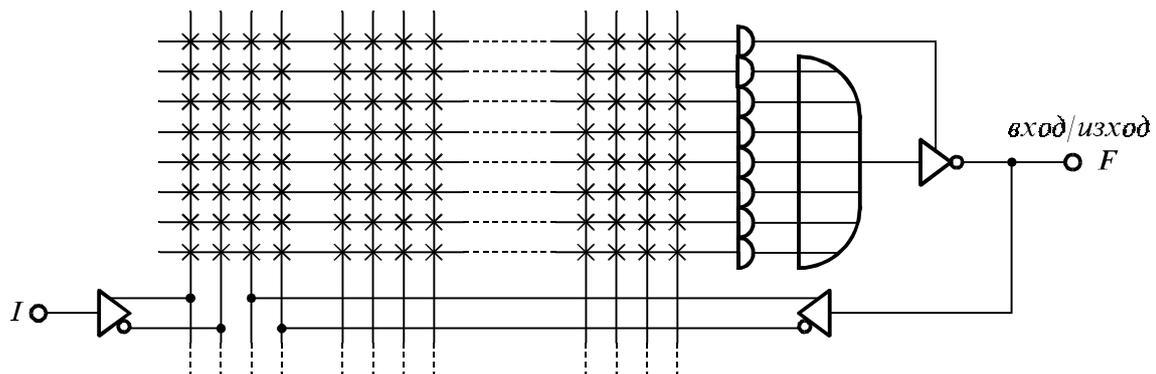
Ограничението обаче е извършено чрез фиксиране на определен брой връзки в полето на логическата матрица ИЛИ, извършено от производителя. Полето на матрицата И е оставено за програмиране от потребителя, който и тук може да избира кои минтерми да формира.

Примерна схема на PAL с четири входни величини и две изходни функции е показана на фиг. 3.40. Броят на минтермите за всяка от двете функции е ограничен на 4, което означава, че реализирането на функция трябва да се ограничи до логическото събиране само на 4 минтерми от всичките 16 възможни минтерми.

Частта от програмируемата И матрица и фиксираната ИЛИ матрица, необходими за реализирането на една функция, се нарича основна клетка на PAL. При практическото интегрално изпълне-

ние на PAL, се използват различни по състав основни клетки, който притежават и някои допълнения, спрямо класическата теоретична постановка. Като пример, на фиг. 3.41 е показана основната клетка на комбинационния PAL 16L8.

Допълнително, тя притежава изходен буфер с три състояния, чието управление също може да се програмира от полето на матрицата И. Изходът на основната клетка е върнат през буфер и може да участва като входна величина при програмирането на всички основни клетки. Така могат да се реализират различни обратни връзки, включително и към други основни клетки за синтезиране на доста сложни схеми. Ако изходният буфер на основната клетка се програмира да бъде постоянно забранен, то благодарение на обратния буфер, съответният извод може да се използва само като допълнителен вход. PAL 16L8 съдържа 8 такива клетки, в две от които обаче липсва споменатата обратна връзка.



Фиг. 3.41. Основна клетка на PAL 16L8.

От всичко 18 функционални извода, 10 са само входове, 2 — само изходи, а 6 могат да се използват като входове и като изходи, т.е. схемата има максимално 16 входа и максимално 8 изхода, което както се вижда е отразено и в означението ѝ.

4. ПОСЛЕДОВАТЕЛНОСТНИ ЛОГИЧЕСКИ СХЕМИ

Последователностните логически схеми притежават свойството да запомнят въздействието на входящите сигнали. Затова те се наричат още "устройства с памет". За разлика от комбинационните логически схеми, изходните състояния при последователностните схеми зависят не само от входните променливи, но и от текущото състояние на запомнящите елементи на схемите.

4.1. Тригери

Тригерите са основните запомнящи клетки в последователностните логически схеми. Те са схеми, които могат неограничено дълго време да се намират в едно от двете устойчиви състояния и преминават със скок от едното състояние в другото. Обикновено, изходът на един тригер се означава с Q и състоянието му се отъждествява с това на тригера. Освен основния ("прав") изход, един тригер може да притежава и втори изход — \bar{Q} ("инверсен"), чието състояние е обратно (в логически смисъл) на състоянието на основния.

4.1.1. Видове тригери и параметри

В зависимост от начина на въздействие на входните сигнали, тригерите се делят на два основни типа: асинхронни и синхронни (тактово управляеми) тригери.

При асинхронните тригери (latch), информационните сигнали въздействуват върху състоянието на тригера непосредствено в момента на своето появяване.

Синхронните тригери притежават допълнителен синхронизиращ (тактов) вход, обозначаван със C (Clock), чийто сигнал ги установява в съответствие с входните въздействия и със състоянието на тригерите до този момент. В зависимост от начина, по който сигналът на синхронизиращия вход на тригера извършва управлението, синхронните тригери се делят на три вида:

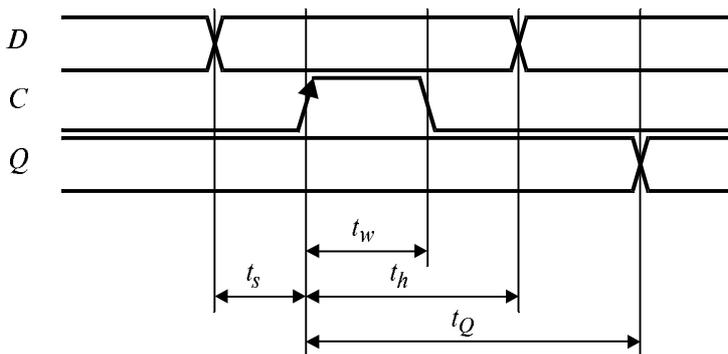
— синхронни тригери с управление по нивото на синхронизиращия сигнал. Състоянието на тези тригери може да се променя през цялото време, когато логическото ниво на синхронизиращия вход е активно. Тригери от този тип се наричат статични синхронни тригери. На практика, синхронизиращият вход играе ролята на разрешение на тригера и затова по-често той се означава с E (Enable), вместо със C .

Тези тригери се наричат още разрешавани тригери (gated latch);

— синхронни тригери с управление по фронта на синхронизиращия сигнал. Тези тригери превключват само по време на активния преход на синхронизиращия сигнал. Тригери от този тип се наричат динамични синхронни тригери (dynamic flip-flop) или тригери с динамичен вход.

— синхронни тригери "управляващ-управляван" — *M-S* (Master-Slave flip-flop). Това са двустъпални тригери, при които първото стъпало приема входните въздействие при активно ниво на синхронизиращия сигнал, като второто е забранено, а при преминаване на синхронизиращия сигнал в неактивно ниво информацията от първото стъпало се прехвърля във второто;

— синхронни тригери със заключен вход (data lock-out flip-flop). Това са двустъпални тригери, подобни на *M-S*, но първото стъпало е тригер с динамичен вход.



Фиг. 4.1. Основни времеви параметри при тригерите.

От особено значение, при работата с тригерите, е да се познават техните времеви параметри. Основните от тях са специфицирани спрямо времедиаграмите на фиг. 4.1. и имат следното значение:

t_s — време на предхождане (set up time). Това е времето, предшестващо тактовия импулс, през което сигналите на информационните входове трябва да са установени;

t_h — време на задържане (hold time). Това е времето, след активния фронт на тактовия сигнал, през което сигналите на информационните входове трябва да останат неизменни;

t_Q — време на превключване (propagation delay time). Това е времето от постъпването на активния фронт на тактовия импулс до получаването на новия изходен сигнал;

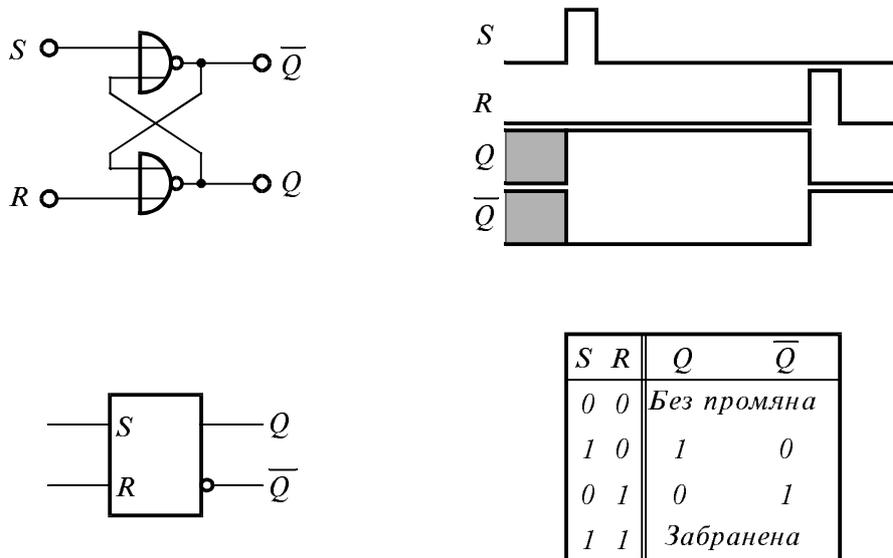
t_w — минимална продължителност на тактов импулс (pulse width).

Други параметри за тригерите са: максимална честота на превключване (f_{max}), при която тригера може правилно да превключва; консумация на енергия;

мирана мощност (P_{CC}) и др.

4.1.2. SR-тригери

Тези тригери са основната тригерна клетка, която се използва във всички по-сложни тригери.



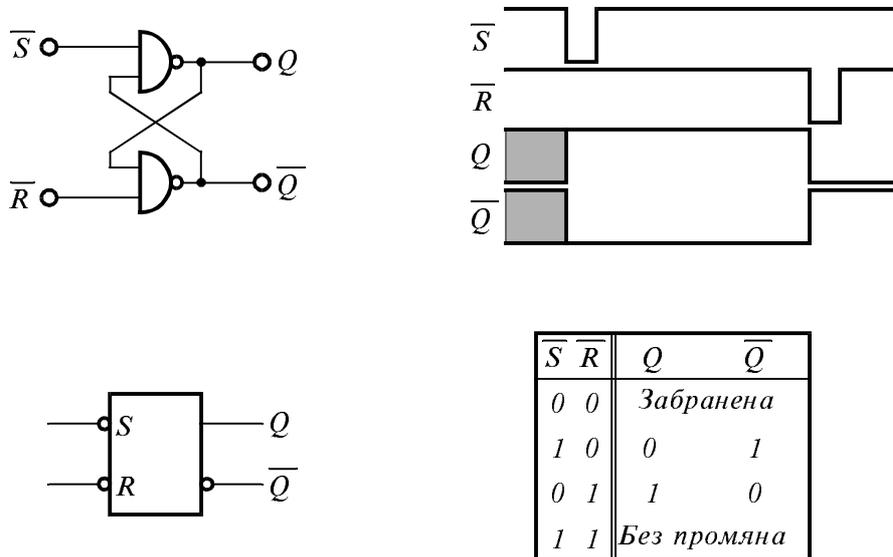
Фиг. 4.2. SR-тригер с логически елементи ИЛИ-НЕ.

На фиг. 4.2 е показана схема на асинхронен SR-тригер, изграден с два логически елемента ИЛИ-НЕ с обратни връзки. Той притежава два, взаимно инверсни изхода Q и \bar{Q} , вход за установяване в 1 — S (Set) и вход за нулиране — R (Reset). Ако $R = S = 0$ тригерът запазва състоянието си, в което се е намирал преди това, т.е. той действа като клетка памет. Ако $S = 1$ и $R = 0$, Q се установява в 1, а \bar{Q} — в 0. При $R = 1$ и $S = 0$ тригерът се нулира, т.е. $Q = 0$ и $\bar{Q} = 1$.

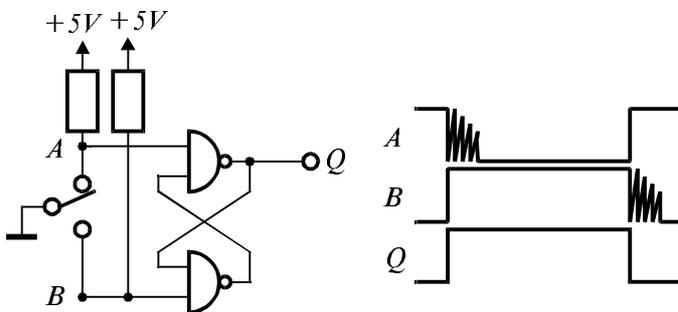
Интересна ситуация се получава, когато и двата входа се активират т.е. $R = S = 1$. Тогава двата изхода престават да бъдат взаимноинверсни и се установяват в 0 и състоянието на тригера ще бъде неопределимо, когато входните въздействия едновременно отпаднат. Затова комбинацията $R = S = 1$ се нарича "забранена". Понятието е само условно — тази комбинация води само до нетипично за тригера състояние ($Q = \bar{Q}$) без да причинява някаква повреда и в някои случаи може да се използва. Всички възможни състояния на SR-тригера са показани в таблицата му на превключване.

На фиг. 4.3 е показан същият тригер, изпълнен с елементи И-НЕ. Действието му е аналогично на тригера от фиг. 4.2, с тази разлика, че активните нива на входните сигнали са 0, т.е. тригера се установява в

1 при $\bar{S} = 0$, а се нулира при $\bar{R} = 0$. Затова, в означението на входовете съществува знак за инверсия. Тук забранената комбинация е $\bar{R} = \bar{S} = 0$.



Фиг. 4.3. SR -тригер с логически елементи И-НЕ.

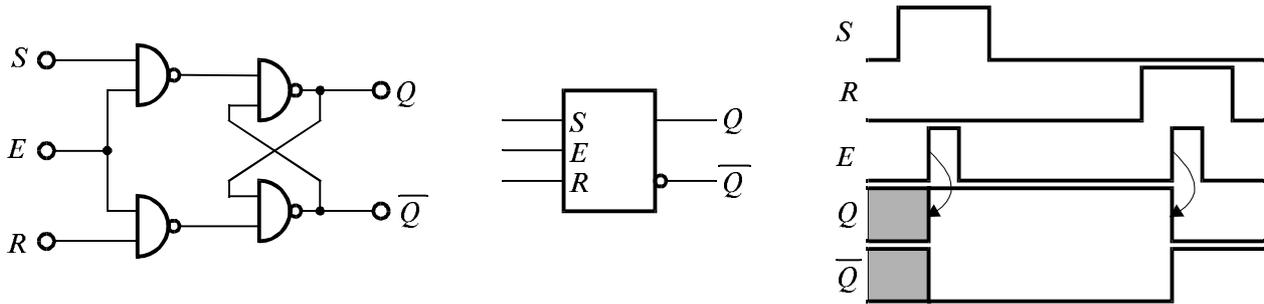


Фиг. 4.4. Отстраняване на смущения от вибрации на механичен контакт.

Едно типично приложение на асинхронния SR -тригер е формирането на логически сигнал от механичен ключ и отстраняването на смущенията, предизвикани от вибрациите на контакта (фиг. 4.4). При първото съприкосновение на механичния контакт, тригерът променя своето състояние и повече няма да реагира на следващите импулси, тъй като превключващият контакт не може да извърши трептение до противоположната позиция. Поради това, в изходния сигнал ще отсъствуват смущения, както е показано на времедиagramата.

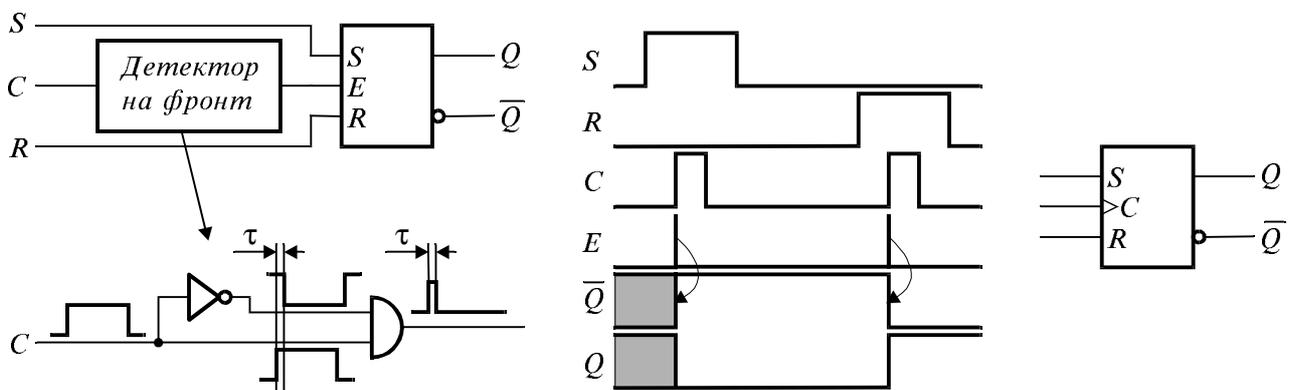
Разрешаван SR -тригер се получава от асинхронен тригер като се включат във входовете му още два логически елемента, както е показано на фиг. 4.5. Тригерът притежава допълнителен разрешаващ вход E . При $E = 1$ входните логически елементи пропускат въздействието

R и S към основния SR -тригер и като цяло структурата работи като асинхронна. При $E = 0$ входните логически елементи са забранени и изходите им формират пасивно състояние за основния тригер, който запазва старото си състояние. Особеност на този вид тригер е, че при $E = 1$ всяко изменение на входните логически нива се предава на изходите, т.е. тригерът е "прозрачен" за входните въздействия, което е дало името на схемата — "прозрачен фиксатор".



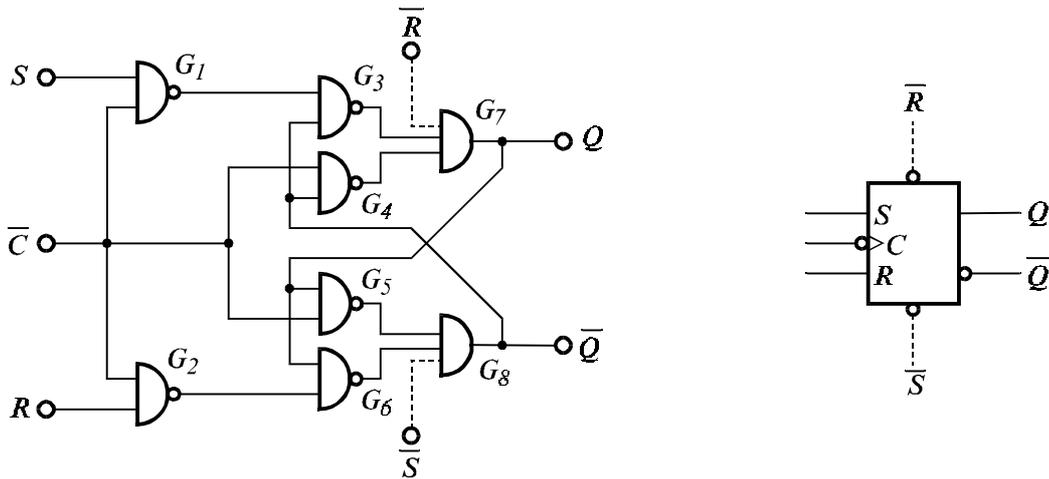
Фиг. 4.5. Разрешаван SR -тригер.

Представа за организацията на синхронен SR -тригер, управляван по фронт на синхронизиращия сигнал, може да се получи от фиг. 4.6. Във входа E на разрешаван SR -тригер е поставен детектор на фронт. Детекторът формира кратък импулс по нарастващ фронт на синхронизиращия сигнал C . Примерен детектор на нарастващ фронт се състои от двуходов вентил И, в единия вход на който постъпва импулса C , а в другия вход — същия импулс, но закъснен с време τ и инвертиран. Продължителността на краткотрайния импулс е приблизително равна на закъснението в инвертора. Целта е разрешавания SR -тригер да получи разрешение за много кратко време, само при нарастващия фронт на синхронизиращия сигнал C . Така формирания тригер с динамичен вход ще бъде нечувствителен към входните сигнали при статични нива 0 и 1 на входа C .



Фиг. 4.6. Опростен SR -тригер, управляван по фронт на синхронизиращия импулс.

В практическите изпълнения, детекторът на фронта се изгражда значително по-сложно, като се използват вътрешните закъснения на елементите от допълнителни тригерни структури. На фиг. 4.7 е показан реален синхронен динамичен SR -тригер, тактуван по спадания фронт на тактовия сигнал \bar{C} .



Фиг. 4.7. Синхронен динамичен SR -тригер.

Входните въздействия S и R преминават през логически врати G_1 и G_2 , разрешавани при логическа 1 на тактовия вход. Същинската част на SR -тригера е изградена по-сложно от елементите G_3 , G_4 , G_5 , G_6 , G_7 и G_8 . Ако тригерът е в състояние 0 , разрешени са логическите елементи G_3 и G_4 ($\bar{Q} = 1$). Тогава тригерът е чувствителен само към въздействия по S входа. При логическа 1 на тактовия вход, въздействието по S входа ($S = 1$) преминава през елементите G_1 и G_3 , но не може да установи тригера в 1 , тъй като той се задържа от логическата 0 на изхода на G_4 . В момента, в който тактовият сигнал премине в 0 , G_4 преминава в 1 и постъпилото въздействие установява тригера в 1 . Едновременно с това се забранява логическата врата G_1 и със закъснението на елементите G_1 и G_3 входното въздействие отпада.

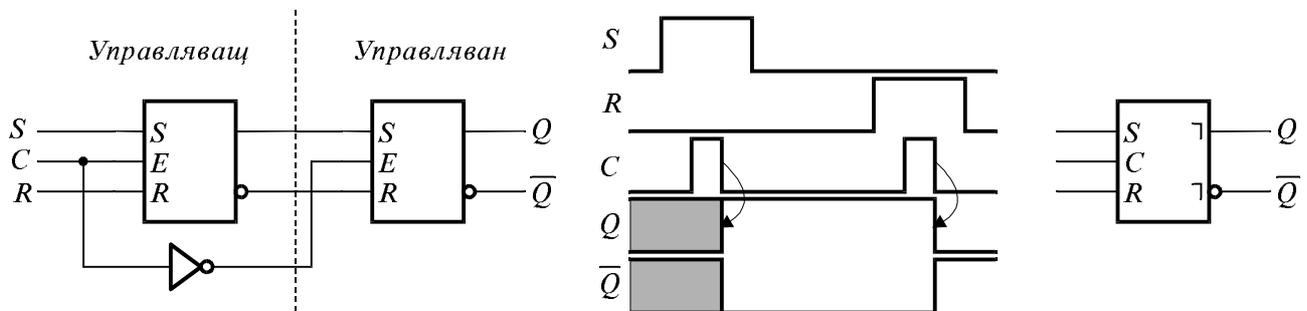
Ако тригерът е в състояние 1 , разрешени са логическите елементи G_5 и G_6 . Тогава тригерът е чувствителен само към въздействия по R входа. Ако такова въздействие е налице по време на спадания фронт на тактовия сигнал, процесът на превключване на тригера се развива по аналогичен на описания по-горе начин, като сега времето за отпадане на въздействието се определя от закъснението в елементите G_2 и G_6 . Логическа 0 на тактовия вход забранява входните въздействия.

Синхронизиран по фронт тригер е нечувствителен при статично

състояние на синхронизиращия сигнал, като е достъпен за входните въздействия само при активния му преход.

Синхронен SR -тригер управляващ-управяван се получава от два последователни свързани разрешавани SR -тригери, като разрешаващият сигнал за втория (управлявания) е инверсен на този за първия (управляващия), както е показано на фиг. 4.8. Така двата тригера са алтернативно разрешавани. Управляващият тригер възприема входните въздействия през цялото време, докато $C = 1$.

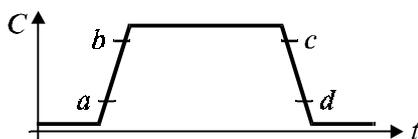
Когато C премине в 0 , управляващият тригер престава да приема входното въздействие, но управляваният се разрешава и приема информацията от изхода на управляващия. В изхода на $M-S$ тригера се появява състоянието, съответстващо на входното въздействие непосредствено преди спадащия фронт на C .



Фиг. 4.8. Синхронен SR -тригер от типа $M-S$.

Работата на тази схема изисква определена последователност (вж. фиг. 4.9). Когато напрежението на синхронизиращия импулс C превиши стойността a , управляваният тригер се изключва. След нарастване на напрежението над стойността b , в управляващия тригер се записва входната информация. Безупречна работа на схемата се достига само при тази последователност на събитията, т.е. управляваният тригер трябва да се забрани преди да се разреши управляващият. В противен случай, входната информация ще постъпи направо на изхода.

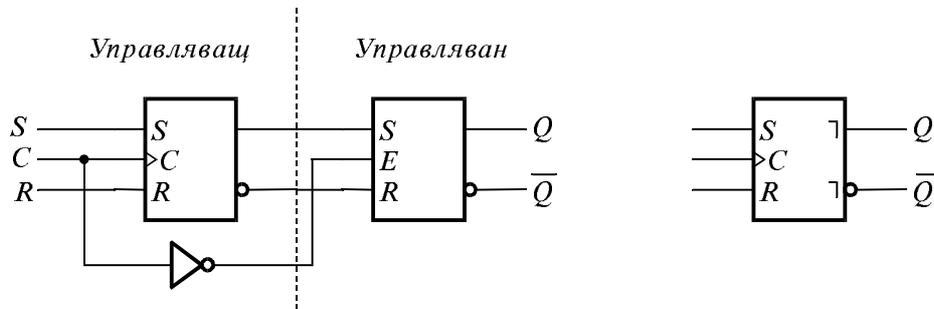
При обратния преход на синхронизиращия сигнал, първо трябва да се забрани управляващият тригер, а след това да се разреши управляваният.



Фиг. 4.9. Синхронизиращ импулс за $M-S$ тригер.

Никога не трябва да се допуска ситуацията, макар и за много кратко време, двата тригера да бъдат едновременно разрешени. При достигане на напрежение c се забранява управляващият тригер, а при напрежение d се разре-

шава управляваният, който приема и запомня информацията. Това разминаване на превключването по стойности може да се осъществи, ако прагът на превключване на инвертора за синхронизиращия сигнал е по-нисък от праговете на превключване на входните логически елементи в управляващия тригер.

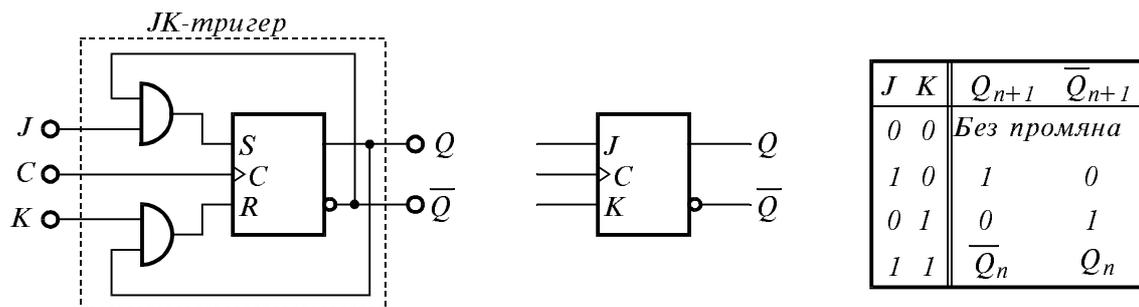


Фиг. 4.10. Двустъпален SR -тригер със заключен вход.

Структура на синхронен SR -тригер със заключен вход е показана на фиг. 4.10. Първият тригер от структурата е с динамичен вход. Тези тригери “заключват” входната информацията към изхода и в замяна на това, че имат най-сложна структура са най-шумоустойчиви.

4.1.3. JK -тригери

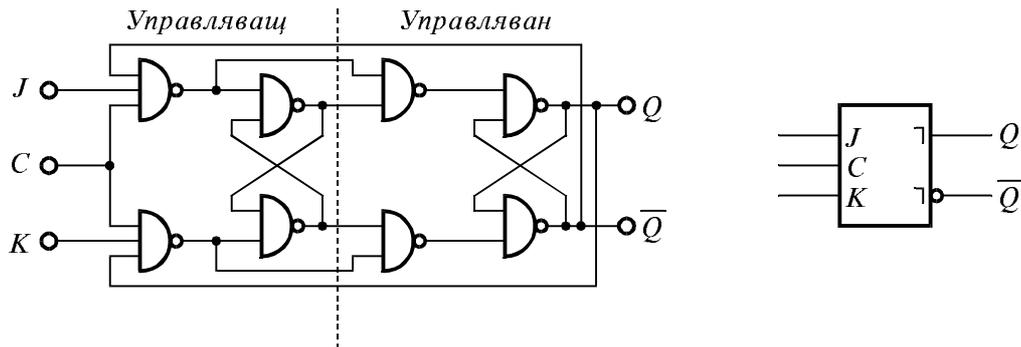
JK -тригерът притежава два входа за въздействие — J — установяващ и K — нулиращ и един синхронизиращ вход. Действието му е подобно на това на SR -тригера с тази разлика, че неопределеността в състоянието, при едновременно активиране и на двата информационни входа, е премахната. От таблицата на истинност се вижда, че с изключение на едновременното активиране на J и K входовете, действието на JK -тригера е еквивалентно на това на SR -тригера, като J е еквивалентен на S , а K — еквивалентен на R . При $J = K = 1$ обаче, всеки тактов импулс сменя състоянието на тригера в противоположно, т.е. тригерът се “преобръща” при всеки тактов импулс.



Фиг. 4.11. JK -тригер. Синтез на JK -тригер от SR -тригер.

JK -тригер може да се получи от SR -тригер, както е показано на фиг. 4.11. В S и R входовете са въведени логически елементи И, през които минават сигналите J и K , под управлението на обратни връзки от изходите Q и \bar{Q} на тригера.

JK -тригерът може да бъде само синхронен тригер. Поради наличието на обратни връзки от изходите към входовете, JK -тригерът не може да се изгради от разрешаван тригер.



Фиг. 4.12. JK -тригер от типа “управляващ-управляван” ($M-S$).

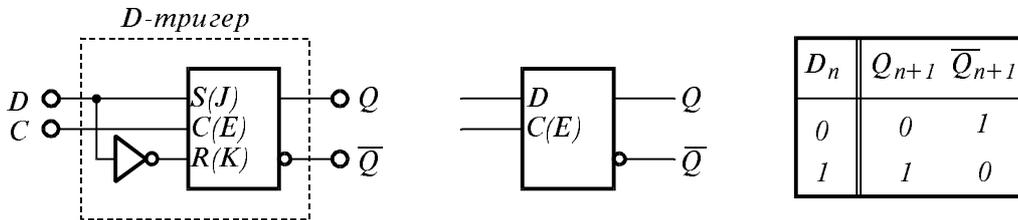
На фиг. 4.12 е показана практическа схема на двустъпален JK -тригер от типа $M-S$. Той е произлязъл от двустъпалния SR -тригер, показан на фиг. 4.8, като е извършено опростяване с цел намаляване броя на елементите. За обединяване на входовете J и K с обратните връзки от изходите на тригера, са използвани входните логически елементи на управляващия тригер. Същите тези логически елементи играят роля и на инвертори за синхронизиращия сигнал за управляемия тригер. При това е приложено разделно управление на разрешаващите логически елементи за управляемия тригер, което е възможно само в този случай и спестява допълнителния инвертор на синхронизиращия сигнал. По подобна логическа схема са изградени JK -тригерите в интегралната схема '73.

4.1.4. D -тригери

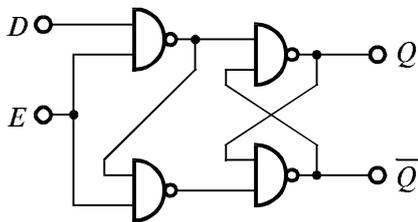
Тези тригери притежават един информационен вход, означаван с D (Delay — закъснение). Логическото ниво, подадено на този вход се установява на изхода след постъпването на тактов импулс. Това е отразено в таблицата на истинност. Както се вижда, D -тригерът представлява елементарна клетка памет. Информацията от входа D се получава на изхода Q със закъснение от един такт, затова той се нарича още закъснителен тригер.

D -тригерът се получава от SR - или JK -тригер, като входът S (J) се свърже с входа R (K) през инвертор, както е показано на фиг. 4.13. D -

тригерите могат да се изградят от всички типове синхронни тригери. При изграждането им се въвеждат някои изменения, спрямо общата схема от фиг. 4.13, целящи опростяване на структурата.



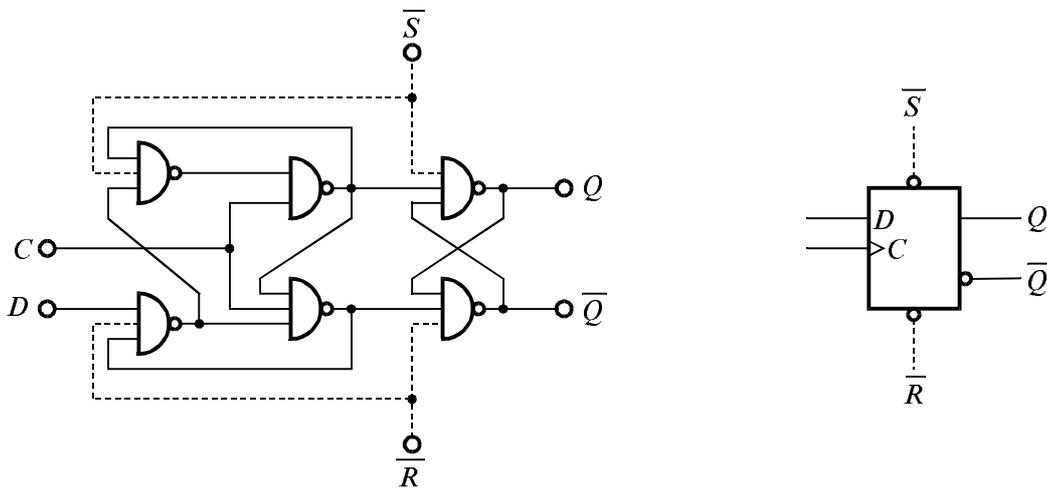
Фиг. 4.13. *D*-тригер. Синтез на *D*-тригер от *SR*- или *JK*-тригер.



Фиг. 4.14. Разрешаван *D*-тригер.

Например, на фиг. 4.14 е показан разрешаван *D*-тригер. Въпреки направеното минимизиране в него, не е трудно да се познае използваният като първоизточник *SR*-тригер от фиг. 4.5. Тази тригерна клетка стои в основата на голяма част от паралелните регистри, като например интегралната схема '373.

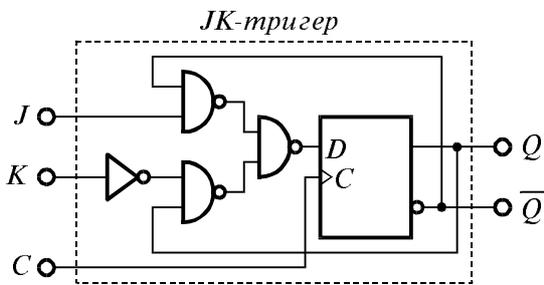
ралната схема '373.



Фиг. 4.15. Динамичен *D*-тригер.

Аналогично, на фиг. 4.15 е дадена схема на динамичен *D*-тригер, в изграждането на който е заложен *SR*-тригера от фиг. 4.7. Тази структура е залегнала в интегралната схема '74. С прекъснатата линия са показани допълнителните асинхронни входове за нулиране \bar{R} и установяване \bar{S} на тригера. За разлика от фиг. 4.7, тези входове са свързани,

освен към последната тригерна структура, и към предходните структури. С това се цели асинхронното въздействие да се запомни и след отминаването му, независимо от състоянието на синхронните входове и от статичното състояние на синхронизиращия вход.



Фиг. 4.16. Синтез на *JK*-тригер от *D*-тригер.

Таблица 4.1.

Таблица за преобразуване от *D*-тригер в *JK*-тригер.

| <i>J</i> | <i>K</i> | <i>Q</i> | <i>D</i> |
|----------|----------|----------|----------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

D-тригерите са много често използвани градивни елементи в по-сложните последователностни логически схеми, като броячи, преместващи регистри и др. Те са един вид "универсални" тригери, тъй като от тях лесно се получава всеки един друг тригер. Например, на фиг. 4.16 е показано получаването на *JK*-тригер от *D*-тригер. От входните въздействия *J* и *K* и състоянието на тригера *Q*, в табл. 4.1 е представено необходимото състояние на входа *D*, за да се формира въздействие в тригера, осигуряващо действие на структурата еквивалентно на *JK*-тригер.

От таблицата на истинност може да се състави логическото уравнение за *D*.

$$D = \overline{J}KQ + J\overline{K}Q + J\overline{K}\overline{Q} + JK\overline{Q}.$$

Групирайки първият с третия

член и втория с четвъртия се получава:

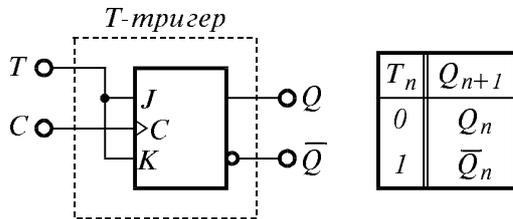
$$D = \overline{K}Q(\overline{J} + J) + J\overline{Q}(\overline{K} + K) = \overline{\overline{K}Q} + \overline{J\overline{Q}} = \overline{(\overline{K}Q)} \cdot \overline{(J\overline{Q})}.$$

4.1.5. *T*-тригери

T-тригерът е синхронен тригер, който притежава само един информационен вход за въздействие — *T* (Toggle — превключвам). Когато на него е подаден сигнал 0, синхронизиращият сигнал не променя състоянието на тригера. При *T* = 1, всеки синхронизиращ импулс "преобръща" *T*-тригера в противоположно състояние.

Входът *T* може да се разглежда и като вход, разрешаващ превключването на *T*-тригера при постъпване на синхронизиращ импулс. Въпреки много широкото приложение на този тригер, той не се произвежда като отделен тип интегрална схема, тъй като се получава лесно от

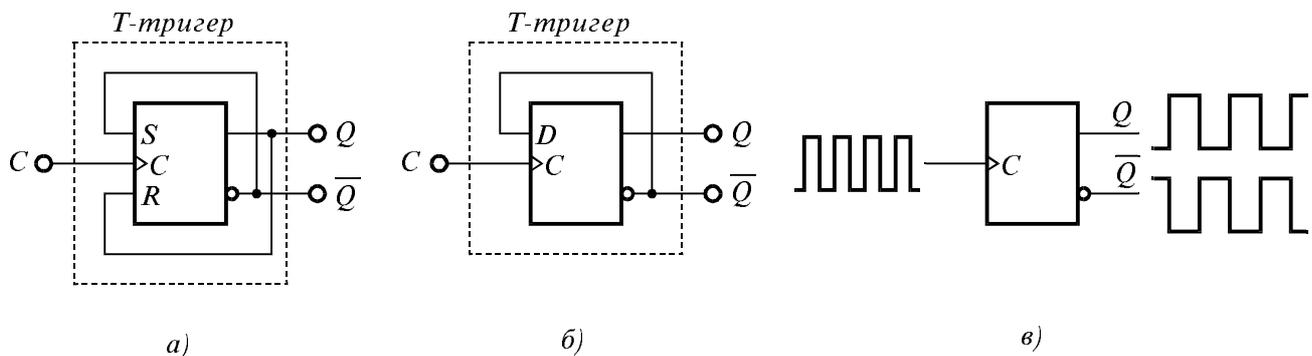
другите видове тригери. T -тригерът се получава най-лесно от JK -тригер, както е показано на фиг. 4.17. J и K входовете се свързват накъсо и те формират входа T на T -тригера.



Фиг. 4.17. T -тригер. Синтез на T -тригер от JK -тригер.

В практиката, много често се използват T -тригери, на които входът T не е обособен като извод. Такива тригери превключват при всеки синхронизиращ импулс, все едно, че има подадена постоянна логическа 1 на входа T . Такива "съкратени" T -тригери се получават лесно от синхронни SR -тригери, както е показано на фиг. 4.18.а, или от D -тригери, както е показано на фиг. 4.18.б.

Фиг. 4.18.а, или от D -тригери, както е показано на фиг. 4.18.б.



Фиг. 4.18. Синтез на "съкратен" T -тригер.

Поради съществуващите обратни връзки между изходите и входовете в елементарните тригерите, образуващи T -тригера, последният може да бъде само с управление по фронт на синхронизиращия импулс или от типа "управляващ-управляван". Превключвайки в противоположно състояние при всеки входящ импулс, T -тригерът представлява делител на 2, т.е. получената честота на изхода му е два пъти по-ниска от тактуващата го (фиг.4.18.в). Същевременно, той е и най-простият едноразреден брояч.

4.2. Броячи

Броячът (counter) представлява последователностна логическа схема с много устойчиви състояния, всяко от които съответства еднозначно на броя на постъпилите импулси. Той се състои от тригерни клетки, всяка от които съхранява по един разред на числото, съответства-

що на изброените импулси.

4.2.1. Класификация и параметри на броячите

Броячите се класифицират по следните няколко признака:

1. Според използваната система на броене:

а) Двоични броячи. Регистрират импулсите в двоична бройна система;

б) Десетични броячи. Регистрират импулсите в десетична бройна система, използвайки двоично-десетичния принцип;

в) Броячи с произволен коефициент на броене. Това са броячи, които използват друга система на броене;

г) Специални броячи. В тази група влизат броячи, използващи специален код на броене.

2. Според начина на броене на импулсите:

а) Сумиращи броячи. Всеки входен импулс увеличава с 1 регистрираното в брояча число;

б) Изваждащи броячи. Всеки входящ импулс намалява с 1 регистрираното в брояча число;

в) Реверсивни броячи. Те имат възможност да работят и като сумиращи и като изваждащи. Две са основните разновидности на реверсивните броячи. Едните притежават един тактов вход и вход за управление на работата им или като сумиращи или като изваждащи. Другите притежават два тактови входа и работят като сумиращи спрямо единия и като изваждащи спрямо другия тактов вход.

3. Според начина на въздействие на входните импулси:

а) Асинхронни броячи. При асинхронните броячи, отделните тригери в структурата на брояча се превключват неедновременно, като всеки следващ тригер изчаква превключването (установяването) на всички предходни по-младши тригери;

б) Синхронни броячи. Тригерите в синхронните броячи се установяват едновременно спрямо постъпващите импулси;

в) Смесени броячи (броячи с комбинирано действие). В тяхната структура една част от тригерите се превключват асинхронно, а друга част — синхронно.

Основните параметри на броячите са:

1. Модул на броене — N . Той е равен на броя на състоянията, които може да заеме един брояч. При наличието на n тригерни клетки, броят на състоянията е максимално 2^n . Само двоичните броячи имат този максимален брой на състоянията. Модулът на броене определя капацитета на брояча, т.е. максималното число импулси, което може да регистрира даден брояч. Капацитетът на двоичните броячи е $2^n - 1$.

След регистрирането на максималния брой импулси, броячът се връща в изходното си състояние.

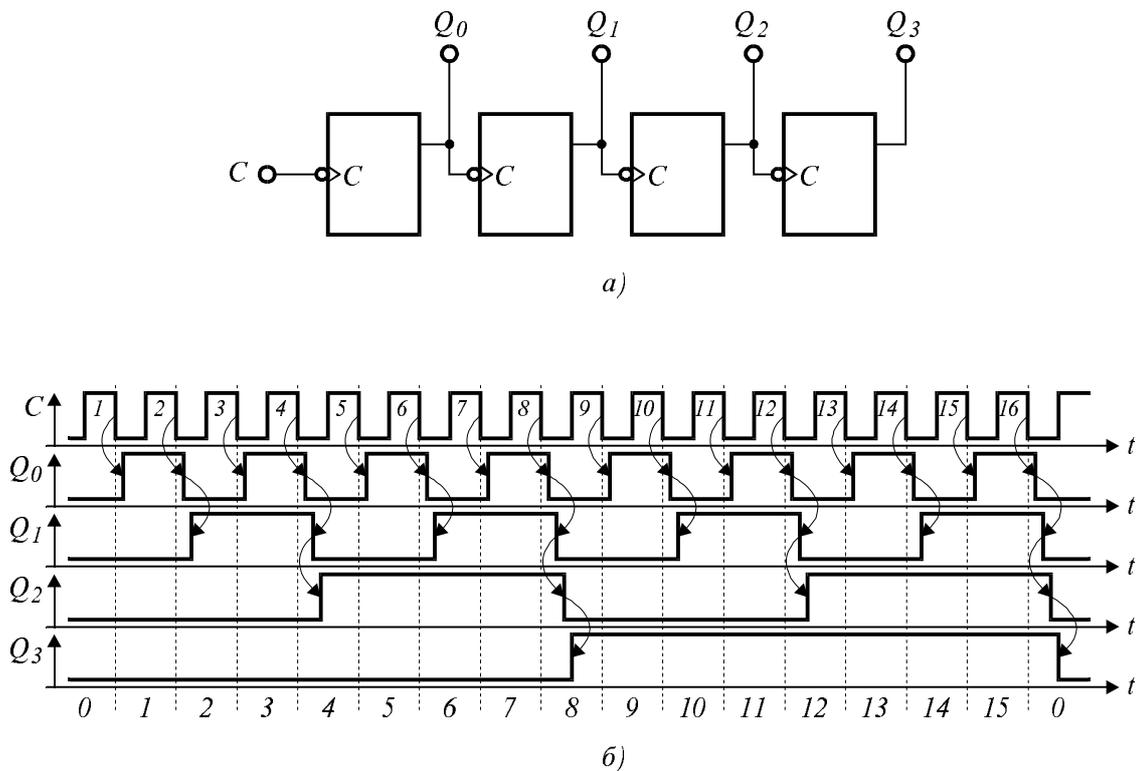
2. Минимална продължителност на тактовия импулс — t_{Wmin} . Тя гарантира регистрирането му от брояча.

3. Максимална честота на брояча — f_{max} . Това е най-високата честота на импулсите, при която те могат да бъдат регистрирани.

4. Време на регистрация — t_Q . Това е максималното време от постъпването на водещия (активен) фронт на тактовия импулс до момента, в който изходите на брояча се установят в новото състояние.

4.2.2. Асинхронни броячи

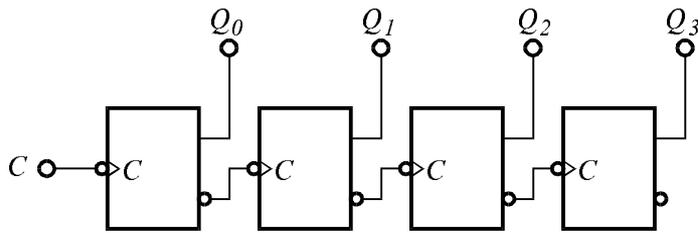
Най-простият брояч е асинхронният брояч (ripple counter) с непосредствена връзка. Той се реализира чрез последователно свързване на T -тригери, като тактовият вход на всеки тригер се свързва с изхода на предходния, както е показано на фиг. 4.19.а. Тактовият вход на най-младшия тригер е броячен вход на брояча.



Фиг. 4.19. Четириразреден асинхронен брояч с непосредствена връзка.

На показаната фигура, тригерите превключват по спадащ фронт на сигнала в тактовия им вход. Най-младшият тригер превключва по спадащия фронт на всеки входящ импулс, по-старшият превключва

при наличието на спадащ фронт в сигнала на изхода на най-младшия и т.н. Всеки следващ тригер превключва при спадащ фронт на сигнала в изхода на предходния. Ако състоянието на изходите на тригерите се интерпретира като двоично число, то съответства на броя на постъпилите в брояча импулси (след нулевото състояние на брояча). Показаният брояч е сумиращ.



Фиг. 4.20. Четириразреден асинхронен изваждащ брояч с непосредствена връзка.

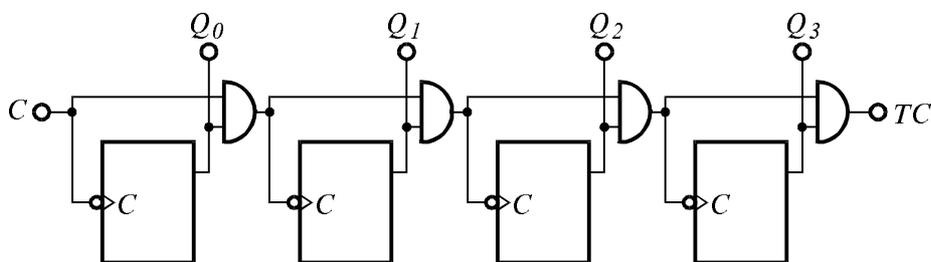
На фиг. 4.20 е реализирано последователно свързване на T -тригери, като тактовият вход на всеки тригер е свързан с инверсия на изхода на предходния. Тригерите превключват по спадащ фронт на сигнала в тактовия им вход. Показаната структура представлява двоичен брояч, работещ в режим на изваждане.

При асинхронните броячи с непосредствена връзка, смяната на активния фронт на превключване на тригерите довежда до промяна на типа на брояча. Така, ако в показаните структури се използват T -тригери, превключващи по нарастващ фронт на сигнала в тактовия им вход, за схемата от фиг. 4.19 се получава изваждащ брояч, а за тази от фиг. 4.20 — сумиращ.

Асинхронните броячи с непосредствена връзка са възможно най-простите, но притежават значително общо време на превключване:

$$t_{Qmax} = n \cdot t_Q,$$

където t_Q е времето за превключване на един тригер, а n — броят на тригерите в броячната структура.



Фиг. 4.21. Четириразреден асинхронен брояч с последователен пренос.

Значително по-малко общо време на превключване притежават асинхронните броячи с последователен пренос. Такава структура е показана на фиг. 4.21. Изходът на всеки тригер управлява електронна

врата (схема И), пропускаща броячните импулси към тактовия вход на всеки следващ тригер. Всеки входящ импулс преобръща най-младшия тригер. От неговия изход се управлява електронната врата, която пропуска през един входящите импулси към входа на следващия тригер. За третия тригер, входящите импулси преминават през две електронни врати, които се разрешават от изходите на двата предходни тригера. Той получава само всеки четвърти от входните импулси и т.н. Всеки тригер се преобръща два пъти по-рядко от предходния. Електронните врати са схеми за формиране на преноса. При асинхронните броячи с последователен пренос, максималното време за установяване се определя от сумата на времената на преминаване на тактовия сигнал през електронните врати (времената за формиране на преносите) и времето на превключване на един тригер:

$$t_{Qmax} = (n - 1)t_G + t_Q,$$

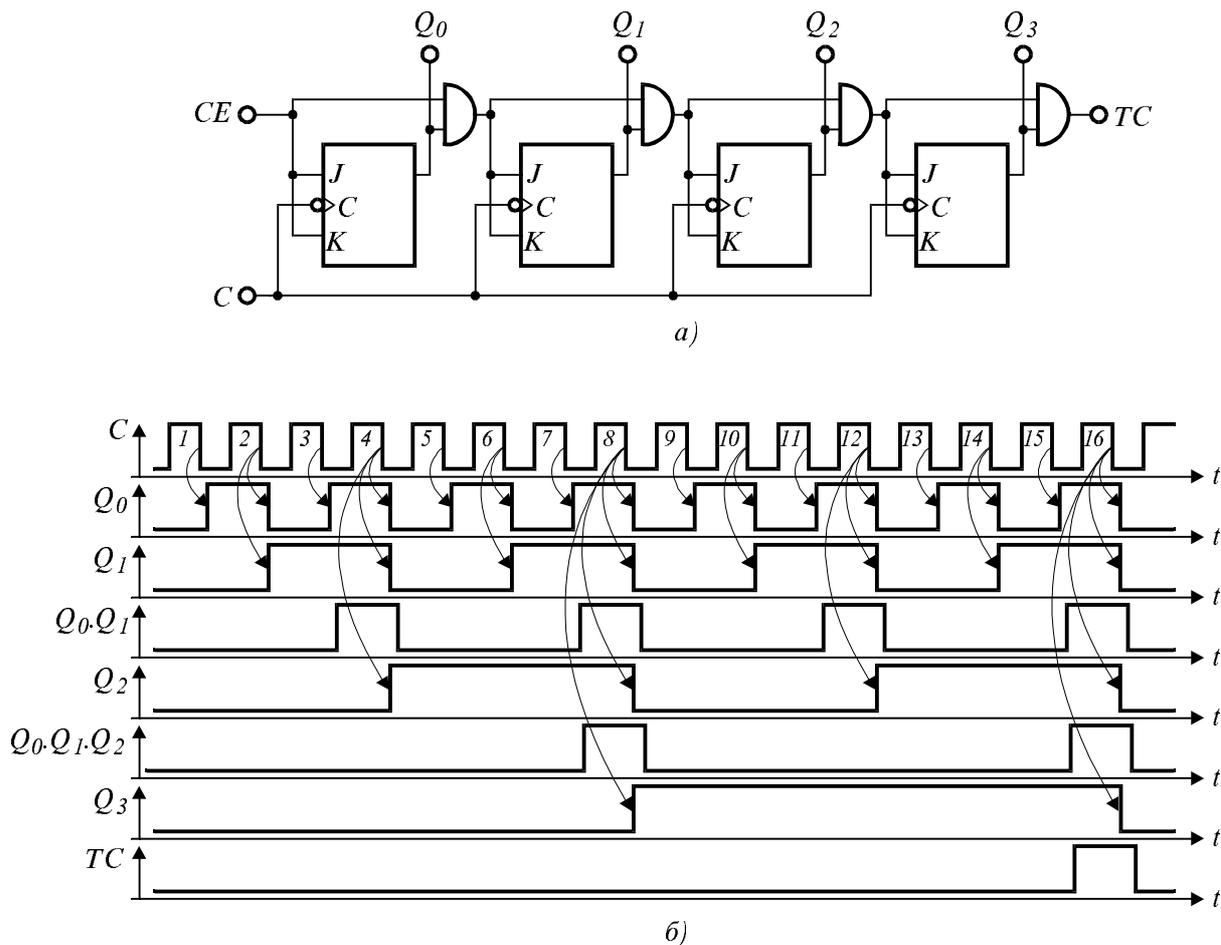
където t_G е закъснението на сигнала през една схема за формиране на преноса.

4.2.3 Синхронни броячи

Две са основните разновидности на синхронните броячи — синхронни броячи с последователен пренос и синхронни броячи с паралелен пренос (съществуват и синхронни броячи с комбиниран паралелен и последователен пренос).

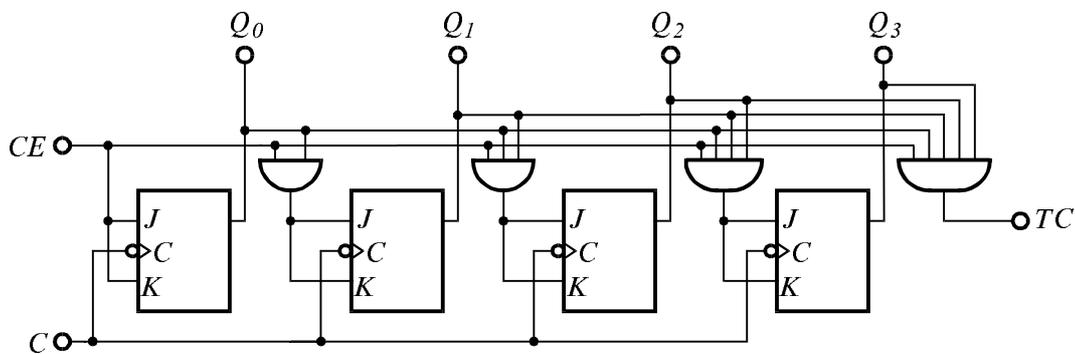
На фиг. 4.22 е показана структурата на сумиращ синхронен брояч с последователен пренос. Той е изграден от JK -тригери (свързани като T -тригери), като тактовите входове на тригерите са свързани заедно и на всички тях се подават входящите броячни импулси. J и K входовете на всеки тригер служат като разрешение за броене на тригера. Те се управляват от предходните тригери чрез схеми за формиране на преноса. Общо разрешение за броене се дава от сигнала CE (Count Enable). Той се подава непосредствено на J и K входовете на най-младшия тригер. Следващият тригер получава разрешение за броене от логическото произведение на разрешението за броене и сигнала в изхода на най-младшия тригер и т.н. Логическото произведение от сигнала в изхода на даден тригер и разрешението за неговото броене формира преноса за следващия тригер в структурата. Всеки тригер получава разрешение за работа само когато всички предходни тригери са в състояние на логическа 1.

Начинът на формиране на преноса в този тип броячи е подобен на този от фиг. 4.21, но тук тригерите се тактуват едновременно. Последният пренос от броячите, предназначен предимно за нарастване на броячите, е означен с TC (Terminal Count).



Фиг. 4.22. Четирибитов сумиращ синхронен брояч с последователен пренос.

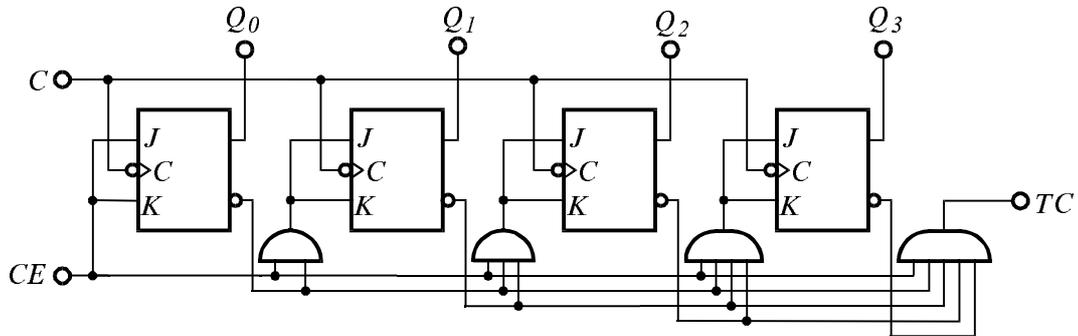
Веригата за последователното формиране на преноса забавя изготвянето на разрешението за броене на старшите тригери от структурата. Това не нарушава синхронността на брояча, но намалява максималната честота на броене, тъй като трябва да се изчака преносът да се разпространи до най-старшия тригер.



Фиг. 4.23. Четириразреден сумиращ синхронен брояч с паралелен пренос.

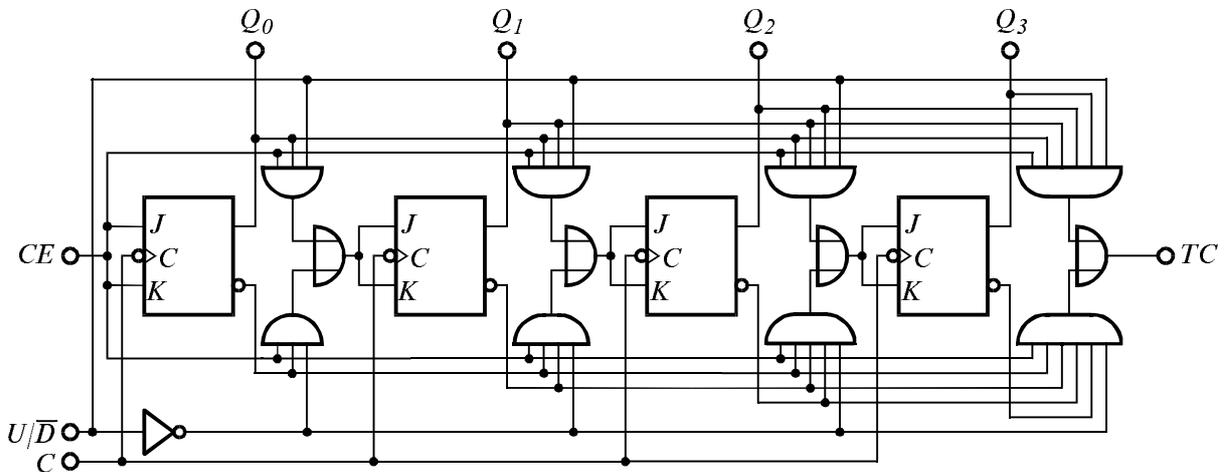
За преодоляване на този недостатък, се използват синхронни бро-

ячи с паралелен пренос (фиг. 4.23). При тях, логическото условие за формирането на преноса за всеки тригер е същото, както при синхронните броячи с последователен пренос, но преносът се формира всеки път чрез отделно умножение на сигналите от изходите на всички предходни тригери и сигнала за общото разрешение за броене.



Фиг. 4.24. Четириразреден изваждащ синхронен брояч с паралелен пренос.

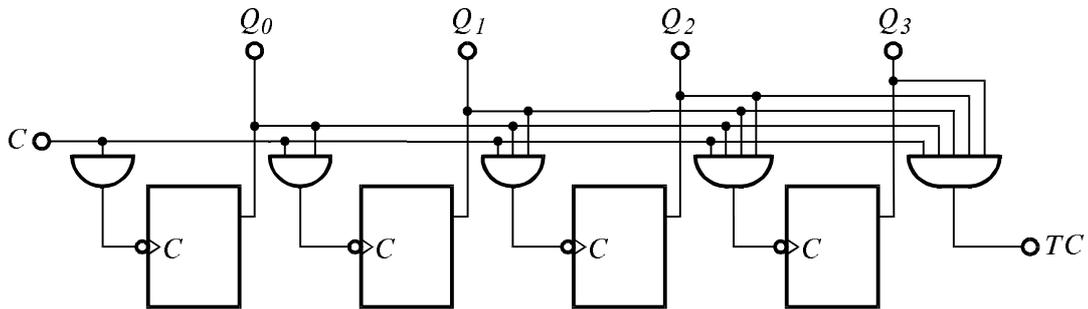
Ако сигналите за формиране на преноса при синхронните броячи се вземат от инверсните изходи на тригерите, се получават изваждащи броячи (фиг. 4.24).



Фиг. 4.25. Четириразреден синхронен реверсивен брояч с един тактов вход и управление на посоката на броене.

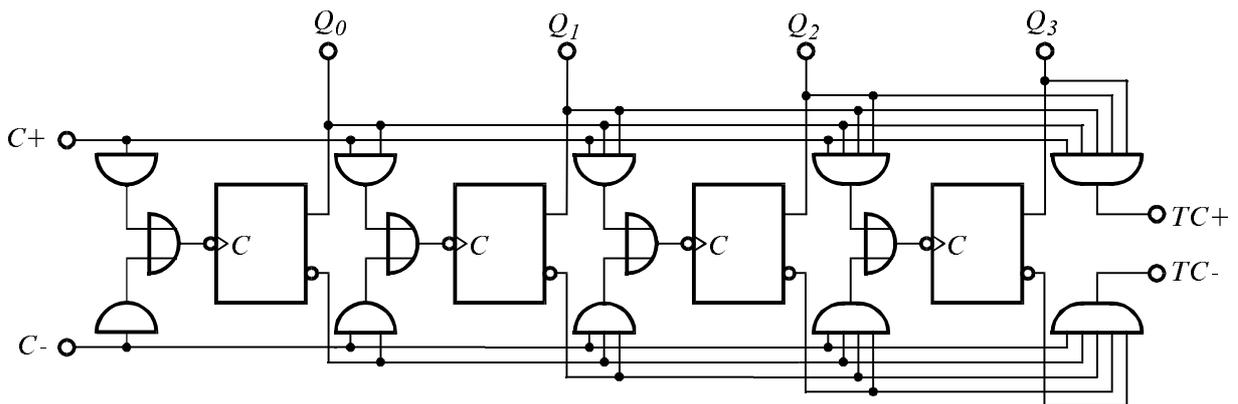
За реализирането на реверсивни броячи, е необходимо в структурата на брояча да присъстват едновременно и логиките за формиране на пренос при събиране и изваждане, и с мултиплексор да се пропуца един от преносите. На фиг. 4.25 е показана схема на реверсивен синхронен брояч с паралелен пренос. Броячът е с един тактов вход, като реверсирането се управлява от сигнал за сумиране или изваждане U / \bar{D} (Up/Down), който мултиплексира към тригерите или преноси-

те за сумиране, или преносите за изваждане.



Фиг. 4.26. Четириразреден синхронен брояч, изграден с T -тригери.

Синхронни броячи с паралелен пренос могат да се изградят и на базата на “съкратени” T -тригери, като входните импулси постъпват на тактовия вход на всеки тригер през логическа схема, управлявана от предходните тригери. На фиг. 4.26 е показан сумиращ синхронен брояч с паралелен пренос, изграден със “съкратени” T -тригери. Действието му е аналогично на това от схемата на фиг. 4.23, но превключването на всеки тригер се управлява чрез спиране или пропускане на входния импулс към тактовия му вход. Най-младшият тригер получава всички входни импулси. Неговият изход управлява пропускането на тактовите импулси към следващия тригер и т.н. Тактовите импулси се пропускат към даден тригер с разрешение от логическото произведение на сигналите в изходите на всички предходни тригери.



Фиг. 4.27. Четириразреден синхронен реверсивен брояч с два тактови входа, изграден с T -тригери.

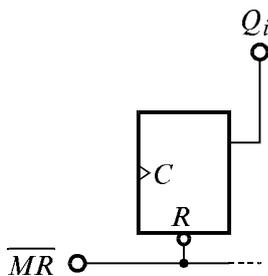
Подобно на схемата от фиг. 4.25, се изградят реверсивни синхронни броячи с използването на “съкратени” T -тригери. Такъв реверсивен синхронен брояч е показан на фиг. 4.27. Присъстват логиците за пропускане на тактовите импулси и за сумиране и за изваждане.

Броячът е с два тактови входа — $C+$ и $C-$, като импулсите на $C+$ се сумират, а импулсите на $C-$ се изваждат в брояча.

4.2.4. Нулиране и зареждане на броячите

Нулирането е процес, при който всички вътрешни тригери на броячите преминават принудително в състояние 0 на изходите си. Нулирането може да бъде асинхронно и синхронно. Асинхронното нулиране се извършва под въздействието на сигнал за нулиране MR (Master Reset), който с активното си ниво безусловно нулира тригерите на броячите. Синхронното нулиране се управлява от сигнал за разрешаване на нулирането SR (Synchronous Reset), който с активното си ниво задава режим на нулиране на брояча, но нулирането настъпва при пристигането на активен фронт на тактовия импулс.

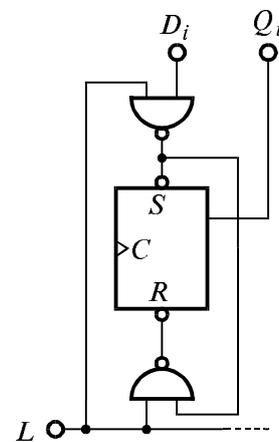
Зареждането е процес при който вътрешните тригери на броячите принудително приемат състояние, зададено от специални входове D (Data). Зареждането също може да бъде асинхронно и синхронно. Асинхронното зареждане се извършва под управление на сигнал за зареждане L (Load), който безусловно зарежда брояча със съдържанието на D_i . Синхронното зареждане се управлява от сигнал за разрешаване на паралелно зареждане PE (Parallel Enable), който задава на брояча режим на зареждане, но то настъпва при пристигането на активен фронт на тактовия импулс.



Фиг. 4.28. Асинхронно нулиране на броячен тригер.

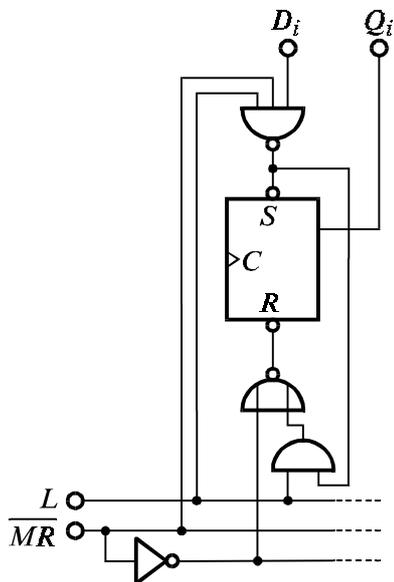
Асинхронно зареждане на броячен тригер е показано на фиг. 4.29. Сигналът L разрешава електронните врати, поставени в \bar{R} и \bar{S} входовете на тригера. Тогава, ако D_i е 0 , на \bar{S} ще постъпи 1 , а на \bar{R} — 0 и тригерът ще се

Асинхронните операции използват асинхронните S и R входове на вътрешните тригери в броячите. На фиг. 4.28 е показано асинхронно нулиране на броячен тригер.

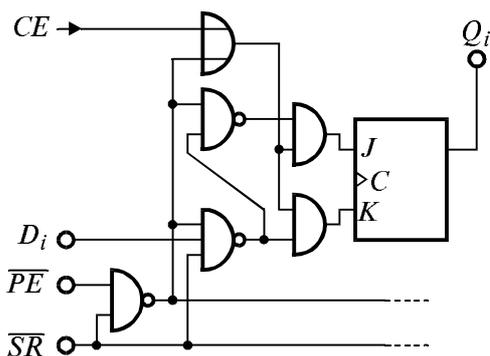


Фиг. 4.29. Асинхронно зареждане на броячен тригер.

нулира, а ако D_i е 1 , на \bar{S} ще постъпи 0 , а на \bar{R} — 1 и тригерът ще се установи в 1 . Когато L е 0 , електронните врати са забранени, а на \bar{R} и \bar{S} входовете на тригера ще има пасивни състояния логическа 1 .



Фиг. 4.30. Съчетание на асинхронно зареждане и приоритетно асинхронно нулиране на броячен тригер.



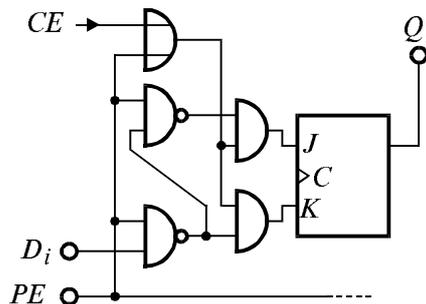
Фиг. 4.32. Съчетание на синхронно зареждане и приоритетно синхронно нулиране на броячен тригер.

на тактов импулс, изходът Q_i се установява в състояние D_i .

На фиг. 4.32 е показано синхронно нулиране на броячен тригер, съчетано със синхронно зареждане. Синхронното нулиране е преди-

На фиг. 4.30 е показан броячен тригер с възможност за асинхронно нулиране и зареждане, като нулирането е с приоритет пред зареждането.

Синхронното нулиране и зареждане въздействат чрез тактово зависимите входове на броячните тригери. На фиг. 4.31 е показано синхронно установяване на броячен JK-тригер. Сигналят PE мултиплексира към J и K входовете или входящия пренос CE или входната информация D_i .



Фиг. 4.31. Синхронно зареждане на броячен JK-тригер.

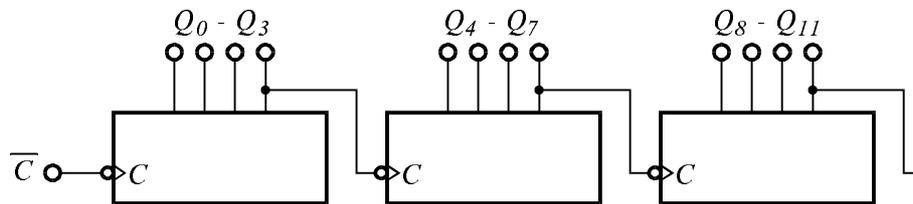
Когато $PE = 0$, постъпването на информацията D_i е забранено и към тригера се пропуска преносът. При $PE = 1$ постъпването на преноса се блокира, разрешават се схемите И-НЕ, пропускащи информацията D_i , и на J и K входовете на тригера се появяват съответно D_i и \bar{D}_i . При постъпване

тетно пред синхронното установяване. Когато на входа \overline{SR} се подаде активно ниво 0, на J и K входовете на тригера постъпват съответно 0 и 1. При пристигането на тактов импулс изходът Q_i се установява в 0.

Нормално в съществуващите интегрални броячи е заложен следния приоритетен ред на операциите: 1 — асинхронно нулиране; 2 — асинхронно зареждане; 3 — синхронно нулиране; 4 — синхронно зареждане; 5 — броене.

4.2.5. Нарастване на броячите

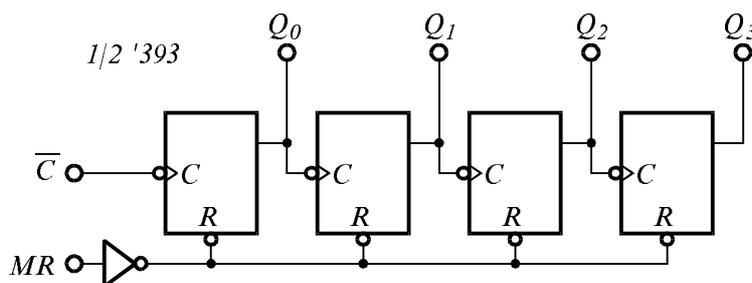
Нарастването (свързването) на броячите се извършва, когато се налага организирането на брояч с голям модул на броене, с какъвто не се разполага в интегрално изпълнение.



Фиг. 4.33. Асинхронно свързване на броячи.

Асинхронно свързване на броячите е показано на фиг. 4.33. Тактовият вход на най-младшия брояч е тактов вход на цялата броячна група. Тактовите входове на следващите броячи са свързани към старшите разреди на предходните броячи. При сумиращи броячи, такова свързване е възможно само когато активният фронт на тактовия им вход е спаданият, докато при изваждащи броячи — активният фронт на тактовия им вход е нарастващият. Асинхронното свързване на броячите се използва основно при нарастване на асинхронни броячи с непосредствена връзка.

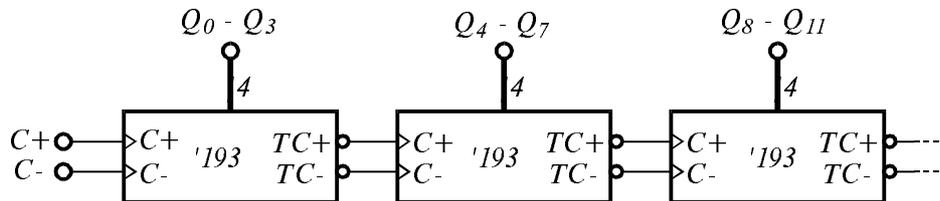
Типичен представител на асинхронен брояч с непосредствена връзка е интегралният брояч '393, чиято схема е показана на фиг. 4.34.



Фиг. 4.34. Структура на асинхронния брояч 1/2 '393.

Асинхронно свързване на броячите се осъществява и когато такто-

вият вход на брояч от групата се свърже към изхода за пренос от предходния. Условието за правилна работа на групата е фронтът на отпадането на преноса да бъде активен за броячния вход на свързания към него брояч.



Фиг. 4.35. Асинхронно свързване между реверсивни броячи '193.

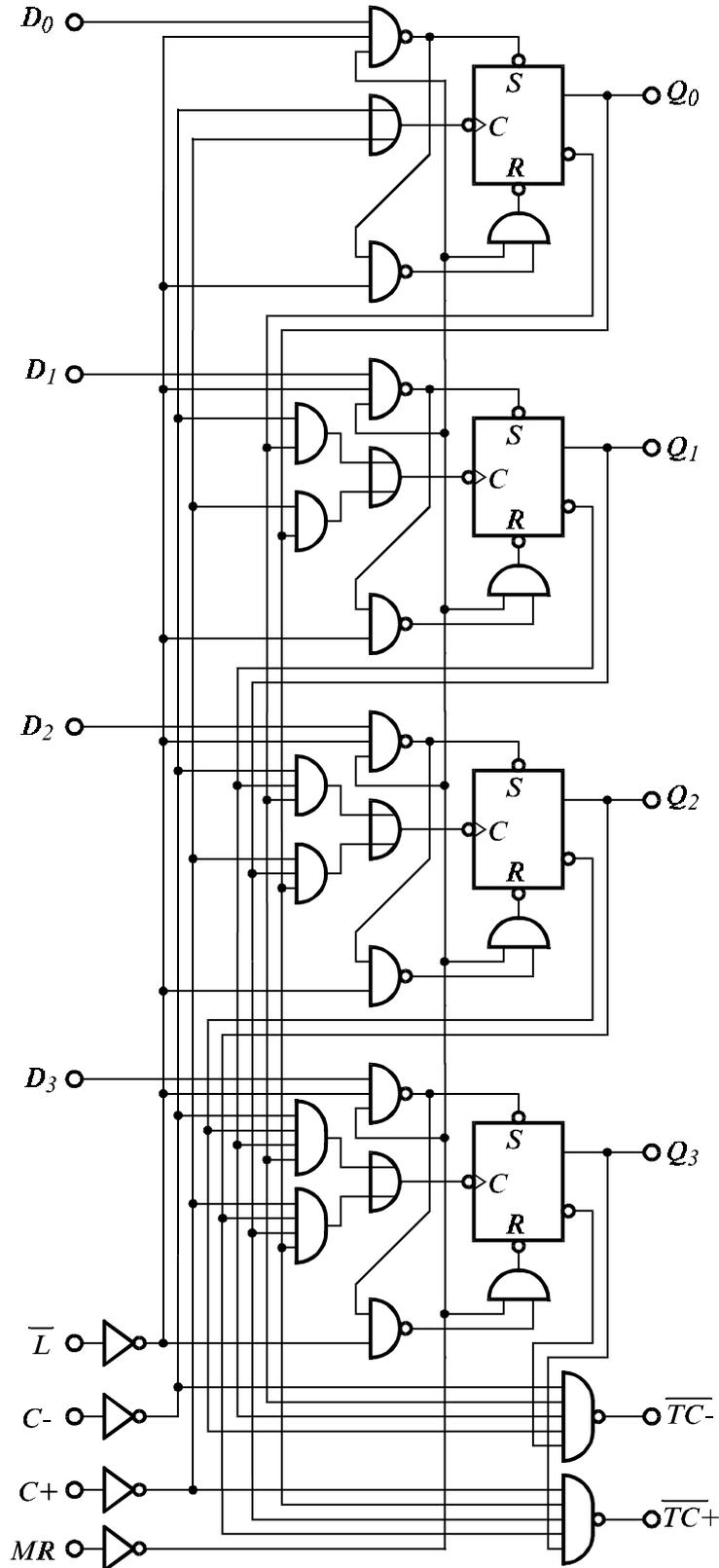
Такова асинхронно свързване е показано на фиг. 4.35 между интегралните реверсивни броячи '193. Макар, че отделните броячи са синхронни, броячната група като цяло работи асинхронно. Броячът '193 е реализиран по структурата от фиг. 4.27, но притежава някои особености, които налагат по-подробното му разглеждане. Вътрешната му схема е показана на фиг. 4.36. В тактовите входове са включени инвертори, които освен че буферират сигналите, определят нарастващите фронтове на входящите импулси като активни за брояча. Броячните T -тригери са от типа управляващ-управяван. Схемата работи правилно само когато през времето на подаването на импулс на единия тактов вход, на другия се поддържа логическа 1 , т.е. трябва да се работи с отрицателни броячни импулси. Схемите за формирането на изходящите преноси са И-НЕ, което определя активна 0 на изходящите преноси.

Синхронно последователно свързване на броячи е показано на фиг. 4.37. Входът за разрешаване на броенето на най-младшия брояч е общ вход за разрешаване на броенето на броячната група. Входът за разрешаване на броенето на всеки следващ брояч е свързан с изхода за пренос на предишния.

Такова свързване е възможно, когато активното ниво на изходящия пренос от брояча съвпада с активното ниво на свързания към него вход за разрешаване на броенето на следващия брояч. Това свързване намалява максималната възможна честота на броенето, поради необходимостта старшите броячи в групата да изчакат разпространяването на преноса през всички по-младши.

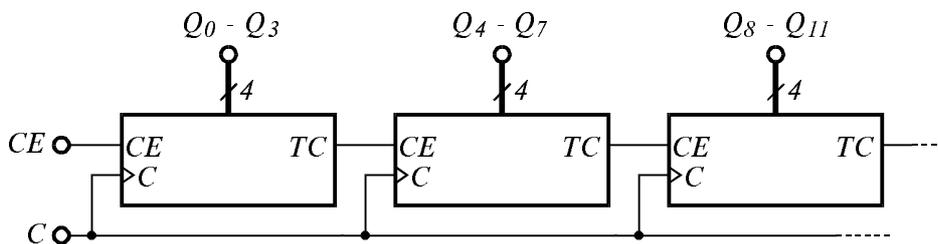
То е илюстрирано на фиг. 4.38 с паралелно-последователно свързване на реверсивни синхронни броячи '193 в броячната група. Входящите тактови импулси се подават към тактовите входове на всички броячи през електронни врати (схеми ИЛИ). Електронната врата в броячния вход на даден брояч от групата, се разрешава от изходите за пре-

нос на всички по-младши броячи. В случая, това свързване изисква включването на допълнителна логика за осъществяването му.

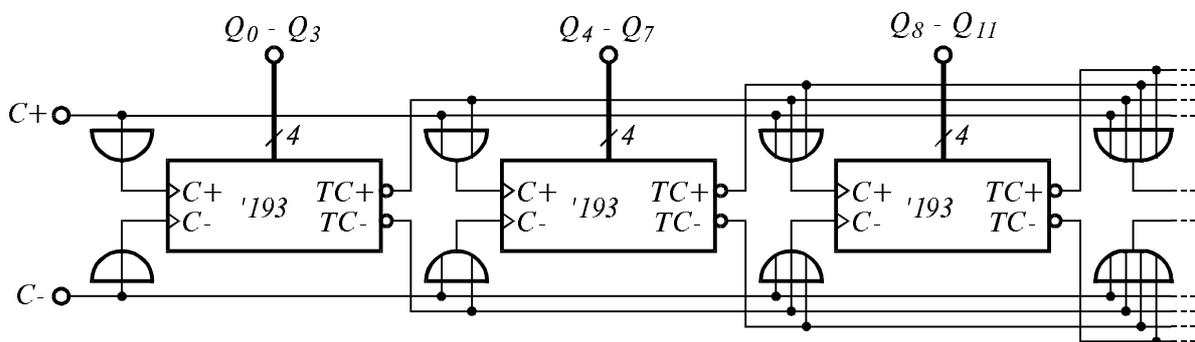


Фиг. 4.36. Четириразреден реверсивен синхронен брояч с два тактови входа — '193.

Синхронното паралелно-последователно свързване на броячи осигурява максимално висока тактова честота на броене.



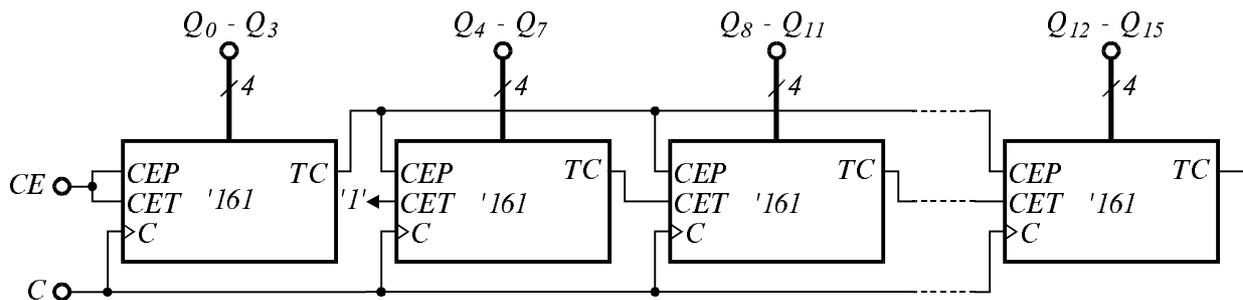
Фиг. 4.37. Синхронно последователно свързване на броячи.



Фиг. 4.38. Паралелно-последователно свързване на синхронни реверсивни броячи '193.

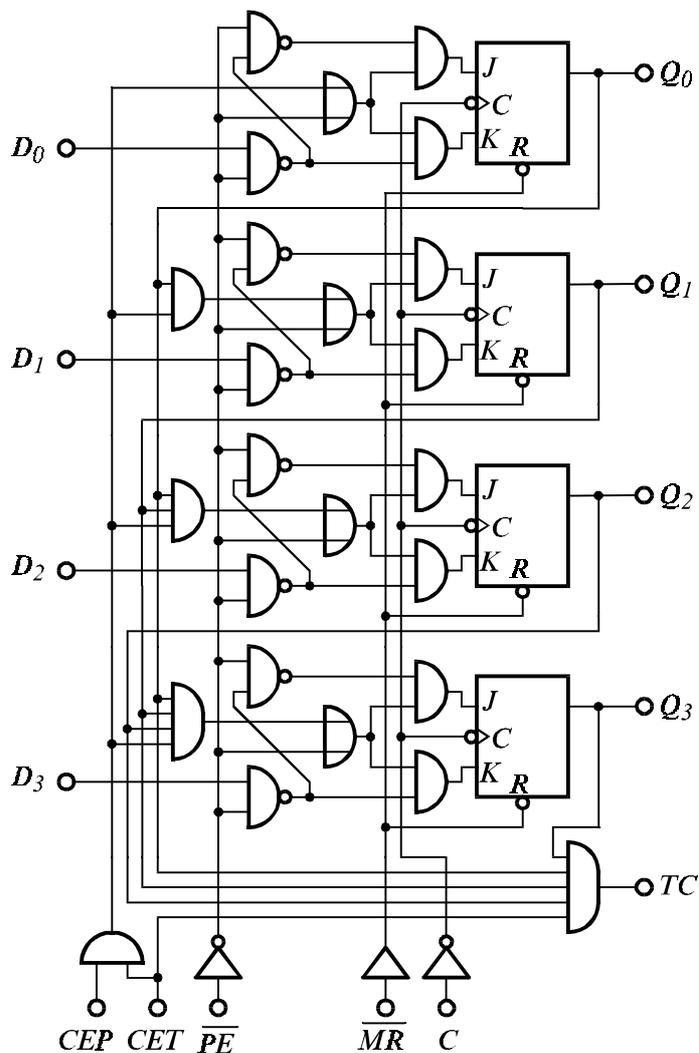
Някои интегрални броячи притежават вградена логика, улесняваща паралелно-последователното им включване в група (фиг. 4.39). Такъв е броячът '161, който представлява четириразреден двоичен брояч със синхронен пренос. Той превключва по нарастващ фронт на броячните импулси. Притежава синхронно установяване и асинхронно нулиране с активни нива 0.

Това, което облекчава изграждането на броячни групи с паралелно-последователен пренос е наличието на два входа за разрешаване на броенето — *CET* (Count Enable Trickle) и *CEP* (Count Enable Parallel). Двата входа, обединени в схема И, разрешават броенето на брояча, но само единия (*CET*) участва във формирането на изходящия пренос.



Фиг. 4.39. Синхронно паралелно-последователно свързване на броячи '161

Входовете CEP и SET на най-младшия брояч могат да се използват за разрешаване на броенето на броячната група. На входа SET на втория брояч във веригата е подадено постоянно разрешение. Входът SET на всеки следващ брояч, е свързан с изхода за пренос на предишния, а входът CEP на всички броячи е свързан с изхода за пренос на най-младшия.



Фиг. 4.40. Схема на четириразреден синхронен брояч '161.

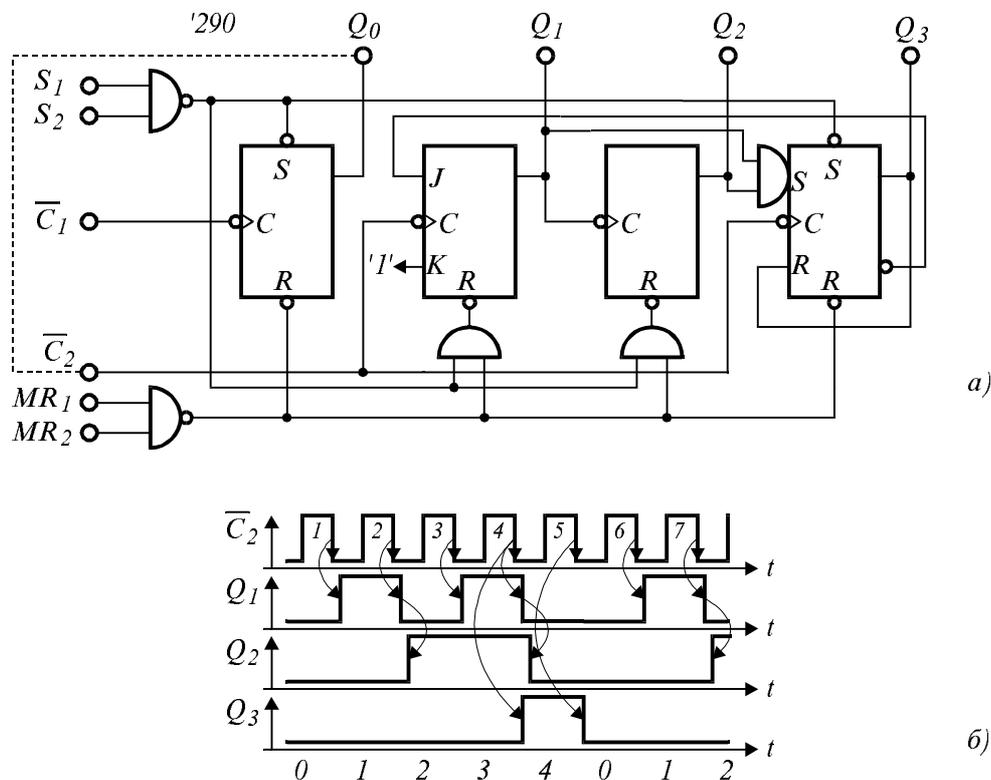
Преносът от втория брояч се разпространява последователно във веригата от броячи, докато преносът от най-младшия — паралелно. В момента, в който вторият брояч достигне състояние 1111, той изработва на изхода сигнал за пренос, независимо от състоянието на входа си CEP (на входа SET има постоянно разрешение). Този пренос започва да се разпространява през всички последващи броячи, които също са в състояние 1111 до първия срещнат с различно състояние, но за това разпространение има време, тъй като първият брояч ще трябва да отброи още 15 импулса за да изработи и той пренос.

Интегралният брояч '161 е изграден по структурата от фиг. 4.23, а

неговата вътрешна схема е показана на фиг. 4.40.

4.2.6. Двоично-десетични броячи

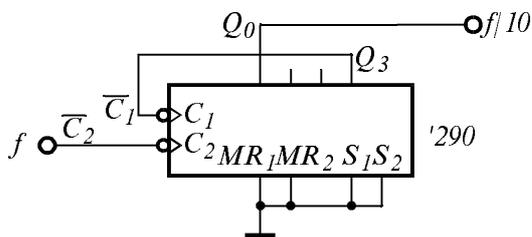
Броячите, които притежават модул на броене 10, са десетични броячи. В интегрално изпълнение, те се изграждат на базата на четириразредни двоични броячи, от които са изключени последните шест състояния и затова носят наименованието двоично-десетични броячи. Двоично-десетичният брояч работи в двоичен код от състояние 0000 до 1001 и се нулира след десетия импулс (двоично-десетичен код) чрез подходящи логически елементи и връзки между тригерите. Типичен асинхронен представител на двоично-десетичните броячи е интегралната схема '290, чиято вътрешна структура е показана на фиг. 4.41.



Фиг. 4.41. Четириразреден двоично-десетичен брояч '290:
а) — структурна схема, б) — времедијаграми на брояча на пет.

Тя съдържа два отделни брояча на две и на пет, които свързани непосредствено образуват двоично-десетичен брояч. Броячът на две е T -тригер и неговата работа е тривиална. Броячът на пет се състои от един JK -тригер, T -тригер и SR -тригер. Времедијаграмата на неговата работа е показана на фиг. 4.41.б. В начално състояние (000), JK -тригерът получава на J входа си логическа 1 от инверсия изход на SR -тригера и за първите три импулса работи като T -тригер. SR -тригерът

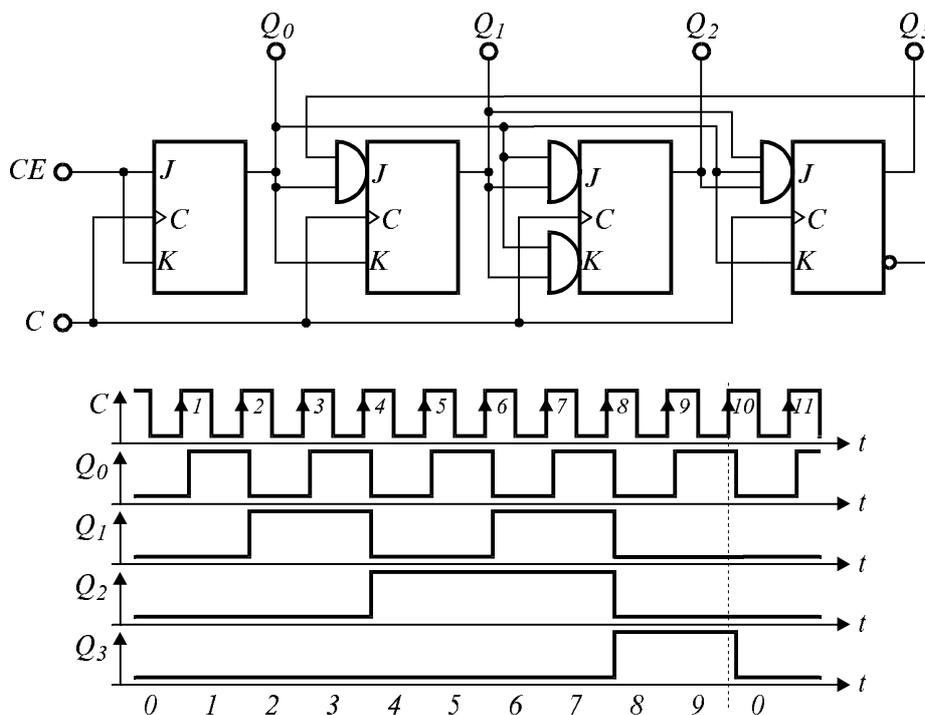
получава през това време 0 на входовете си S и R и остава нулиран. При достигане на състояние 011 , SR -тригерът получава 1 на входа си S . Четвъртият импулс преобърща JK -тригера (той все още продължава да работи като T -тригер), но едновременно с това установява в 1 SR -тригера. Когато състоянието на схемата стане 100 , SR -тригерът получава 1 на входа си R и 0 на входа си S , а JK -тригера — 0 на входа си J . Петият импулс нулира JK -тригера и SR -тригера, цикълът на брояч се затваря и схемата се връща в начално състояние. Както се вижда, схемата на брояча не е чисто асинхронна, а смесена тъй като JK - и SR -тригерите се тактуват заедно, но като цяло броячът е асинхронен.



Фиг. 4.42. Делител на 10, с $1/2$ коефициент на запълване на изходната честота.

Този брояч има две основни приложения. Когато се осъществи връзка между Q_0 и \overline{C}_2 , (показано с прекъснатата линия) се получава брояч в двоично-десетична система. Друго приложение на схемата е, когато се осъществи връзка между изхода Q_3 и \overline{C}_1 , а входните импулси се подадат на C_2 , както е показано на фиг.

4.42. Тогава, на изхода Q_0 се получава честота 10 пъти по-ниска от входящата с коефициент на запълване $1/2$.



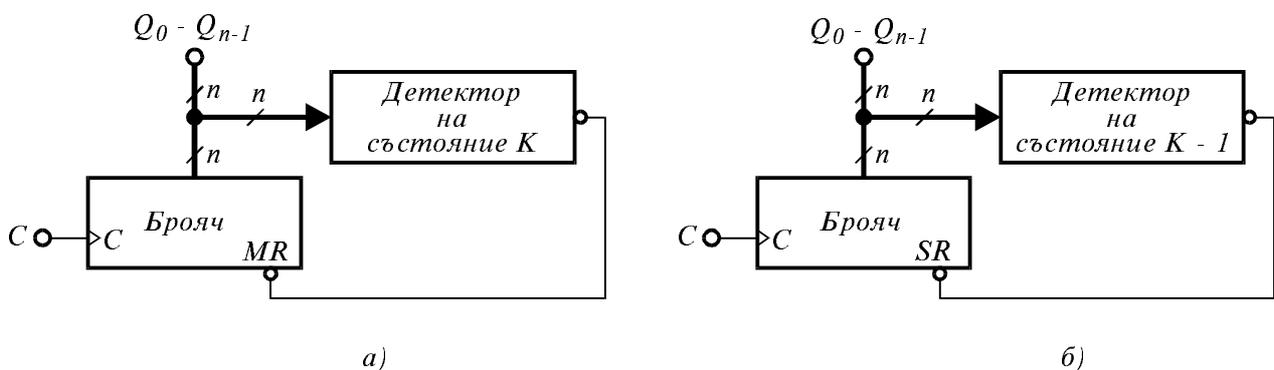
Фиг. 4.43. Четириразреден синхронен сумиращ двоично-десетичен брояч.

На фиг. 4.43 е показана схема на синхронен сумиращ брояч, изграден с JK -тригери, заедно с времедиagramата на неговата работа. До деветия импулс включително, броячът работи като двоичен. След него обаче, вторият тригер получава 0 на J входа си (от инверсия на четвъртия тригер) и 1 на входа си K (от изхода на първия тригер). Същите състояния има на входовете си и четвъртият тригер. Така че, десетият импулс, който нормално нулира първия тригер, синхронно нулира втория и четвъртия и схемата се привежда в начално състояние.

4.2.7. Съкратени броячи и делители на честота

Съкратени (непълни) броячи се наричат тези, чийто модул на броење е по-малък от 2^n . Те се реализират от двоични броячи, от които са изключени част от състоянията. Двоично-десетичните броячи също се числят към съкратените броячи.

Разликата между брояч и делител на честота е само терминологична. Те са едни и същи структури, като двете понятия се използват в зависимост от приложението на структурите. Всеки брояч е делител на честота, но основно се използва за отброяване на импулси в дадена бройна система, за което се ползват всичките му изходи. Основното приложение на делителите на честота е да изработят честота, която е определено число пъти по-ниска от постъпващата на тактовия вход. При тях, не е от значение бройната система, в която работи структурата, а се обръща внимание на коефициента на делене и коефициента на запълване на изходната честота. Често при делителите на честота се използват само някои от броячните изходи, като останалите могат дори и да не бъдат изведени.

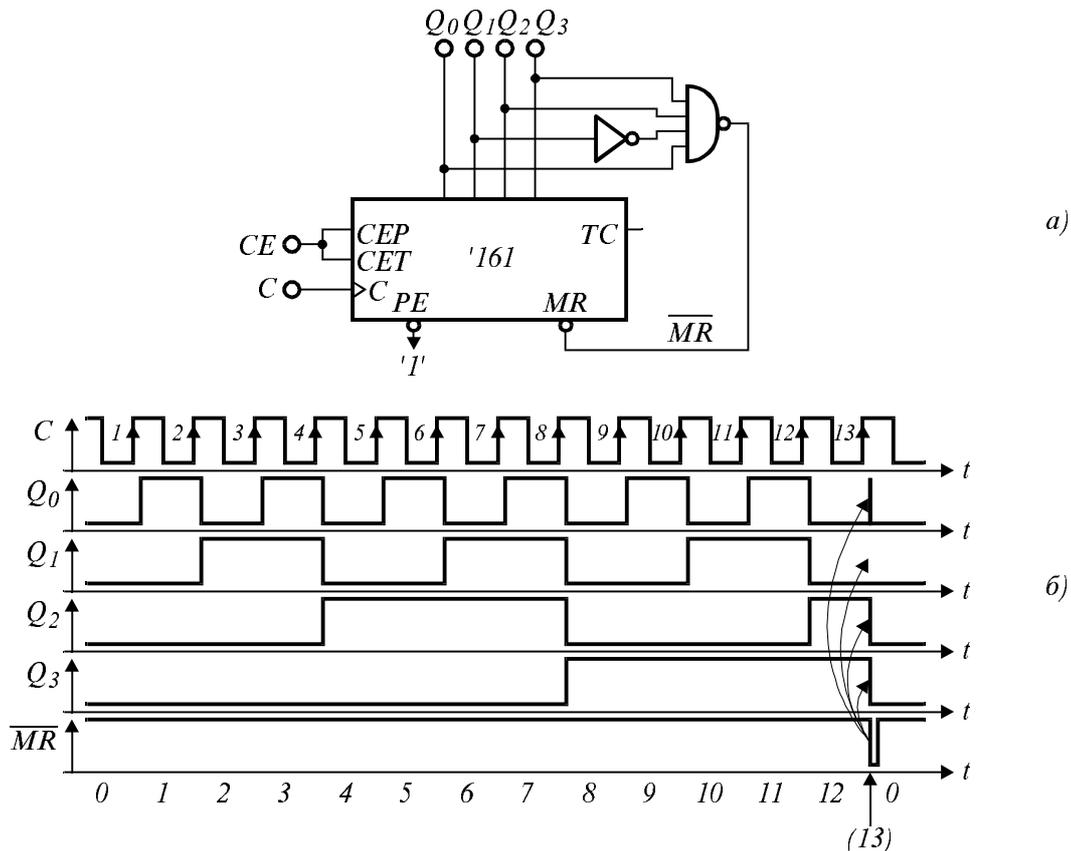


Фиг. 4.44. Съкращаване на старшите състояния на брояч: а) — при използване на асинхронно нулиране; б) — при използване на синхронно нулиране.

Когато е необходим брояч или делител на честота с модул на броење по-малък от 2^n , с какъвто не се разполага в интегрално изпълне-

ние, се използват броячи с модул на броене по-голям от зададения, като се съкращават част от състоянията им.

При един от начините за реализиране на съкратени броячи се съкращават последните излишни състояния на брояча — фиг. 4.44. В изходите на брояча се поставя детектор на определено състояние, който нулира брояча при достигане на това състояние. Детектираното състояние зависи от изисквания модул на броене и от типа на нулирането. Например, при зададен модул на броене K (състояния на брояча от 0 до $K-1$) при използването на брояч с асинхронно нулиране детектора трябва да открие състояние K , докато при използването на брояч със синхронно нулиране, детектора трябва да открие състоянието $K-1$. Необходимо условие за правилна работата и в двата случая, е активното ниво в изхода на детектора да съвпада с активното ниво на входа за асинхронно нулиране на брояча.

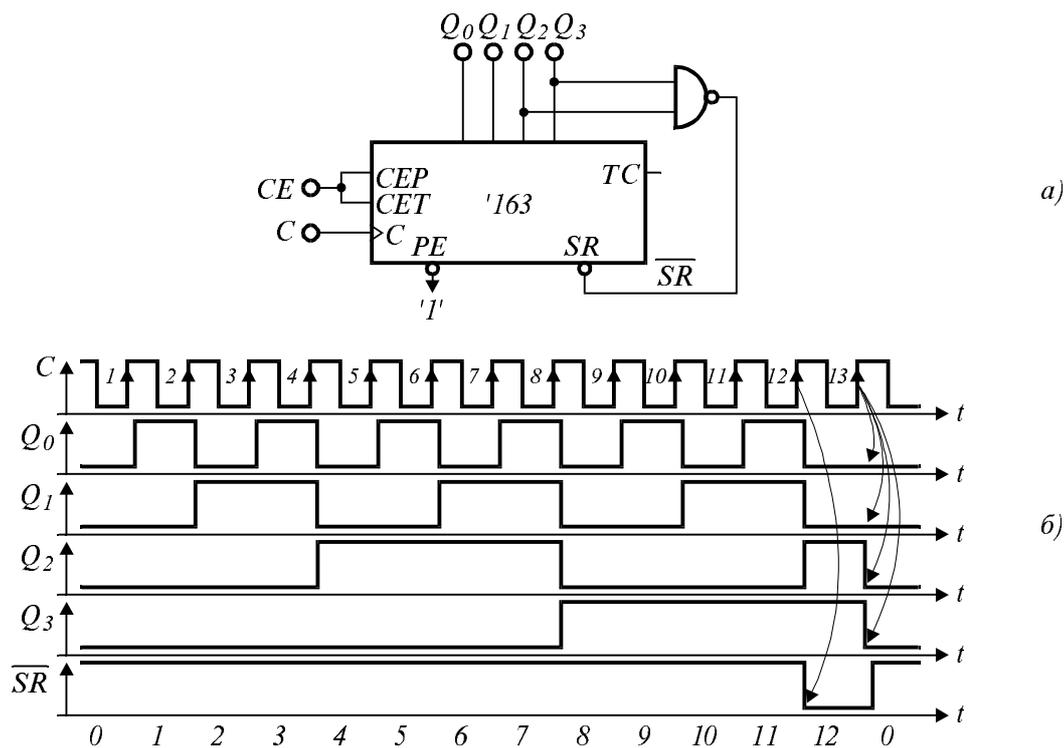


Фиг. 4.45. Брояч до 12 (модул на броене 13) с използване на асинхронно нулиране за съкращаване на последните състояния.

Действието е илюстрирано с конкретен пример на фиг. 4.45, където е синтезиран брояч с модул на броене $K = 13$ с използването на брояч с асинхронно нулиране. До състояние 12 включително, броячът работи като двоичен. След тринадесетия импулс, броячът преминава в

състояние 13, но детекторът детектира това състояние и веднага асинхронно нулира брояча. При следващия импулс, броячът ще отброи състояние 1. При този начин на реализиране на съкратен брояч, се появява за кратко време (докато сработи логиката за нулиране на брояча) допълнително състояние K (в примера — 13). При някои конкретни приложения това допълнително краткотрайно състояние може да бъде нежелано и вредно.

На фиг. 4.46 е показан същия пример, но с използването на брояч със синхронно нулиране. Използуван е двоичният брояч '163, който е същият като '161 но притежава синхронно нулиране. От времедиagramите на работа се вижда, че при състояние 12, детекторът изработва сигнал за нулиране на брояча, но нулирането настъпва синхронно при постъпването на тринадесетия импулс. Времедиagramите са "чисти", без наличие на допълнителни състояния. Препоръчва се, когато няма специални изисквания, да се използва този начин на реализиране на съкратен брояч.

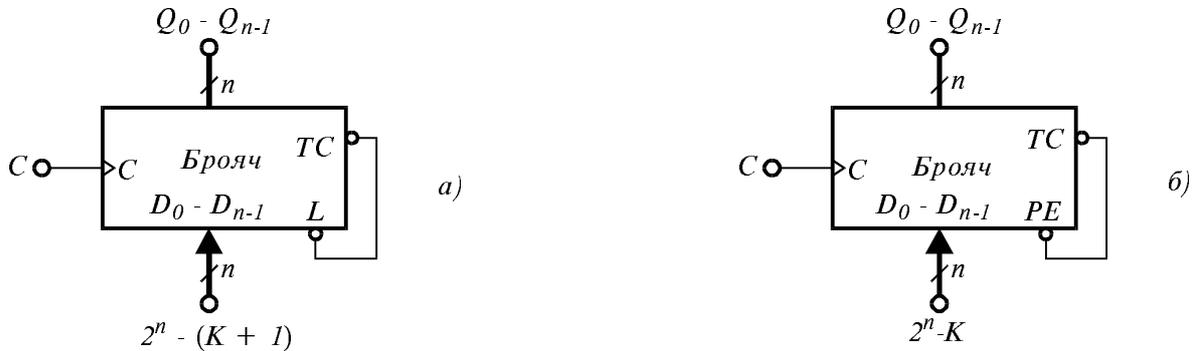


Фиг. 4.46. Брояч, с модул на броење 13, с използване на синхронно нулиране за съкращаване на последните състояния.

В схемата от фиг. 4.46 е използван и опростен, непълнен детектор на състояние 12. Той би детектирал и състоянията 13, 14 и 15, но последните не се използват.

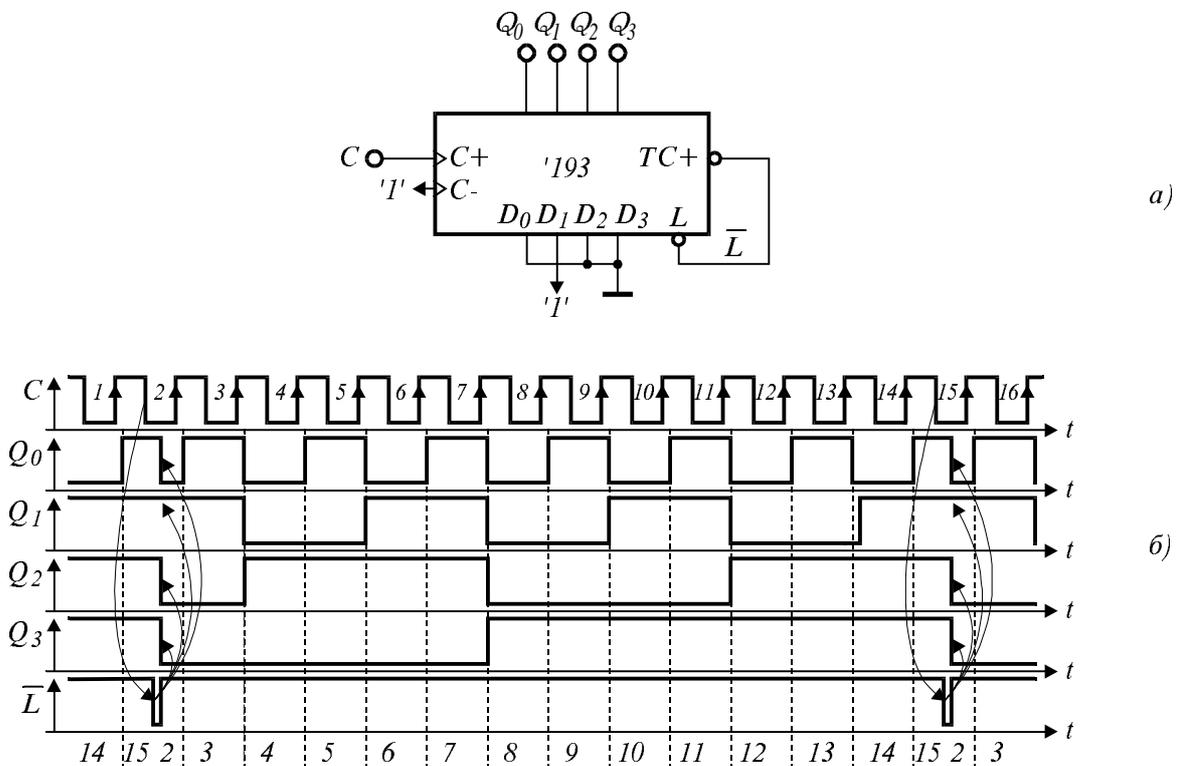
Друг начин за изграждане на съкратени броячи е, като се отстра-

ният младшите излишни състояния. Такъв брояч брой от определено число $2^n - (K + 1)$ до $2^n - 1$. Нарича се още “Modulo K divider”.



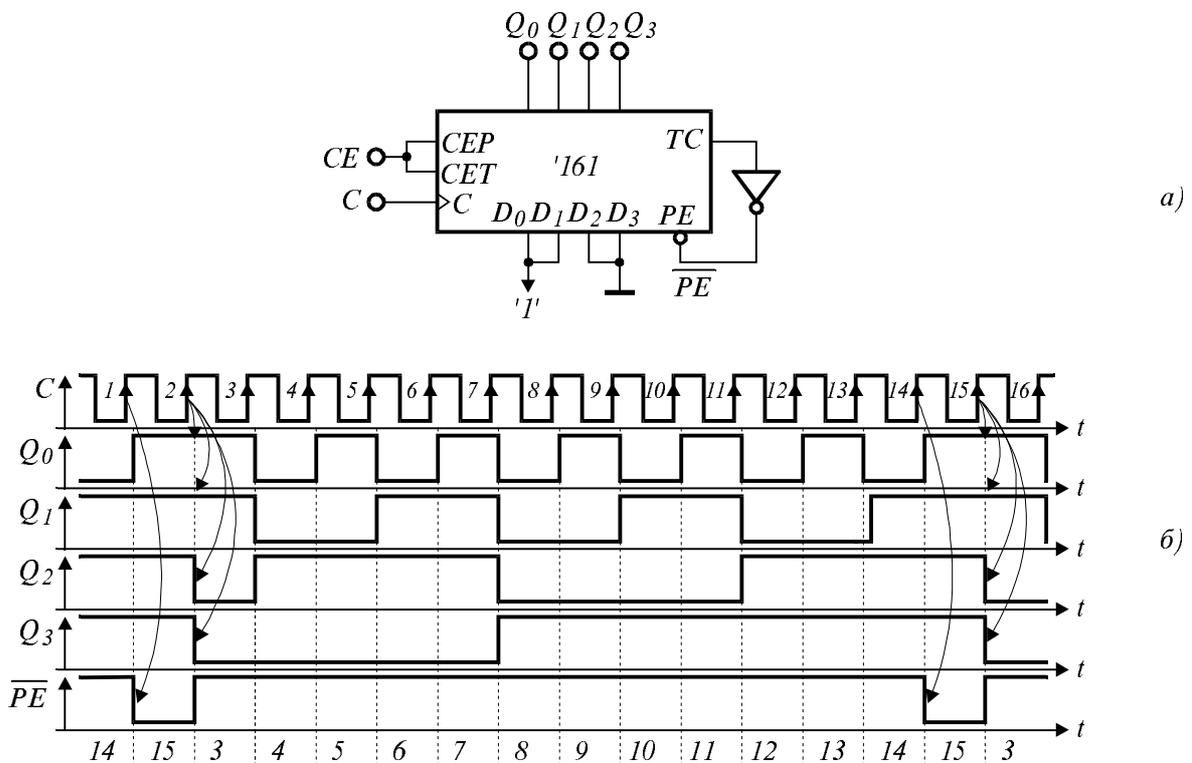
Фиг. 4.47. Съкращаване на младшите състояния на брояч: а) — при използване на асинхронно зареждане; б) — при използване на синхронно зареждане.

За съкращаване на младшите състояния изходът за пренос на брояча се свързва към входа му за зареждане, а на входовете за данни се подава определено число — фиг. 4.47. Числото зависи от модула на брояча и от вида на зареждането. При зададен модул K и използване на брояч с асинхронно зареждане числото трябва да е $2^n - (K+1)$, а при брояч със синхронно зареждане, числото трябва да е $2^n - K$.



Фиг. 4.48. Делител на честота, използващ асинхронно зареждане за съкращаване на младшите състояния.

Пример на брояч със съкратени младши състояния с използването на интегралния брояч '193, имащ асинхронно зареждане при $K = 13$ е показан на фиг. 4.48. Числото, което се зарежда паралелно в брояча от неговия собствен пренос е 2. Броячът работи като двоичен от състояние 3 до 14. След петнадесетия импулс, той преминава в състояние 15, появява се преносът, който принудително го зарежда с 2. След зареждането преносът отпада и при следващия входен импулс броячът отброява състояние 3. При това решение, се появява допълнително състояние 2, което замества част от състояние 15. В някои приложения това допълнително състояние може да бъде нежелано.



Фиг. 4.49. Делител на честота, използващ синхронно зареждане за съкращаване на младшите състояния.

Пример при $K = 13$ с използването на брояча '161, имащ синхронно зареждане, е даден на фиг. 4.49. Паралелно зарежданото число е 3. Между изхода за пренос и входа за синхронно паралелно зареждане е включен инвертор за съгласуване на двете активни нива. Когато броячът премине в състояние 15, на изхода му TC се появява пренос, който активира паралелното зареждане, но зареждането настъпва при следващия постъпил входен импулс. Броячът се зарежда с 3, преносът отпада и броячът преминава в режим на броене.

Съкратените броячи, работещи с отстранени младши състояния са предпочитани при изграждането на делители на честоти, поради по-

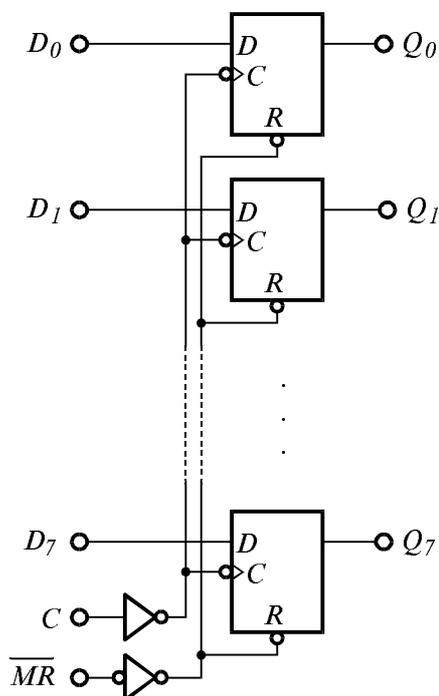
простото решение.

Възможно е да се изгради съкратен брояч, при който да бъдат отстранени както старши, така и младши състояния. При тях, в изходите им се поставя детектор на крайно състояние, но неговият изход се подава към входа за паралелно зареждане на брояча с определено начално състояние.

4.3. Регистри

Регистрите са предназначени за съхраняване на цифрова информация за определено време. Те се изграждат като организиран набор от тригери. За запис и четене на информация във и от регистрите, за нейно преместване и за други операции, се използват допълнителна логика и подходящи управляващи сигнали. Най-общо, достъпът на информацията до регистрите може да бъде паралелен или последователен.

4.3.1. Паралелни регистри



Фиг. 4.50. 8-разреден паралелен регистър '273.

Паралелните регистри позволяват да се запомни едновременно подадена на входовете им комбинация от двоични разреди и да се съхрани след промяната на входните сигнали. Те могат да се изградят чрез *D*-тригери, с общо тактуване и управление. Така например, популярната схема '273, показана на фиг. 4.50, представлява набор от 8 *D*-тригера, с общо тактуване по нарастващ фронт на тактовите импулси *C* и общо нулиране.

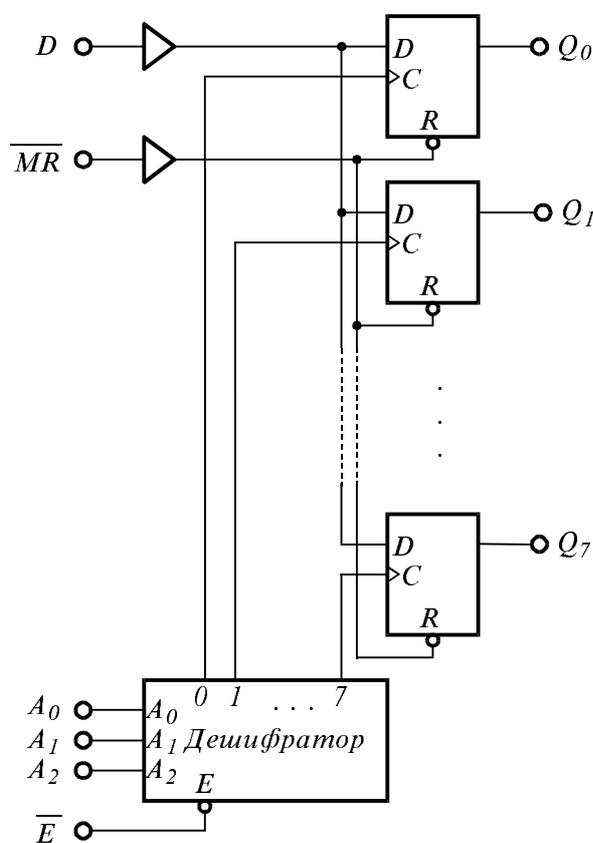
При постъпването на синхронизиращ сигнал, паралелните регистри "фиксира" състоянието на входовете, затова те се наричат още "фиксатори". Фиксаторите са два вида.

При първия вид, тригерите на регистрите са от потенциален тип — разрешават се от ниво на синхронизиращия сигнал. При разрешаване, те пропускат входните сигнала

ли към изходите си, а при забрана — запазват последното им значение. Този вид регистър се нарича “прозрачен фиксатор”. Напремер, такъв е 8-разредният паралелен регистър ‘373, който има същата структура схема, както ‘273, но се управлява по ниво на тактовия импулс (означаван с E) и вместо общо нулиране, притежава общо управление на високоимпедансното състояние на изходните буфери на тригерите.

При втория вид, тригерите на регистрите се управляват по фронт на тактовия импулс C . Такъв регистър се нарича “ D -регистър” или “регистър от D -тип”.

Съществуват няколко разновидности на паралелните регистри, които могат да се обобщят по следния начин:



Фиг. 4.51. 8-разреден адресируем фиксатор.

— запомнящи устройства с произволен достъп, които съдържат значителен по обем масив от паралелни регистри, в и от които може да се записва и чете;

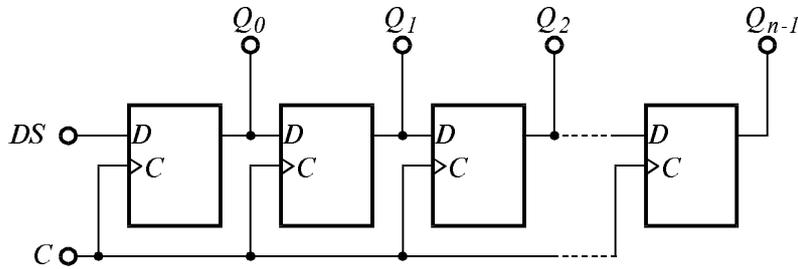
— адресируеми фиксатори, които позволяват да се осъществи достъп до отделните разреди, без да се променят останалите. Пример за такъв 8-разреден адресируем фиксатор е даден на фиг. 4.51. Той има един информационен вход D , който е свързан с информационните входове на всички тригери, които обикновено са от потенциален тип. Разрешението (тактуването) на тригерите се задава унитарно от дешифратор, което осигурява запис на информацията в даден момент само в един от тях. По подобна структурна схема е изграден интегралният адресируем фиксатор ‘259.

— Буферни регистри, вграждани във входовете и изходите на устройства и системи, като аналогово-цифрови и цифрово-аналогови преобразуватели и др.

4.3.2. Преместващи регистри

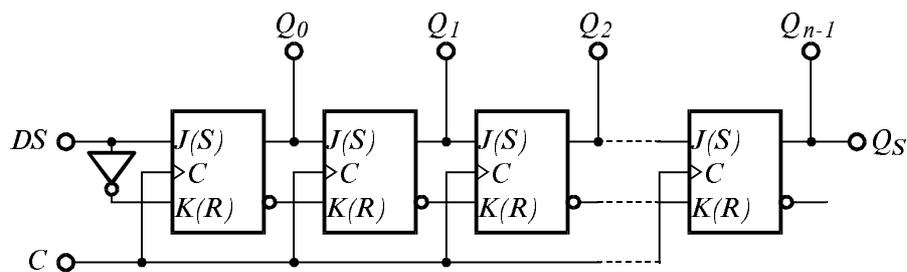
Преместващият регистър представлява група от последователно свързани тригери, свързани така, че при постъпване на тактов импулс,

информацията от даден тригер се премества в съседния. Най-често, преместващите регистри се изграждат от D -тригери. Такъв преместващ регистър е показан на фиг. 4.52.



Фиг. 4.52. Преместващ регистър с последователен вход и паралелни изходи, изграден с D -тригери.

Входът на всеки тригер е свързан с изхода на предходния. Всички тригери се тактуват заедно. Входът на първия тригер е последователният вход за данни DS на преместващия регистър, а изходът на последния тригер е последователният изход на регистъра. Съвкупността от изходите на всички тригери формира паралелния изход на преместващия регистър. Всеки тактов импулс предизвиква преместване на информацията на един разред и същевременно въвеждане на нова информация. Основното приложение на преместващите регистри е преобразуване на информация от последователен в паралелен вид и от паралелен в последователен.

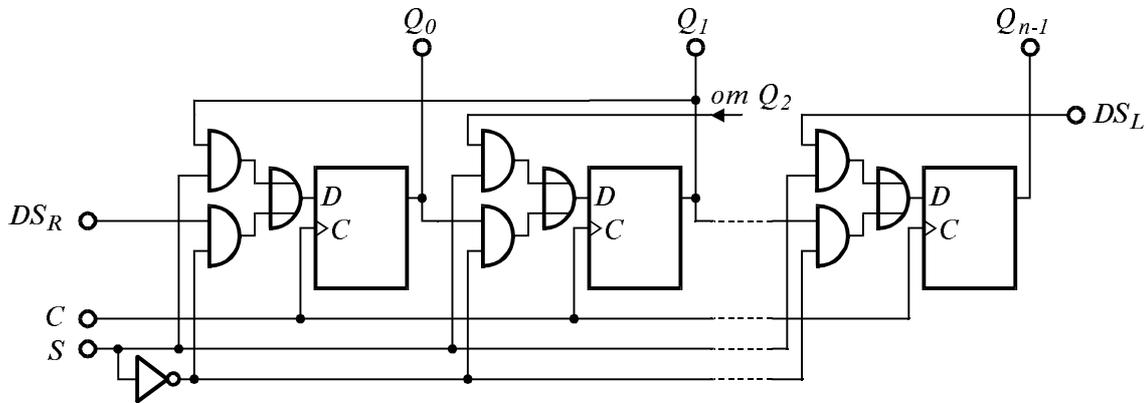


Фиг. 4.53. Преместващ регистър с последователен вход и паралелни изходи, изграден с $JK(SR)$ -тригери.

Преместващи регистри могат да се изграждат и на базата на JK - и RS -тригери. Такъв преместващ регистър е показан на фиг. 4.53. В скоби са нанесени означенията на изводите, когато преместващият регистър е изграден на базата на RS -тригери.

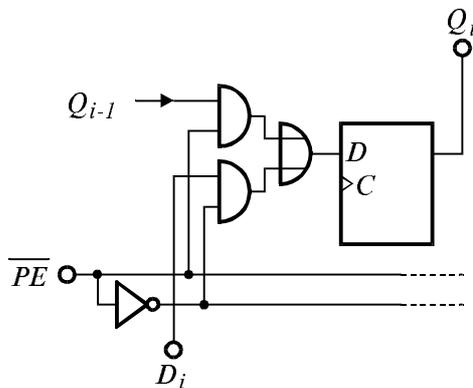
В показаните схеми, преместването на информацията се извършва надясно. Преместване наляво се реализира, като връзката към всеки тригер се вземе от следващия в регистъра. Реверсивните преместващи регистри притежават мултиплексор преди всеки тригер, който превк-

лючва входа на тригера към изхода на предходния (за дясно преместване) или към следващия тригер (за ляво преместване) — фиг. 4.54.



Фиг. 4.54. Реверсивен преместващ регистър с последователни входове и паралелни изходи.

Дотук показаните преместващи регистри имат възможност за преобразуване на информацията от последователен в паралелен вид. За да се реализира преобразуване на информацията от паралелен в последователен вид, е необходимо тригерите в преместващите регистри да притежават възможност за паралелно зареждане на информацията в тях.



Фиг. 4.55. Синхронно зареждане на D -тригер.

Паралелното зареждане може да бъде асинхронно или синхронно. Асинхронното паралелно зареждане се извършва както при броячите, с използването на асинхронните входове на изграждащите ги тригери.

Синхронното установяване на регистрите използва информационните входове на изграждащите ги тригери. На фиг. 4.55 е показано синхронно установяване на D -тригер от преместващ регистър. Сигналят за разрешение

на паралелното зареждане \overline{PE} , с активно ниво 0, мултиплексира към D входа на тригера информацията от паралелния вход D_i така че при постъпването на тактов импулс, тя приоритетно ще се възприеме от тригера, т.е. $Q_i = D_i$.

Преместващите регистри могат да притежават и входове за нулиране на регистрите. Нулирането също може да бъде синхронно и асинх-

ронно и се организира по същия начин както и при броячите.

4.3.3. Кръгов преместващ регистър и брояч на Джонсън

Преместващ регистър, при който последователният изход е свързан с последователния вход, се нарича кръгов преместващ регистър (използува се и понятието кръгов брояч). Еднократно заредената информация циркулира в регистъра под управление на тактовия сигнал. Кръговият преместващ регистър се използва обикновено, когато е необходимо да се извежда информация от него без изтриването ѝ. Първоначалното зареждане може да бъде паралелно или последователно.



Фиг. 4.56. Кръгов преместващ регистър с начално последователно зареждане на информацията.

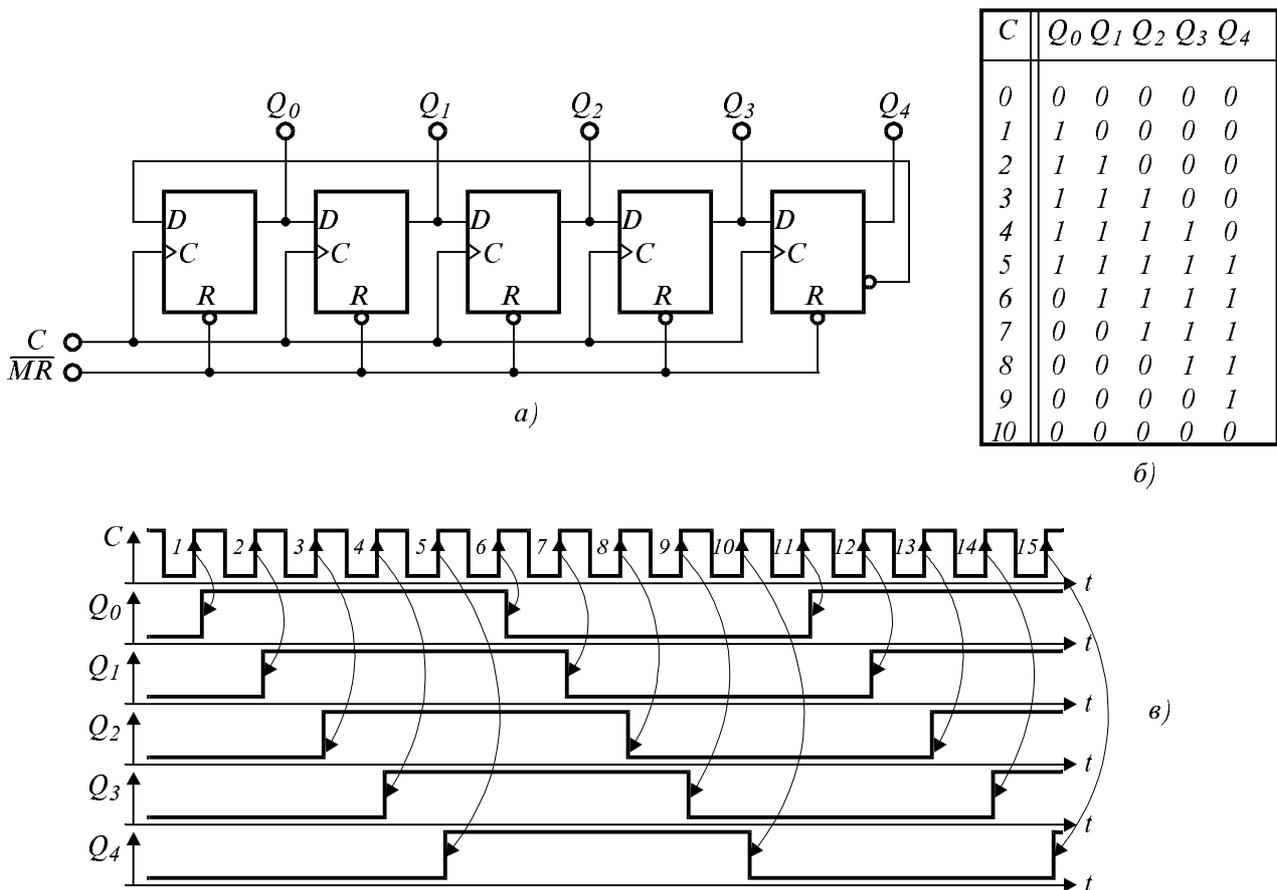
На фиг. 4.56 е показана схема на кръгов преместващ регистър с първоначално последователно зареждане на информацията. Изборът за въвеждане на нова информация или за циркулиране на старата в преместващия регистър, се определя от входа U .

Докато на управляващия вход U има логическа 1 , последователният вход DS на преместващия регистър възприема входната информация D . Обратната връзка не действа, и за първите n такта преместващият регистър възприема постъпващото по D n -разредно число. Когато управлението U стане 0 , DS се свързва с Q_{n-1} и зареденото вече число поразредно отново постъпва на последователния вход DS . След нови n тактови импулса, преместващият регистър ще се намира в изходно състояние.

Броячът на Джонсън е разновидност на кръговия преместващ регистър. Той представлява преместващ регистър, при който последователният вход е свързан с инверсията на последователния изход. При наличието на n тригера в Джонсъновия брояч, той притежава $2n$ състояния. На фиг. 4.57 е показан брояч на Джонсън с 5 тригера, имащ 10 изходни състояния.

Нека първоначално всички тригери са нулирани. Тъй като и последният тригер е нулиран, инверсията му изход ще бъде в 1 . След всеки тактов импулс, в първия тригер ще се записва 1 , докато тази единица при преместването премине през целия регистър и излезе на из-

хода на последния тригер. Тогава инверсният изход на последния тригер става 0 и започва записването и преместването на 0. Това продължава докато нулата премине през регистъра и се установи в изхода на последния тригер, при което броячът на Джонсън се връща в изходно състояние. Когато състоянията на изходите се интерпретират като числов код, този код се нарича код на Джонсън.



Фиг. 4.57. Брояч на Джонсън с 10 състояния: а) — структурна схема; б - таблица на състоянията на изходите; в) — времедиаграми на работа.

Броячът на Джонсън се използва в цифрови системи, работещи в код на Джонсън (някои структури, като например дешифратор, се изграждат по-просто). Този брояч е същевременно и генератор на дефазирани тактови поредици. Всички изходи на Джонсъновия брояч генерират сигнали с една и съща честота и с коефициент на запълване 1/2, но дефазирани във времето един спрямо друг на един период на тактовия импулс.

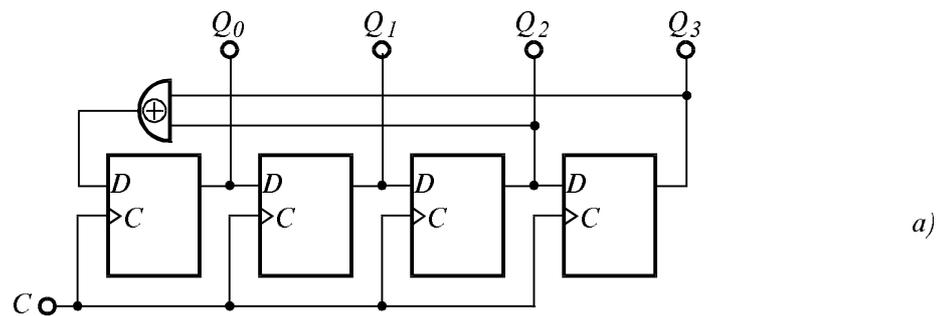
За да работи правилно един Джонсънов брояч, е необходимо първоначално в него да бъде заредено число, принадлежащо към кода на Джонсън. В практиката най-често се използва зареждане на всички тригери с 0 или с 1. Първоначално зареждане не е необходимо при

изграждането на Джонсънов брояч с 2 тригера.

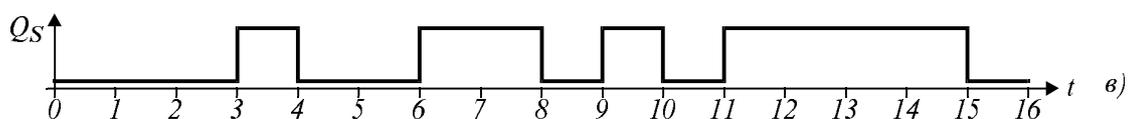
4.3.4. Генератори на псевдослучайни последователности.

Генераторът на псевдослучайни последователности представлява устройство, което генерира поредица от импулси с различна продължителност и различна пауза между тях. Промяната на продължителността на импулсите и на паузата между тях става по случаен закон. След определен брой импулси обаче, поредицата се повтаря при същия ред на следване, което определя псевдослучайността на последователността.

За генерирането на псевдослучайни последователности, се използват преместващи регистри, в които по определен начин се въвежда обратна връзка към последователния вход. Обратната връзка се създава на базата на елементи СУМА ПО МОДУЛ 2. При използването на преместващ регистър с n тригера, максималното количество състояния, което може да има генератор на псевдослучайни поредици е $N = 2^n - 1$.



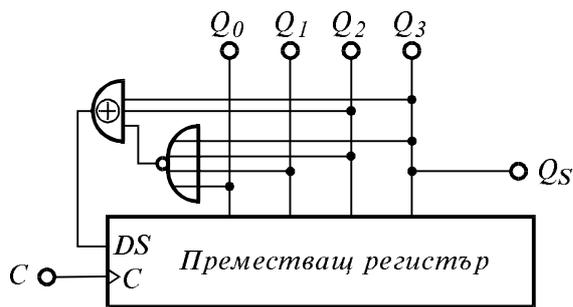
| Входящ импулс | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
|----------------------|---|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|
| Q_0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| Q_1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| Q_2 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| Q_3 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| $D = Q_2 \oplus Q_3$ | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |



Фиг. 4.58. Четирибитов генератор на псевдослучайна последователност.

Схема на 4-битов генератор на псевдослучайна последователност е

показана на фиг. 4.58. Принципът на действие се обяснява от таблицата на фиг. 4.58.б. Цикълът може да започне от всяко едно състояние, с изключение на нулевото състояние на всички тригери (за примера е избрано $Q_0 = 1, Q_1 = Q_2 = Q_3 = 0$). Последователностите от псевдослучайни сигнали в изходите на отделните тригери са едни и същи, но са отместени една спрямо друга във времето на един период на тактовите импулси, така че е свършено безразлично, от кой извод ще се снесе псевдослучайният сигнал. След 15-ия тактов импулс, схемата отново се установява в изходно състояние.



Фиг. 4.59. Отстраняване на нулевото състояние на генератор на псевдо случайни числа.

Нулевото състояние на всички тригери блокира работата на схемата, затова то е забранено. Ако първоначално схемата застане в него, то обратната връзка ще изработва само 0 и регистърът ще се зарежда само с нули. Затова, в генераторите на псевдослучайни последователности, се предвиждат специални мерки за разблокиране на генератора, ако той първоначално се установи в нулево състояние.

Едно такова решение е показано на фиг. 4.59. При нулево състояние на регистъра, на изхода на елемента ИЛИ-НЕ се появява 1. Тази единица предизвиква появата на 1 и на серийния вход на регистъра. Тъй като в нормален режим на работа нулево състояние не възниква, въведените допълнително логически елементи не нарушават процеса на работа.

Таблица 4.2.

Обратни връзки при генератор на псевдослучайни поредици.

| Разредност | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 |
|---------------------------------------|---|---|---|---|---|---|---|----|----|----|----|----|----|----|----|----|----|----|
| Изходи на тригери за обратната връзка | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 |
| | 2 | 3 | 3 | 5 | 4 | 7 | 5 | 7 | 9 | 11 | 10 | 13 | 14 | 14 | 14 | 11 | 18 | 17 |
| | | | | | | 5 | | | | 8 | 6 | 8 | | 13 | | | 17 | |
| | | | | | | 3 | | | | 6 | 4 | 4 | | 11 | | | 14 | |

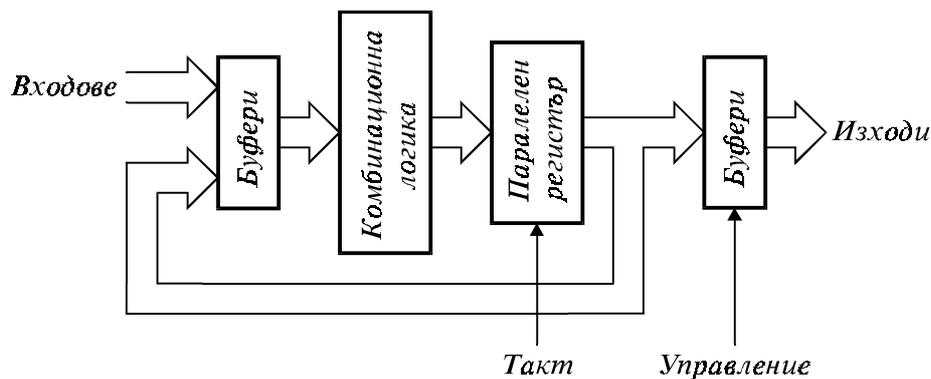
За получаване на последователност с по-голяма дължина се използва преместващ регистър с по-голяма разредност. За всяка дължина на преместващия регистър, съществува определен минимален брой включвания за обратната връзка, при който се достига максималния брой на състоянията. Решенията за разполагането им са поне две, а в

някои случаи и повече. В табл. 4.2 е представено по едно решение за това, от изходите на кои тригери в преместващия регистър трябва да се вземат сигнали за обратната връзка, при разредност на генератора от 3 до 20 бита.

Генераторите на псевдослучайни последователности се използват и като генератори на псевдослучайни числа, когато състоянията на изходите на тригерите от преместващия регистър се интерпретират като двоични числа.

4.4. Регистрова програмируема матрична логика.

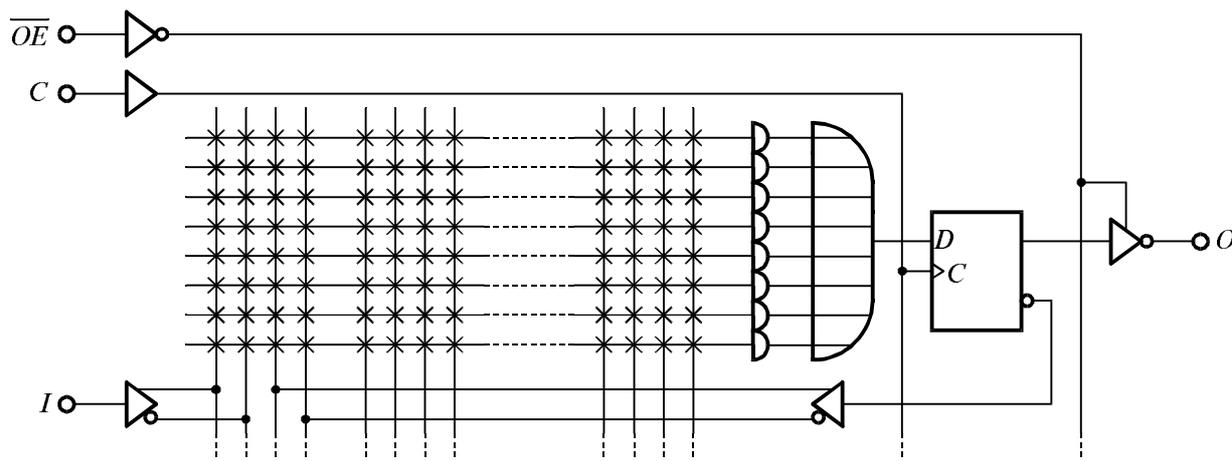
Внимателният поглед върху цифровите устройства, реализирани с използването на синхронна последователна логика, дава възможност да се определи тяхната обща структура, както е показана на фиг. 4.60.



Фиг. 4.60. Обобщена структура на синхронна последователна логика.

Например, в структурата на брояч се наблюдава една основна клетка, съдържаща в себе си тригер, в информационните входове на който е включена комбинационна логика, обработваща сигналите за разрешаването на броенето, за реверсиране на броенето, за паралелното зареждане, за нулирането и т.н. Такава универсална клетка е залегнала в структурата на регистровата програмируема матрична логика. За използвани тригери, в тях са избрани *D*-тригерите, като универсални тригери, чрез които могат да се синтезират всички други тригери, а оттам и всяко устройство с последователна логика.

На фиг. 4.61 е показана основната клетка на типичния регистров PAL — 16R8. Програмируема *I* и фиксирана *ИЛИ* матрица, както при комбинационните PAL, задават входното състояние на *D*-тригер. *D*-тригерът притежава изходен буфер с три състояния. Програмируемата обратна връзка е взета от инверсия изход на *D*-тригера и върната към матриците *I* на всички основни клетки.



Фиг. 4.61. Основна клетка на регистров PAL 16R8.

PAL 16R8 съдържа осем такива основни клетки, като всички тригери се тактуват заедно от общ сигнал C , а всички изходни буфери с три състояния се разрешават от общ сигнал \overline{OE} .

С регистровите PAL могат да се синтезират произволни синхронни автомати. Реализираните с тях структури съкращават 4 и повече пъти броя на корпусите на интегралните схеми, спрямо решение, изградено с конвенционална логика.

Регистровите структури с успех могат да заменят и чисто комбинационни логически устройства. Това е особено полезно, когато при комбинационните устройства вследствие на вътрешните състезания на сигналите, е възможно да се генерират краткотрайни паразитни сигнали. Синхронната регистрова логика елиминира такива паразитни сигнали.

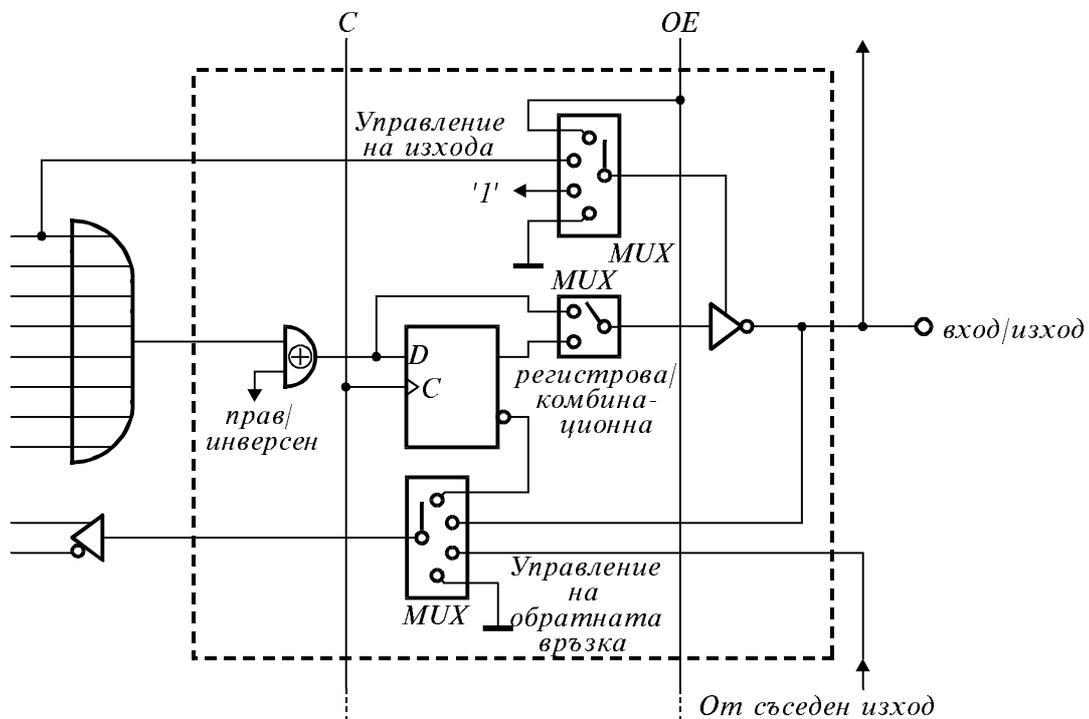
Следващата стъпка в развитието на програмируемата матрична логика е създаването на нова програмируема матрична логика, която обединява възможностите на комбинационните и на регистровите PAL и може да имитира голям брой от тях. Тя носи наименованието базова матрична логика GAL (Generic Array Logic). В структурата си тя съдържа същите полета от И и ИЛИ матрици, както при комбинационните и регистровите PAL, но притежава силно усложнена и допълнително програмируема изходна клетка.

На фиг. 4.62 е показана основната изходна клетка на GAL 16V8 на фирмата Lattice. Обединяването на възможностите на комбинационния и на регистровия PAL е извършено с въвеждането на четири допълнително програмируеми елемента:

— първият от тях е управляем инвертор и е включен в изхода на схемата за логическото събиране. С него се задава активното ниво на изходния сигнал т.е. дали той да излиза прав или инверсен,

— вторият програмируем елемент е мултиплексор, който подава

сигнала към изходния буфер от изхода на D -тригера (както при регистровия PAL) или от неговия вход (както при комбинационния PAL).



Фиг. 4.62. Основна изходна клетка на GAL 16V8.

— третият програмируем елемент е мултиплексор, който определя формирането на обратната връзка. Тя може да бъде взета от изхода на схемата (както при комбинационния PAL), от инверсия изход на D -тригера, (както при регистровия PAL), от изхода на съседната клетка или да бъде изключена.

— четвъртият програмируем елемент е също мултиплексор, който определя управлението на високоимпедансното състояние на изходния буфер. Изходният буфер може да бъде управляван от общо разрешение (както при регистровия PAL), от матрицата ИЛИ (както при комбинационния PAL), да бъде постоянно разрешен или да бъде постоянно забранен.

Фирмата Lattice използва електрическо изтриване на логиката, така че GAL схемата може да бъде препрограмизирана. Други фирми (например Altera) произвеждат изтриваеми с ултравиолетова светлина GAL.

5. ФОРМИРОВАТЕЛНИ И РЕЛАКСАЦИОННИ СХЕМИ

Формирането на импулсите се извършва по следните параметри:

— по продължителност — скъсява се или се удължава широчината на изходния импулс спрямо някой от фронтовете на входния;

— по амплитуда — от входни импулси с произволна форма и амплитуда, по-голяма от определена прагова стойност, се формират изходни импулси, които по амплитуда отговарят на приетите логически нива.

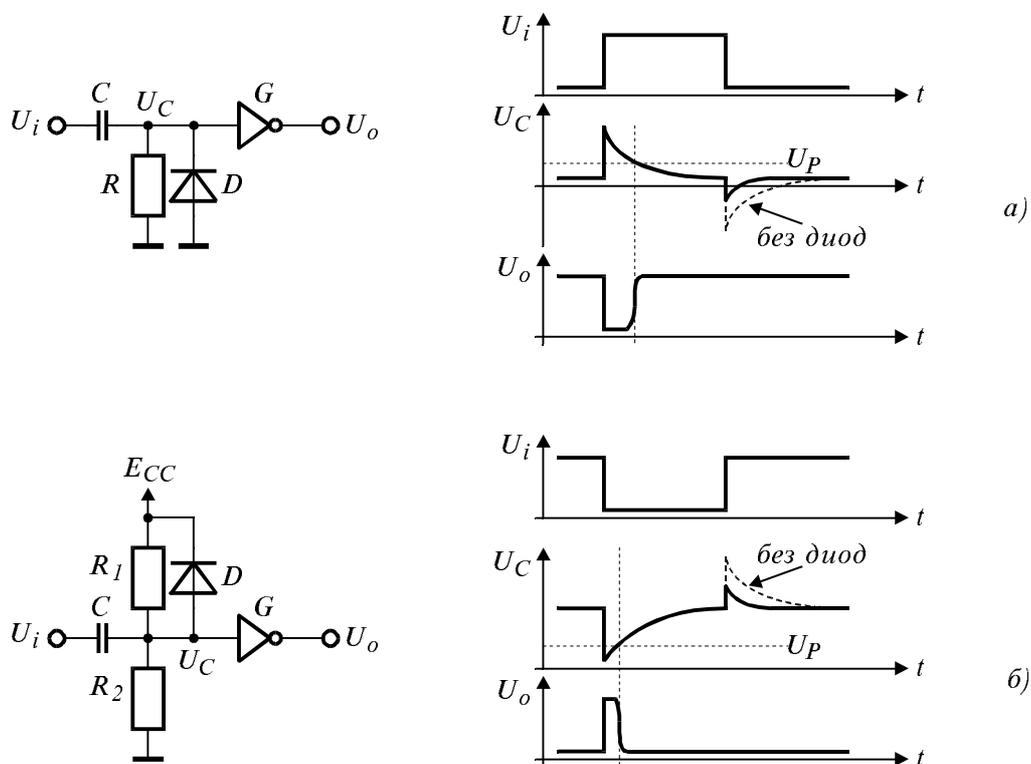
Формирането на импулсите по продължителност се извършва от два вида схеми:

— схеми без обратна връзка;

— схеми с положителна обратна връзка (регенеративни), които се наричат чакащи мултивибратори или моновибратори.

5.1. Формируватели на импулси без обратна връзка

Най-простите формируватели на импулси използват диференцираща или интегрираща верига.



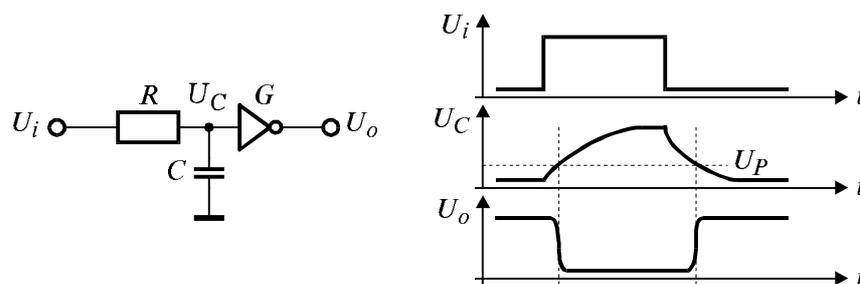
Фиг. 5.1. Формирувател с диференцираща верига, скъсяващ входния импулс: а) — по нарастващия фронт; б) — по спадания фронт.

На фиг. 5.1 са показани формиратели с диференцираща верига, който скъсява входните импулси съответно по нарастващия им фронт (фиг. а) и по спадания им фронт (фиг. б).

За схемата от фиг. 5.1.а на входа на логическия елемент се поддържа θ от свързания към маса резистор R . Постъпващият входен импулс се диференцира от RC -веригата и частта на положителния отскок, която е над прага на превключване на логическия елемент, се формира като изходен импулс. Диодът D ограничава отрицателния отскок на диференцирания импулс, за да не се повреди входът на логическия елемент и същевременно ускорява разреждането на кондензатора. За логическите елементи, които имат вграден защитен диод към маса, неговото поставяне е излишно.

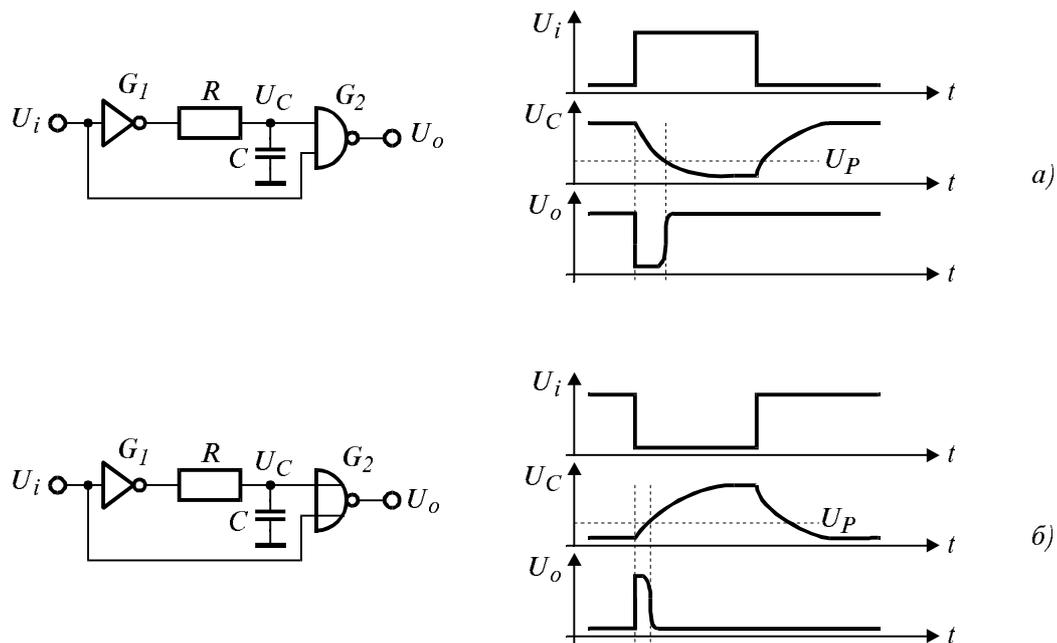
За схемата от фиг. 5.1.б с делителя $R_1 \div R_2$, постоянното напрежение на входа на логическия елемент се избира да съответства на минималната стойност на логическата 1 . При CMOS сериите, R_2 не се поставя. Диодът D се включва, за да предпази входа на логическия елемент от положителния отскок и за да ускори разреждането на кондензатора C . Той не се поставя при логически елементи имащи вграден защитен диод към захранване.

Използването на интегрираща верига предизвиква изместване на изходните импулси, както е показано на фиг. 5.2. Това закъснение може да се използва при формирането на импулси.



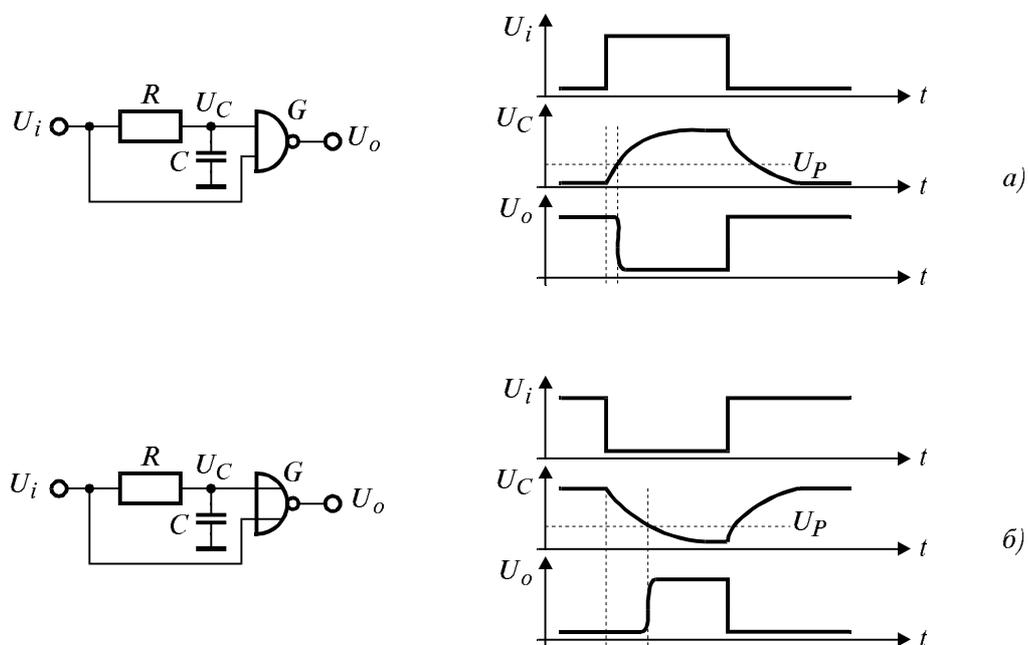
Фиг. 5.2. Формировател с интегрираща верига, закъсняващ входния импулс.

На фиг. 5.3 са показани формиратели с интегрираща верига, скъсяващи входните импулси съответно по нарастващия им фронт (фиг. а) и по спадания им фронт (фиг. б). Изходният сигнал от G_1 се интегрира от RC -групата и постъпва на единия вход на G_2 със закъснение. При схемата от фиг. 5.3.а, когато U_i се измени от θ в 1 и в двата входа на G_2 се получава логическа 1 , докато C се разрежи дотолкова, че U_C да падне под прага на превключване на G_2 . При схемата от фиг. 5.3.б действието е подобно, но при промяна на U_i от 1 в θ .



Фиг. 5.3. Формирувател с интегрираща верига, скъсяващ входния импулс: а) — по нарастващия фронт; б) — по спадания фронт.

Подобни схеми с диференциращи вериги, се използват за "изрязване" на част от импулс — за получаването на "отстъп" по определен фронт на импулс.



Фиг. 5.4. Формиране на "отстъп" в изходния импулс: а) — по нарастващ фронт на входящия импулс; б) — по спадан фронт на входящия импулс.

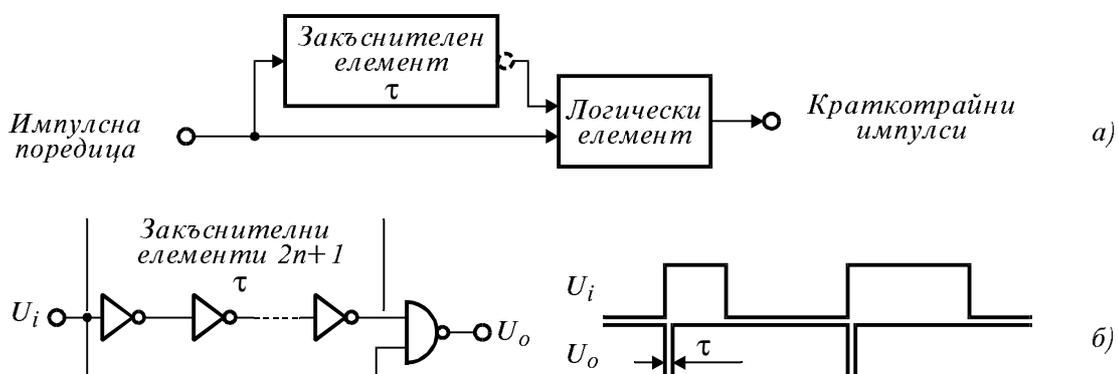
На фиг. 5.4 са показани две схеми на формиране на изместване на

водещия фронт в изходния импулс, като при фиг. 5.4.а изходният импулс е с “отстъп” по нарастващия фронт на входния, а при фиг. 5.4.б — по спадания фронт. И в двата случая следващите фронтове на входния и изходния импулс съвпадат (като се пренебрегне закъснението на логическия елемент).

Характерен недостатък на формирателите без обратна връзка е, че поне един от фронтовете на формирувания импулс се получава при превключване на логическия елемент от експоненциално изменящо се напрежение след диференцираща или интегрираща група (при плавно преминаване на зоната на превключване). При това, този фронт се получава полегат и съществува тенденция за самовъзбуждане на схемата. Формирателите без обратна връзка се препоръчват за формиране на времена не по-големи от 500 ns . За по-големи времена, изходният логически елемент трябва да притежава тригер на Шмит.

За схемата от фиг. 5.1.а, както и за всички схеми, използващи интегриращи вериги, съществуват определени ограничителни условия за резистора R . Изтичащият от изходния логически елемент ток на логическата 0 създава върху R пад на напрежение, който не трябва да превишава зоната на входната логическа 0 . Това ограничава максималната стойност на R . Същевременно, минималната му стойност се определя от условието да не се претоварва изходът на логическия елемент, към който резисторът е включен направо или през кондензатор и да се запазят граничните изходни логически нива. За някои серии интегрални схеми, ограниченията са:

- за стандартна TTL — $240\ \Omega < R < 500\ \Omega$;
- за LS TTL — $560\ \Omega < R < 2\text{ k}\Omega$;
- за ALS TTL — $560\ \Omega < R < 20\text{ k}\Omega$;
- за CMOS — практически няма ограничения.



Фиг. 5.5. Формиратели на краткотрайни импулси.

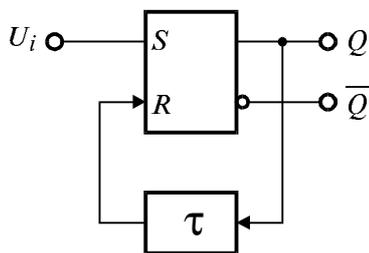
Често в практиката се налага формирането на краткотрайни импулси по нарастващия или спадания фронт (а понякога и по двата

фронта) на импулсна поредица. Общата структурна схема на такива формируватели, показана на фиг. 5.5.а, включва двувходов вентил, в единия вход на който постъпва входната импулсна поредица, а в другия вход — същата импулсна поредица, но закъсняла, с време τ (и евентуално инвертирана). Като закъснителен елемент може да се използва интегрираща RC -верига, закъснителна линия или, както най-често се прави — собственото закъснение на сигнала през един или няколко логически елемента. Продължителността на краткотрайните импулси е приблизително равна на закъснението в използвания закъснителен елемент.

Например, схемата от фиг. 5.5.б формира краткотрайни импулси по нарастващ фронт на импулсна поредица (както схемата от фиг. 5.3.а), но вместо интегрираща верига е използвано вътрешното закъснение на $2n+1$ логически елемента ($n = 0, 1, 2, \dots$).

5.2. Чакащи мултивибратори

Чакащите мултивибратори (наричани още моновибратори) представляват моностабилни генератори, които притежават едно стабилно и едно нестабилно състояние. В стабилното си състояние те могат да стоят неограничено време, докато престояването в нестабилното състояние се определя от някаква времезадаваща верига. При постъпването на активния фронт на входен импулс, те преминават от стабилното си състояние в нестабилното и след изтичането на времето, определено от времезадаващата верига, се връщат отново в стабилното състояние.



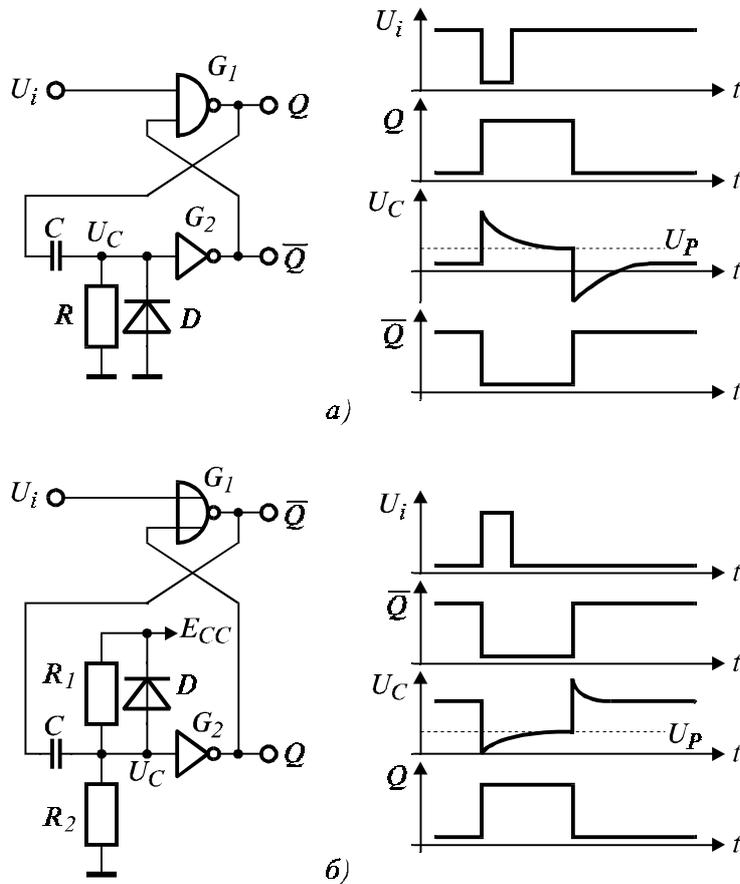
Фиг. 5.6. Типична структура на чакащ мултивибратор.

При изграждането на чакащи мултивибратори, най-често се използва комбинацията от асинхронен SR -тригер и времезадаваща верига, както е показано на фиг. 5.6. Входният импулс превключва SR -тригера, с което се запомня, и може да бъде прекратен. Изходният сигнал от тригера задействува времезадаващата верига, която след определено време, подава

сигнал на другия вход на SR -тригера и го връща в изходно състояние.

При синтезирането на чакащи мултивибратори с логически елементи, за времезадаващи вериги могат да се използват схемите на формируватели без обратна връзка, разгледани в предишната точка

или техни модификации.



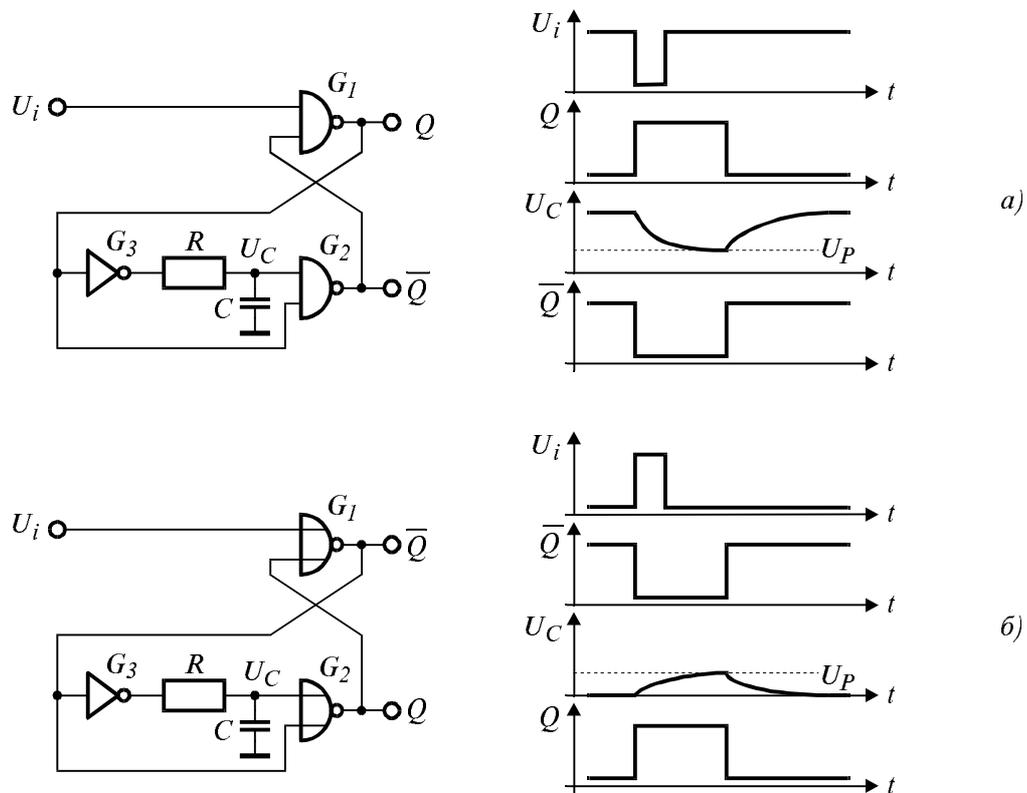
Фиг. 5.7. Чакащ мултивибратори с диференцираща верига: а) — задействан по спадащ фронт на входния импулс; б) — задействан по нарастващ фронт на входния импулс.

Например, в схемата на чакащ мултивибратор от фиг. 5.7.а е използван формирателят от фиг. 5.1. В изходно състояние, $U_i = 1$, $Q = 0$, $\bar{Q} = 1$ и C е практически разреден. При промяна на U_i от 1 в 0, изходът Q превключва в 1 и нарастващият скок на напрежението през C превключва \bar{Q} в 0, с което SR -тригерът се преобръща и входният импулс може да бъде прекратен. Кондензаторът C започва да се зарежда през R , при което U_C намалява и когато се достигне прага на превключване на логическия елемент G_2 , последният отново се превключва ($\bar{Q} = 1$) и връща тригера в изходно състояние. Схемата се възстановява, след като C се разрежда през изходното съпротивление на G_1 и диода D .

По аналогичен начин е изградена и действа схемата на чакащ мултивибратор от фиг. 5.7.б, която използва за времезадаваща верига формирателят от фиг. 5.1.б.

Чакащи мултивибратори, използващи времезадаваща верига от интегриращ тип, са показани на фиг. 5.8. Те използват формиратели с интегрираща верига от фиг. 5.3. SR -тригерът е образуван от логи-

ческите елементи G_1 и G_2 .



Фиг. 5.8. Чакащи мултивибратори с интегрираща верига: а) — задействан по спадещ фронт на входния импулс; б) — задействан по нарастващ фронт на входния импулс.

Използуването на SR -тригер, в структурата на чакащи мултивибратори, има предимството, че паразитните трептения, които могат да възникнат в сигнала след времезадаващата верига, не се отразяват на работата на чакащия мултивибратор — тъй като SR -тригерът се връща в изходно състояние от импулса на първото трептене, останалите не му действат. За показаните на фиг. 5.7 и 5.8 схеми е необходимо по време на връщането на тригера в изходно състояние, входът му U_i да бъде в неактивно ниво, т.е. запускащите импулси да бъдат по-кратки от формираните от чакащия мултивибратор.

В интегрално изпълнение се произвеждат редица чакащи мултивибратори, които имат някои общи специфични особености:

— външно включване на дискретни времезадаващи елементи (най-често резистор и кондензатор), определящи продължителността на генерирания импулс;

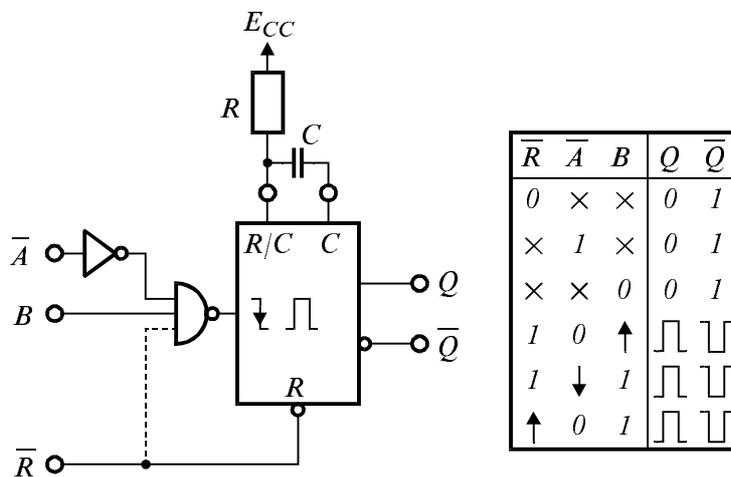
— наличие на няколко входа за задействане по нарастващ и по спадещ фронт на входния сигнал;

— наличие на вход за нулиране, като подаването на импулс на този вход прекратява генерирания импулс.

По своят начин на работа, интегралните чакащи мултивибратори се делят на две големи групи — с удължаване на генерирания импулс (могат да бъдат пуснати по всяко време) и без удължаване на генерирания импулс (не могат да бъдат отново пуснати, докато генерират).

Типичен представител на чакащите мултивибратори с удължаване на генерирания импулс е '123, съдържащ два чакащи мултивибратора в един корпус, чиято функционална схема е показана на фиг. 5.9. Той има два входа за пускане — \bar{A} и B . Сигналите, постъпващи на тези входове са свързани с логическата зависимост $X = \bar{A}B$, като пускането се получава при следните комбинации от входни сигнали:

- преход от 1 в 0 на вход \bar{A} , докато на вход B има 1 ;
- преход от 0 в 1 на вход B , докато на вход \bar{A} има 0 .



Фиг. 5.9. Функционална схема на интегрален чакан мултивибратор, с възможност за удължаване на генерирания импулс — 1/2 '123.

Пускането е възможно, само ако на входа за нулиране \bar{R} е подадена логическа 1 . При $\bar{R} = 0$ входовете се изолират от чакащия мултивибратор и той не може да се пусне. В същото време, се прекратява и генерирането на импулса. Чакащият мултивибратор '123 може да се пусне и при преход от 0 в 1 на входа \bar{R} , ако в същото време на вход \bar{A} има логическа 0 и на вход B — логическа 1 .

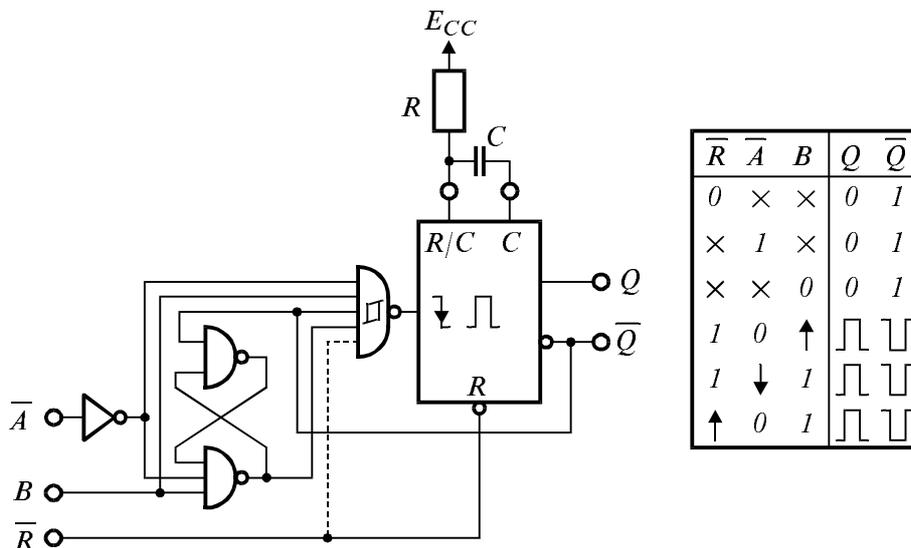
Ако по време на генерирането на импулс, чакащият мултивибратор бъде пуснат отново, според едно от указаните по-горе две условия, той удължава генерирания си импулс със зададеното време. Това удължаване (ново пускане) може да се осъществи неограничен брой пъти. Едно от приложенията на този тип чакащи мултивибратори е като индикатор за наличие на импулсна поредица.

Чакащите мултивибратори от ИС '423 са аналогични по възможности и параметри. Единствената разлика е, че те не могат да се пускат от входа за нулиране — в схемата е премахната връзката между входа

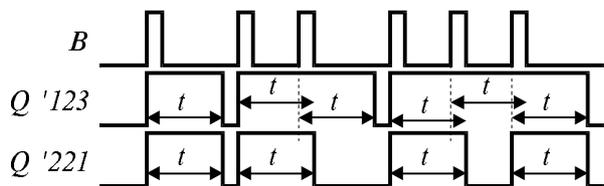
за нулиране и сумирация логически елемент (показана с прекъсната линия на фиг. 5.9). Затова, в таблицата им на истинност, не се съдържа последният ред от таблицата на ИС '123.

Типичен представител на чакащите мултивибратори, работещи без удължаване на генерирания импулс, е '221, съдържащ два чакащи мултивибратора в един корпус, чиято функционална схема е показана на фиг. 5.10. Както и при '123, той има два входа за пускане — \bar{A} и B , като условията за пускане са същите.

Особеност на ИС '221 е, че във входовете е включен тригер на Шмит. Това осигурява задействането на чакащия мултивибратор от входни импулси с много полегати фронтове. Същевременно, включенният във входовете SR -тригер, осигурява пълна независимост на работата на чакащия мултивибратор от продължителността на входните импулси.



Фиг. 5.10. Функционална схема на интегрален чакащ мултивибратор, без възможност за удължаване на генерирания импулс — 1/2 '221.



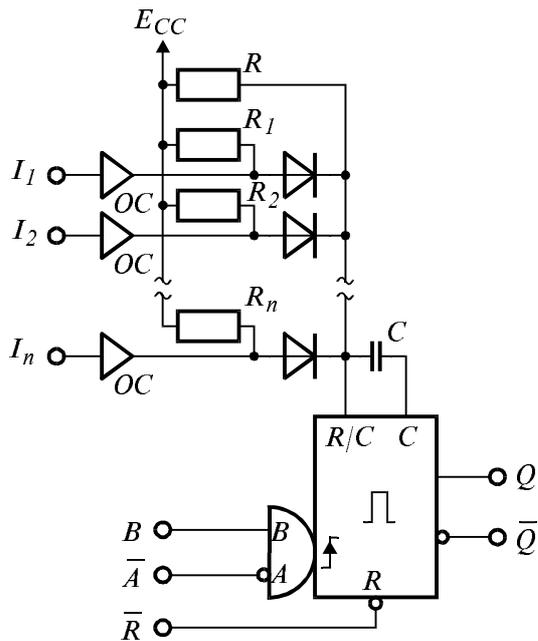
Фиг. 5.11. Работата на чакащи мултивибратори със и без удължаване на генерирания импулс.

Работата на чакащите мултивибратори, нямащи възможност за удължаване на генерирания импулс, се изразява в невъзможност те да бъдат пуснати по време, когато генерират. Освен това, след свършване на генерирания импулс, при тях съществува т.нар. време за възстановяване, през което ако те бъдат пуснати

отново, генерираният импулс е по-кратък от нормалния.

Разликата в работата на чакащите мултивибратори със и без възможност за удължаване на генерирания импулс е илюстрирана на фиг. 5.11, където е дадено поведението на типичните чакащи мултивибратори '123 и '221 при едни и същи пускащи импулсни поредици.

Наличието на външни времезадаващи вериги при интегралните чакащи мултивибратори, създава допълнителни възможности за управление на генерираните импулси.



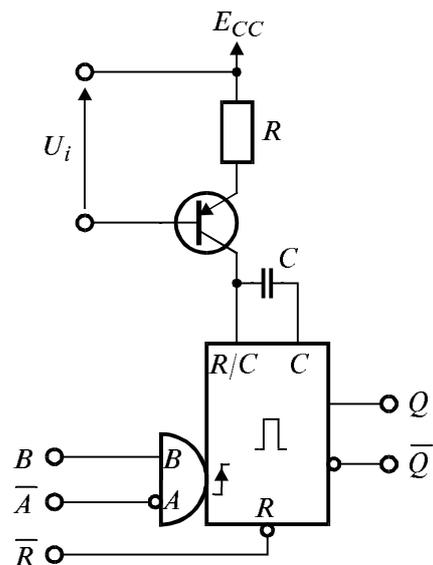
Фиг. 5.12. Цифрово управление на продължителността на изходен импулс от чакан мултивибратор.

Управляващите цифрови сигнали $I_1 \div I_n$ преминават през вентилите с отворен колектор $G_1 \div G_n$. При сигнал $I_i = 1$, съответният разделителен диод се отпушва и свързваният към него резистор се включва към времезадаващата верига. Еквивалентното съпротивление на времезадаващия резистор R_e се определя от:

$$\frac{1}{R_e} = \frac{1}{R} + I_1 \frac{1}{R_1} + I_2 \frac{1}{R_2} + \dots + I_n \frac{1}{R_n}.$$

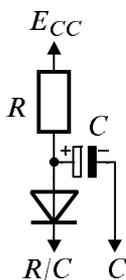
Резисторът R , във времезадаващата верига на интегралния чакан мултивибратор, може да бъде заменен с генератор на ток. Тогава, когато този генератор на ток се направи управляван от напрежение, може да се реализира плавно аналогово управление на продължително-

Например, на фиг. 5.12 е показано цифрово управление на продължителността на изходния импулс на интегрален чакан мултивибратор. Управлението се осъществява чрез превключване на резисторите във времезадаващата верига.



Фиг. 5.13. Управление на продължителността на генерирания импулс от чакан мултивибратор с напрежение.

стта на изходните импулси. Пример за такова управление е показано на фиг. 5.13.

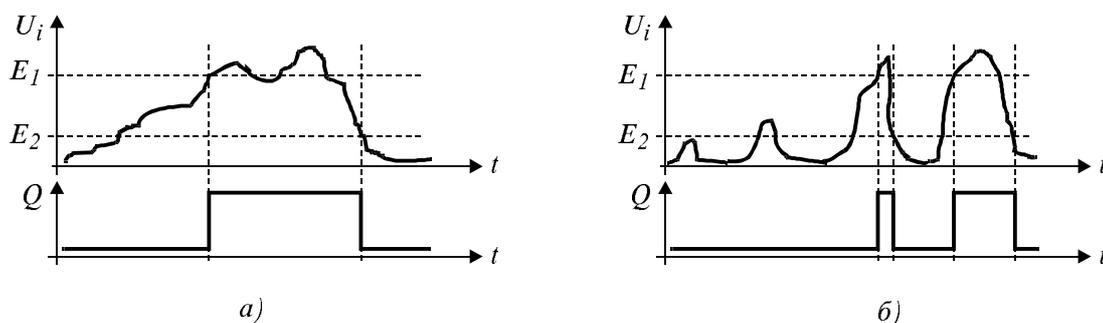


Фиг. 5.14. Включване на електролитен кондензатор.

За формирането на големи времена с интегрален чаканс мултивибратор, често се налага използването на полярен (електролитен) кондензатор. Включването му в хронизиращата верига на моновибратора трябва да стане с допълнителен диод, спиращ обратните напрежения към кондензатора. Начинът на включване е показан на фиг. 5.14.

5.3. Тригери на Шмит

Тригерите на Шмит са формируватели на импулсите по амплитуда (ниво). Те са прагови устройства, които реагират на определено ниво на входния сигнал. Характеризират се с две критични нива на входния сигнал — ниво на задействане и ниво на отпускане. Разликата между тези нива определя хистерезисната област и е специфична особеност на тригера на Шмит.

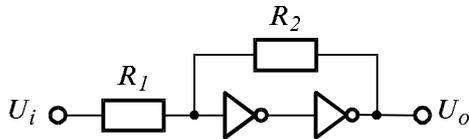


Фиг. 5.15. Основни приложения на тригер на Шмит: а) — формирувател на импулси; б) — амплитуден дискриминатор.

Тригерите на Шмит се използват главно за формиране на правоъгълни от бавноизменящи се сигнали (импулси с полегати фронтове), които не отговарят на изискванията на цифровите схеми (фиг. 5.15.а). Друго основно приложение на тригерите на Шмит е в амплитудни дискриминатори за отделянето на импулси с по-голяма (или по-малка) амплитуда от зададена (фиг. 5.15.б).

Тригер на Шмит може да се изгради с два логически инвертора —

фиг. 5.16. През резистора R_2 се осъществява положителна обратна връзка, а R_1 (съвместно с R_2) осигурява хистерезиса на тригера.



Фиг. 5.16. Тригер на Шмит с логически елементи.

При разчетите, R_1 включва изходното съпротивление на източника на входен сигнал и съпротивлението на включения последователно във входната верига резистор. Прагът на задействане E_1 на тригера, зависи от съпротивлението на резисторите R_1 и R_2 и се

определя от зависимостта:

$$E_1 = \frac{R_1 + R_2}{R_2} \left(U_P - \frac{R_1}{R_1 + R_2} U_o^0 - \frac{R_1 R_2}{R_1 + R_2} I_i^0 \right).$$

Прагът на изключване E_2 е равен на:

$$E_2 = \frac{R_1 + R_2}{R_2} \left(U_P - \frac{R_1}{R_1 + R_2} U_o^1 - \frac{R_1 R_2}{R_1 + R_2} I_i^0 \right).$$

Широчината на хистерезисната област ΔE се получава:

$$\Delta E = \frac{R_1}{R_2} (U_o^1 - U_o^0).$$

В уравненията са използвани следните означения:

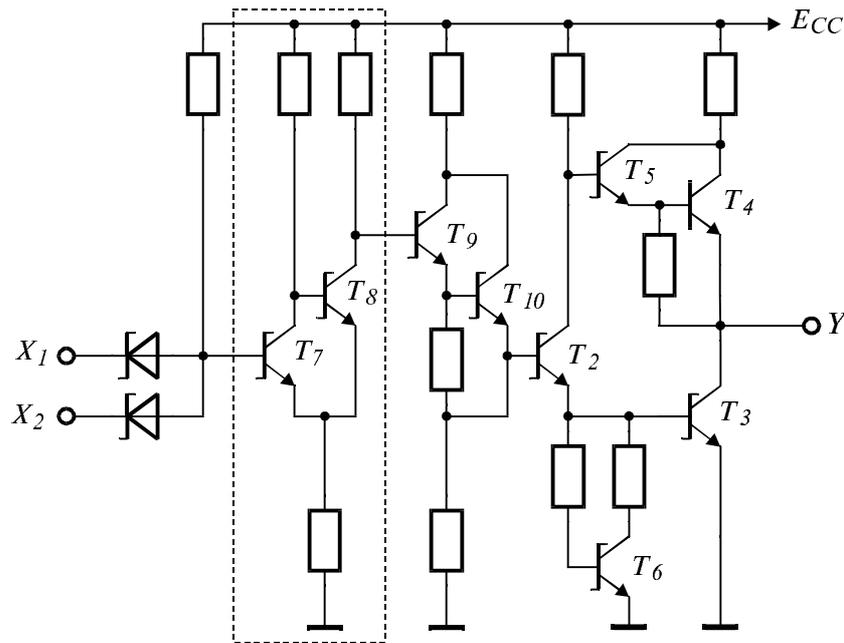
- U_P — праг на превключване на логическия елемент;
- U_o^0, U_o^1 — напрежения, съответно на изходните 0 и 1 на логическия елемент;
- I_i^0 — входен ток при входна 0 на логическия елемент.

Резисторът R_2 може да се избере в широки граници. Неговото намаляване увеличава широчината на хистерезиса, а увеличаването му я намалява. Ролята на съпротивлението R_1 е обратното. Когато се използват TTL схеми, при избора на R_1 трябва да се държи сметка за входния ток I_i^0 , който може да създаде недопустимо голям пад върху $R_1 \parallel R_2$ и да направи работата на тригера невъзможна.

В интегралната схемотехника намират широко приложение схеми, притежаващи вградени във входовете си тригери на Шмит. В TTL сериите, включените тригери на Шмит се изграждат чрез транзисторни схеми с емитерна връзка.

На фиг. 5.17 е показана вътрешната структура на двуходов елемент И-НЕ 'LS132, като с прекъснатата линия е оградено стъпалото, представляващо тригер на Шмит. Входната верига е диодно И, а тран-

зисторите T_7 и T_8 , с общото си емитерно съпротивление, образуват тригера на Шмит. Допълнително е включено буферно повторително стъпало, реализирано със съставния транзистор T_9 и T_{10} , осигуряващо съгласуването на потенциалите в изхода на тригера на Шмит и входа на сложния инвертор (T_2 и др.). Двата прага на превключване на схемата 'LS132 са 1,66 и 0,86 V.

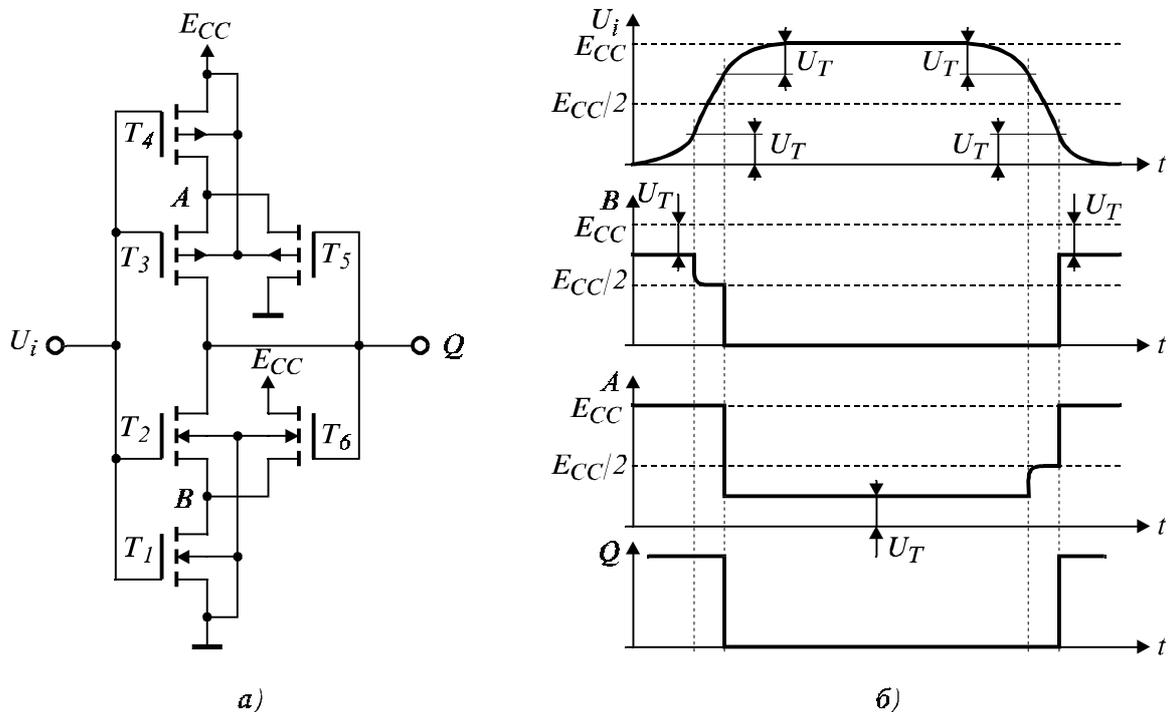


Фиг. 5.17. TTL елемент 'LS132, съдържащ в себе си интегрален тригер на Шмит

В MOS интегрално изпълнение, също се използват транзисторни структури със сорсова връзка, но те имат редица особености, отличаващи ги от съответните биполярни структури. На фиг. 5.18 е показана най-често използвана схема на CMOS тригер на Шмит. Входният сигнал се подава на гейтовете на четири последователно включени транзистори $T_1 \div T_4$. Положителната обратна връзка се осъществява от транзисторите T_5 и T_6 , свързани като сорсови повторители.

При входно напрежение $U_i = 0$, транзисторите T_3 и T_4 са отпушени а T_1 и T_2 са запущени и потенциалът в изхода е $Q = E_{CC}$. T_5 е запущен а T_6 — отпушен и напрежението в сорса му е $B = E_{CC} - U_T$. Когато входното напрежение започне да нараства, при $U_i = U_T$ се отпушва T_1 и напрежението E_{DD} се разделя приблизително по равно между T_6 и T_1 ($B = E_{CC}/2$). При достигане на $U_i = E_{CC}/2 + U_T$ се отпушва и T_2 , и през веригата на последователно свързаните транзистори $T_1 \div T_4$ протича ток. Напрежението в изхода Q се понижава, през

T_6 се понижава и B , което още повече отпушва T_2 и т.н.



Фиг. 5.18. CMOS интегрален тригер на Шмит.

Веригата на положителната обратна връзка предизвиква лавинообразен процес, който завършва с пълно отпушване на T_2 и със запушване на T_6 . В същото време, в горната половина на схемата протича втори лавинообразен процес, подпомагаш развитието на първия — щом напрежението в изхода Q започне да се понижава, се отпушва T_5 и като сорсов повторител понижава напрежението в A , това запушва по-силно T_3 и предизвиква ново понижаване на напрежението в Q и т.н. В резултат на този лавинообразен процес, T_3 и T_4 се запушват напълно, а T_5 се отпушва и $A = U_T$. Тригерът на Шмит се превключва и $Q = 0$.

При намаляване на U_i първо се отпушва T_4 — когато $U_i < E_{CC} - U_T$ и $A = E_{CC}/2$. T_3 започва да се отпушва при $U_i = E_{CC}/2 - U_T$, когато се развиват обратните лавинообразни процеси и T_3 и T_6 се отпушват, а T_1 , T_2 и T_5 се запушват.

Превключването на схемите при нарастващия и при спадания фронт на входния импулс става много бързо, което осигурява стръмни фронтове на изходния сигнал и минимална консумация на схемата. Широчината на хистерезисната област е $\Delta E = 2U_T$ и зависи от праговото напрежение U_T на използваните транзистори. Поради пълната

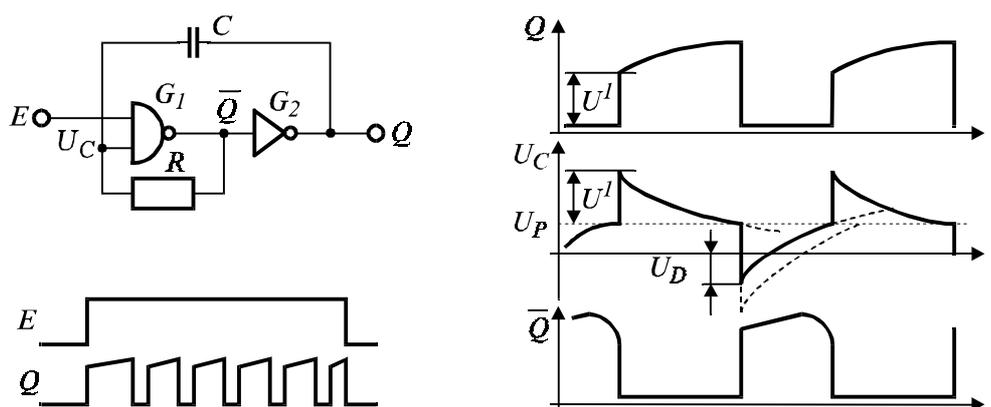
симетрия на схемата, хистерезисната област е разположена в средата между захранването и масата.

5.4 Релаксатори

Релаксаторите (осцилатори) са астабилни мултивибратори с две временно устойчиви състояния. Те непрекъснато преминават от едното неустойчиво състояние в другото, при което генерират импулси.

5.4.1 RC-релаксатори

На фиг. 5.19 е показана най-простата схема на релаксатор с логически елементи, използваща два инвертиращи логически елемента и една RC-верига. Действието ѝ се пояснява от показаната на същата фигура времедиаграма. Ако $\bar{Q} = 0$, то $Q = 1$ и кондензаторът C се презарежда, като потенциалът U_C на входа на G_1 се стреми към нула. При достигане на праговото напрежение U_P , веригата за положителна обратна връзка се задейства, G_1 и G_2 превключват, при което $\bar{Q} = 1$ и $Q = 0$. Напрежението U_C се променя скокообразно с размаха на изходното напрежение на G_2 , тъй като напрежението върху кондензатора C не може да се промени за краткото време на превключване. При използването на логически елементи, имащи интегрирани защитни диоди във входната си верига, скокът на U_C ще бъде само до $-U_D$ (U_D е падът върху отпушения диод).



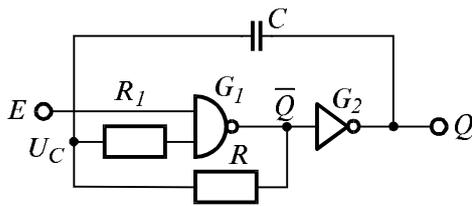
Фиг. 5.19. RC-релаксатор с логически елементи.

След превключването, кондензаторът започва да се зарежда с обратен поляритет, като U_C се стреми към напрежението на изходната логическа 1 на G_2 . При $U_C = U_P$, G_1 започва да се превключва и схема-

та скокообразно се връща в първото квазиустойчиво състояние ($Q = 1, \bar{Q} = 0$). Скокът на напрежението U_C отново е равен на размаха на изходното напрежение на G_2 . Ако се използват логически елементи с вграден защитен диод във входа си към E_{CC} (например CMOS), U_C ще се ограничи до $E_{CC} + U_D$.

Трябва да се има предвид, че през резистора R протича и входния ток на G_1 , който създава върху него пад на напрежение и се намесва в определянето на честотата на импулсите. При някои серии, този ток е значителен, което въвежда ограничение в избора на стойността на R . Например, при използване на логически елементи от серията LS, R обикновено се избира в границите от 430 до 1800 Ω . За ориентировачно определяне на честотата на трептенията F може да се използва формулата:

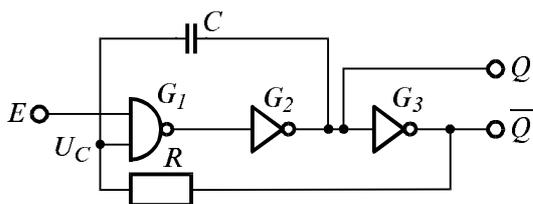
$$f = \frac{1}{3RC}$$



Фиг. 5.20. Прост RC-релаксатор с CMOS логически елементи.

се ограничава, като амплитудата на скокообразните изменения е равна на E_{CC} . По този начин се премахва зависимостта на честотата на генерираните импулси от стойността на захранващото напрежение. В този случай, за приблизително изчисление на честотата може да се използва формулата:

$$f = \frac{1}{2,3RC}$$



Фиг. 5.21. RC-релаксатор с използване на двата взаимноинверсни изхода.

При реализирането на този релаксатор с CMOS елементи, се препоръчва включване на допълнителен резистор между общата точка на R и C и входа на G_1 , както е показано на фиг. 5.20. Този резистор разделя кондензатора C от интегрираните защитни диоди във входната верига на G_1 и по време на превключването U_C , не

се ограничава, като амплитудата на скокообразните изменения е равна на E_{CC} . По този начин се премахва зависимостта на честотата на генерираните импулси от стойността на захранващото напрежение. В този случай, за приблизително изчисление на честотата може да се използва формулата:

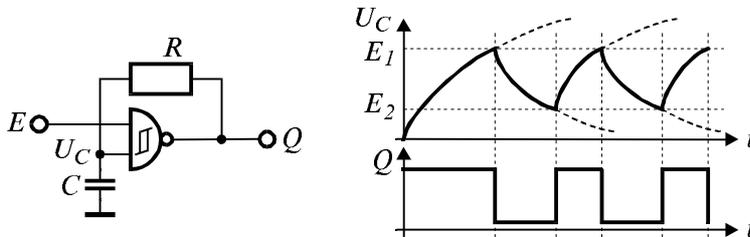
Релаксаторът може да се пуска и спира от външен сигнал, който се подава на входа E . Релаксаторът работи при $E = 1$ и спира при $E = 0$. В изхода Q , сигналът е 0 по време на паузите между пакетите. Трябва да се има предвид обаче, че първият импулс от па-

кета е с около 30 до 50 % по-голяма продължителност от следващите.

Един от недостатъците на показаните релаксатори е, че импулсен сигнал може да се ползува само от изхода Q . При това стойността на изходното напрежение почти е равна на граничното ниво на логическите нива. Този недостатък се отстранява, когато резисторът R се включи паралелно на три последователно свързани логически елемента, както е показано на фиг. 5.21.

5.4.2. Релаксатор с тригер на Шмит

Релаксатор от инвертиращ логически елемент с тригер на Шмит е показан на фиг. 5.22. Генерирането на импулси се определя от периодичното зареждане и разреждане на поставен във входа на логическия елемент кондензатор, през включен между него и изхода резистор.



Фиг. 5.22. RC -релаксатор, изграден с инвертиращ елемент, притежаващ вграден тригер на Шмит.

В първия момент след включване на захранването, напрежението U_C върху кондензатора е нула и $Q = 1$. Кондензаторът започва да се зарежда през резистора R , като се стреми да се зареди до напрежението на изходната 1 на логическия елемент. Когато напрежението на кондензатора достигне прага на задействане E_1 , тригерът на Шмит превключва и $Q = 0$. Сега кондензаторът започва да се разрежда през R , като напрежението върху него се стреми към стойността на изходната 0 . Когато U_C достигне прага E_2 тригерът на Шмит превключва отново, $Q = 1$ и кондензаторът пак започва да се зарежда. Периодът T на генерираните импулси се определя от стойността на двата прага E_1 и E_2 и от времеконстантата RC .

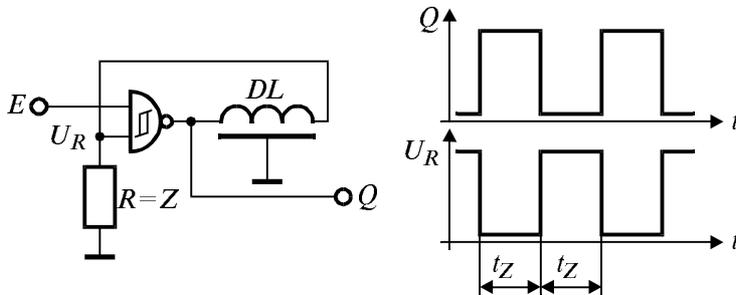
$$T = RC \cdot \ln \frac{E_1(U_o^1 - E_2)}{E_2(U_o^1 - E_1)}$$

Когато релаксаторът се пуска от външен сигнал или чрез включване на захранването, първият импулс е по-дълъг от следващите.

5.4.3. Релаксатор със закъснителна линия

С помощта на закъснителни линии се изграждат релаксатори с ви-

сока честотна стабилност. На фиг. 5.23 е дадена схема на генератор с един инвертиращ логически елемент, чиито трептения са стабилизиращи със закъснителна линия DL . Съпротивлението R е равно на характеристикния импеданс Z на закъснителната линия.



Фиг. 5.23. Релаксатор с логически елемент и закъснителна линия.

Закъснителната линия съединява входа и изхода на логическия елемент. Всяко изменение на изходния сигнал след време, равно на времето на закъснение на линията t_Z , се предава на входа на логическия елемент и той съответно се превключва. Импулсите, които се получават в изхода на релаксатора са симетрични и честотата им (при пренебрегване на собственото закъснение на логическия елемент) се определя от:

$$f = \frac{1}{2t_Z}$$

Генераторите на импулси, със закъснителна линия за времезадаващ елемент, се характеризират с незначително влияние на честотата на генерираните импулси от захранващото напрежение. Температурната нестабилност на честотата е практически равна на температурната нестабилност на използваната закъснителна линия. Необходимо е обаче фронтът на изходния импулс от закъснителната линия да е достатъчно стръмен — не повече от $30 \div 50 \text{ ns}$. В противен случай, влияние върху честотата на генериране започва да оказва температурното изменение на прага на превключване на логическия елемент.

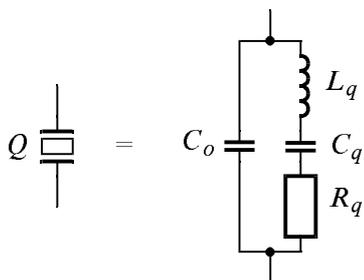
Закъснителната линия натоварва изхода на логическия елемент, затова нейното характеристично съпротивление трябва да бъде съобразено с товароспособността на изхода. Препоръчват се закъснителни линии с характеристично съпротивление по-голямо от 500Ω .

Релаксаторът със закъснителна линия може да се управлява от външен сигнал, който се подава на входа E . При това, всички импулси от пакета са с еднаква продължителност.

5.4.4. Кварцово стабилизиращи релаксатори

Когато е необходима точна и стабилна във времето честота на ге-

нериране, се използват релаксатори с кварцови резонатори. Кварцовият резонатор представлява електромеханична система, образувана от кварцова пластина, изрязана с подходяща ориентация спрямо осите на естествен или синтетичен кварцов кристал и нанесени върху нея електроди. Използува се обратният пиезоефект, при който при подаването на електрически сигнали с определена честота към електродите на резонатора, в него се появяват механични трептения. Тяхната амплитуда е най-голяма, когато честотата на сигналите съвпадне със собствената резонансна честота на кварцовата пластина.



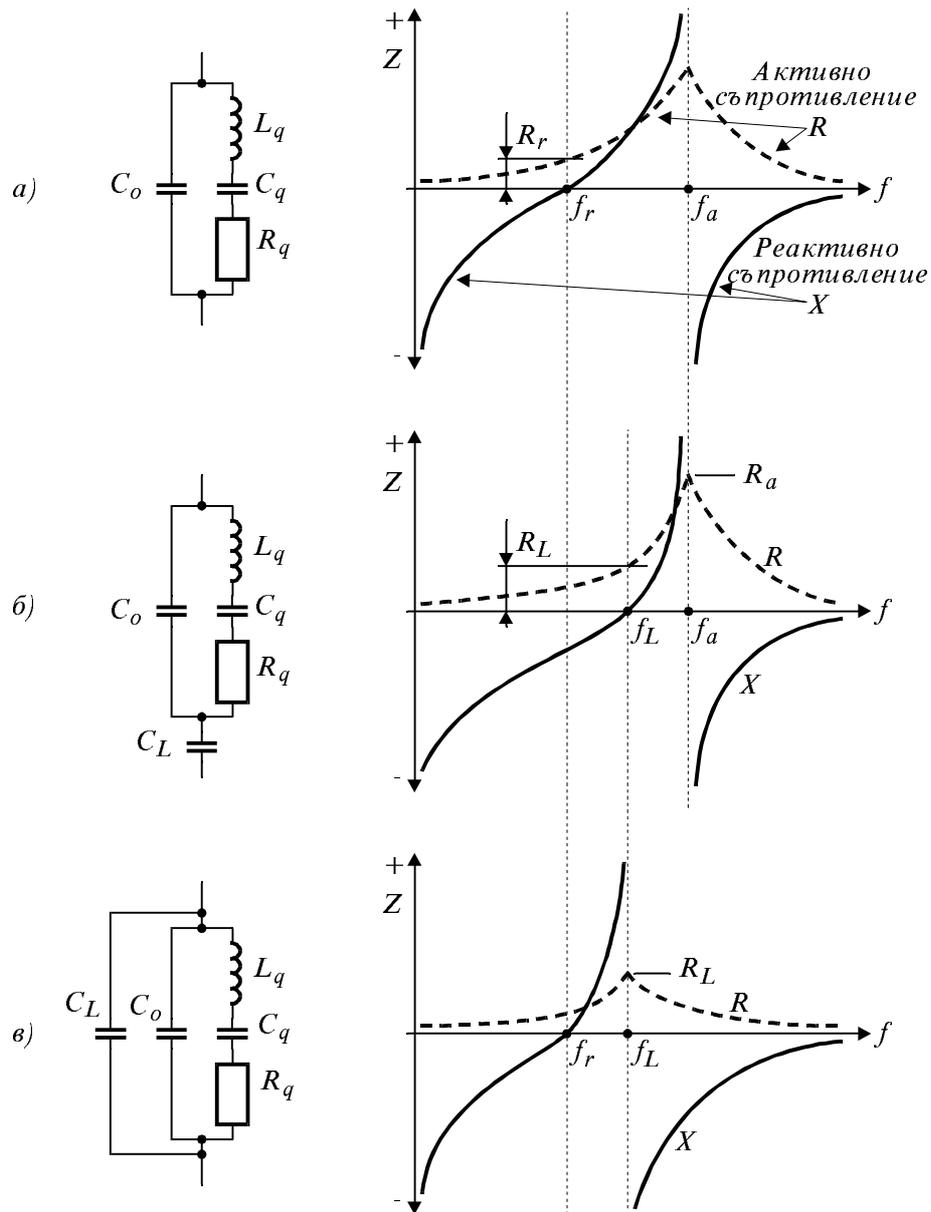
Фиг. 5.24. Еквивалентна схема на кварцов резонатор.

По отношение на външната електрическа верига кварцовият резонатор може да се представи като еквивалентен трептящ кръг — фиг. 5.24. В него R_q , L_q и C_q се определят от параметрите на кварцовата пластинка, а C_0 от междуелектродния капацитет.

Честотна характеристика на кварцов резонатор е показана на фиг. 5.25.а. Върху нея се вижда присъствието на два резонанса — последователен при честота f_r и паралелен при честота f_a . Двата резонанса са много близки един до друг в честотната област. При последователния резонанс, реактивното съпротивление X_r е равно на нула, а активното R_r има малка стойност. При паралелния резонанс, реактивното съпротивление X_a клони към безкрайност, а активното R_a има сравнително голяма стойност. Най-важната особеност на този трептящ кръг, е изключително високият качествен фактор — от порядъка на няколко десетки хиляди.

При включване на допълнителен кондензатор последователно или паралелно на кварцовия резонатор, честотната характеристика се променя. При последователно свързване на кондензатор, честотата на паралелния резонанс f_a не се променя, докато тази на последователния нараства — фиг. 5.25.б. При паралелно включване на кондензатор, честотата на последователния резонанс f_r не се променя, докато тази на паралелния намалява — фиг. 5.25.в.

При определена стойност на допълнителния капацитет C_L , която е специфична за всеки тип резонатор, двете изменени резонансни честоти се изравняват. Тази стойност на C_L се посочва от производителите, а стойността на изменената резонансна честота при $f_a = f_r$ се отбелязва върху корпуса на резонатора.

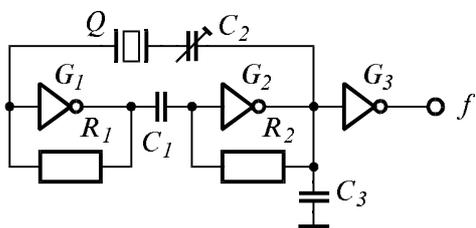


Фиг. 5.25. Честотни характеристики на кварцов резонатор.

По принцип, всеки релаксатор се състои от усилвател и честотно зависима обратна връзка. Осцилации настъпват при изпълняване на комплексното условие $\dot{K}\dot{\beta} > 1$, където \dot{K} е комплексният коефициент на усилване на усилвателя, а $\dot{\beta}$ — комплексният коефициент на предаване на обратната връзка (при точно изпълняване на условието $\dot{K}\dot{\beta} = 1$ осцилациите са синусоидални). Комплексното условие съдържа в себе си две подусловия — амплитудно и фазово. Когато се използва честотно задаващ елемент в обратната връзка, условието за осцилиране трябва да се изпълнява за генерираната честота. Ако се приеме, че усилвателят е честотно независим, съществуват две решения за

възбуждането на осцилации. Първото решение изисква честотно задаващият елемент да има малък импеданс за генерираната честота и да бъде включен в положителна обратна връзка (използуване на неинвертиращ усилвател). Второто изисква честотно задаващият елемент да има голям импеданс за генерираната честота и да бъде включен в отрицателна обратна връзка (използуване на инвертиращ усилвател).

При импулсно възбуждане на кварцовия резонатор, освен основното трептене възникват и странични трептения. Затова в релаксаторите с кварцова стабилизация трябва да се използват кварцови резонатори с подобрена моночестотност. Въпреки това, трябва да се вземат мерки за принудително отслабване на висшите хармоници.

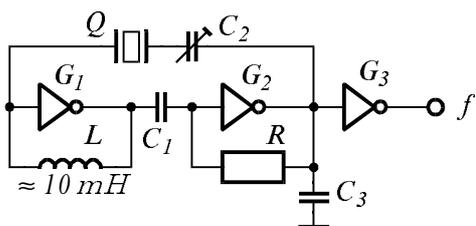


Фиг. 5.26. Кварцово стабилизирани релаксатор, използващ последователния резонанс на резонатора.

При кварцовите осцилатори, изпълнявани с TTL елементи, поради сравнително малкото входно съпротивление на елементите, се използва предимно последователният резонанс на кварцовия резонатор. В този случай, от съществено значение е собственото съпротивление R_p , тъй като то определя затихването при преминаването на сигнала през резонатора.

Схема на такъв осцилатор е показана на фиг. 5.26.

Елементите G_1 и G_2 образуват неинвертиращата усилвателна част на осцилатора. Чрез паралелно включените резистори R_1 и R_2 , работните им точки се установяват в активната част на предавателните характеристики. Кондензаторът C_1 разделя постояннотоковия режим на двата елемента. Резонаторът Q е включен заедно с донастройващия капацитет C_2 в положителна обратна връзка. Кондензаторът C_3 подтиква висшите хармоници и има емпирично определен капацитет $C_3 = 680/f$. Тук f е честотата на генериране в MHz , а капацитетът е в pF . Елементът G_3 буферира осцилаторната система и изходния товар.



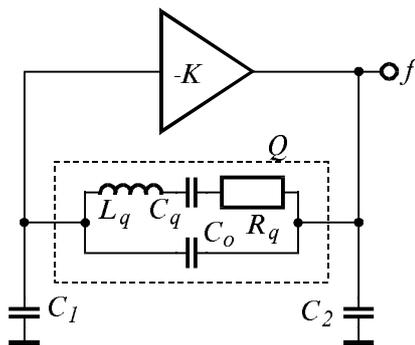
Фиг. 5.27. Кварцово стабилизирани релаксатор за работа на честоти под 1 MHz.

При работни честоти под 1 MHz, се препоръчва вместо резистор, паралелно на G_1 да се включи бобина с индуктивност около 10 mH — фиг. 5.27.

Тъй като постояннотоковото съпротивление на бобината е малко, входът и изходът се оказват свързани по постоянен ток и

работната точка на елемента е равна на праговото му напрежение U_P . Същевременно, бобината има високо съпротивление за генерираната честота и кварцовият резонатор се шунтира само от входното съпротивление на G_I .

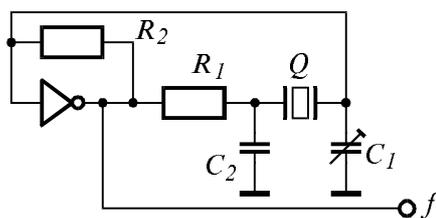
В кварцово стабилизираните релаксатори, изпълнени със CMOS елементи, също може да се използва последователният резонанс на кварцовия кристал. Схемите от фиг. 5.26 и 5.27 са напълно приложими.



Фиг. 5.28. Структурна схема на генератор на Пирс.

Това по същество е генератор на Колпиц, по триточкова капацитивна схема, в която индуктивността е заменена с кварцов резонатор.

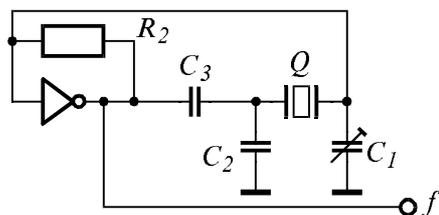
Практическа схема на генератор на Пирс е показана на фиг. 5.29. Последователно свързаните (през масата) кондензатори C_1 и C_2 се явяват паралелно свързани на кварцовия резонатор, т.е. $C_L = C_1 C_2 / (C_1 + C_2)$.



Фиг. 5.29. Кварцово стабилизиран генератор на Пирс с CMOS елемент.

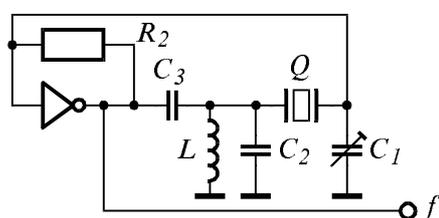
Препоръчва се $C_1 = C_2 = 2C_L$, като C_1 е донастройващ, за фино регулиране на честотата. За оптимална работа на генератора на Пирс, е необходимо изходният импеданс на усилвателната схема да бъде равен на товарния импеданс (в случая — на кварцовия резонатор, заедно със C_L). Ролята на изходен импеданс се играе от R_1 , т.е. $R_1 = Z_L$. Ако обаче R_1 е много голямо, могат да настъпят недопустими фазови измествания и генераторът да не заработи. Затова на практика R_1 се ограничава до около $2,2 \text{ k}\Omega$. R_2 въвежда логическия елемент в активната област на предавателната му характеристика и неговата стойност се избира между 1 и $10 \text{ M}\Omega$.

Поради високото входно съпротивление на CMOS, при тях не само е възможно но и по-широко се използва паралелният резонанс на кварцовия резонатор. Най-често се прилага известният генератор на Пирс, където кварцовият резонатор е включен в обратната връзка на инвертиращ усилвател — фиг. 5.28. Това по същество е генератор на Колпиц, по триточкова капацитивна схема, в която индуктивността е за-



Фиг. 5.30. Генератор на Пирс за работа на честоти над 4 MHz.

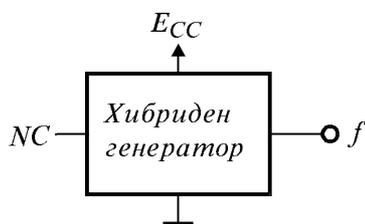
се замени с кондензатор, чиято стойност е приблизително равна на C_L . Това е направено с кондензатора C_3 в схемата от фиг. 5.30.



Фиг. 5.31. Генератор на Пирс за работа на висш хармоник на кварцовия резонатор.

схема на генератор на Пирс, работещ на третия хармоник на кварцовия резонатор. Тя е подобна на тази от фиг. 5.30, като допълнително е поставена бобината L . Нейната стойност се избира така, че заедно със C_3 да образува филтър C_3/L , който да шунтира нисшия хармоник.

5.4.5. Интегрални релаксатори



Фиг. 5.32. Хибриден интегрален генератор

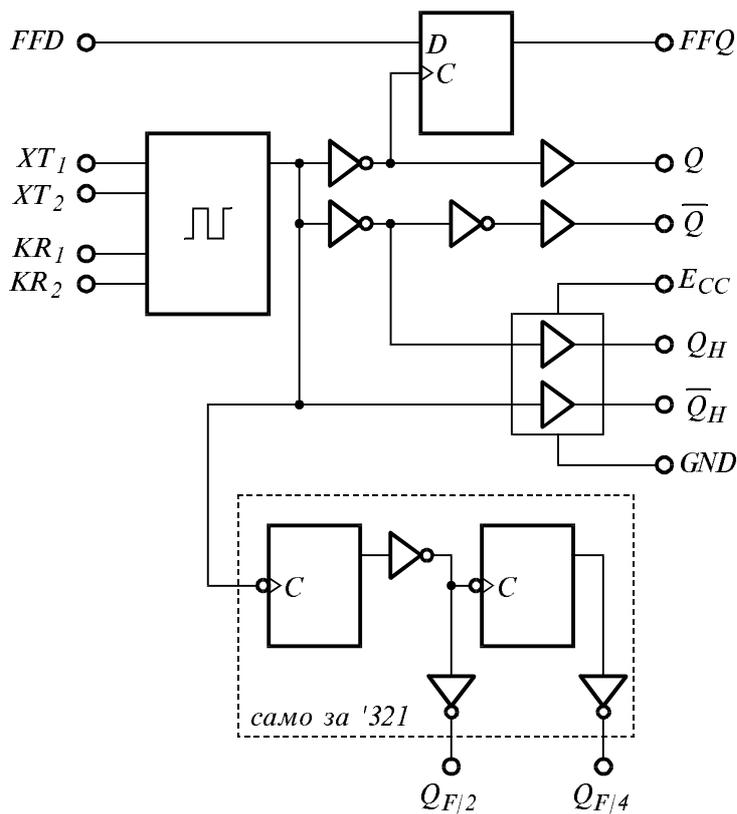
Показаната на фиг. 5.29 схема може да се използва за честоти, за които закъснението на сигнала през логическия елемент не внася съществена фазова разлика. Например, при използване на елемент от НСУ серията, схемата може да се приложи за честоти до около 4 MHz. За по-високи работни честоти, се препоръчва R_1 да

Повечето от произвежданите кварцови резонатори използват основен хармоник за работа до 25 MHz, трети хармоник за работа от 10 до 75 MHz и пети хармоник за работа от 50 до 125 MHz. Когато се изгражда релаксатор, работещ на някой от висшите хармоници, е необходимо да се вземат мерки за подтискането на нисшите. На фиг. 5.31 е показана

Понастоящем, много производители предлагат готови генератори с кварцова стабилизация като хибридни интегрални схеми. Тяхното използване е много лесно и удобно. Те притежават четири извода (фиг. 5.32), като единият е несвързан, чрез други два се захранва схемата с напрежение 5 V и на един от изводите се получават импулсите, които са TTL и CMOS съвместими. Предлаганите хибридни генератори покриват широка гама от най-често използва-

ните честоти в цифровата електроника.

В интегралната схемотехника се произвеждат и генератори с външно включване на кварцовия резонатор, имащи някои допълнителни възможности, спрямо посочените по-горе хибридни генератори. Такива са например интегралните схеми '320 и '321, чиято структурна схема е показана на фиг. 5.33.



Фиг. 5.33. Структурна схема на интегралните генератори '320 и '321.

Кварцовият резонатор се включва към изводите XT_1 и XT_2 . За да се осигури работа на основната му честота, между изводите KR_1 и KR_2 трябва да се включи малка индуктивност ($L = 5 \div 100 \text{ mH}$ с качествено число $30 \div 40$) или резистор със съпротивление около 130Ω . Когато се работи на висш хармоник, между KR_1 и KR_2 се включва трептящ кръг, настроен на съответната честота. Честотният обхват за схемите от LS серията е от 100 kHz до 20 MHz .

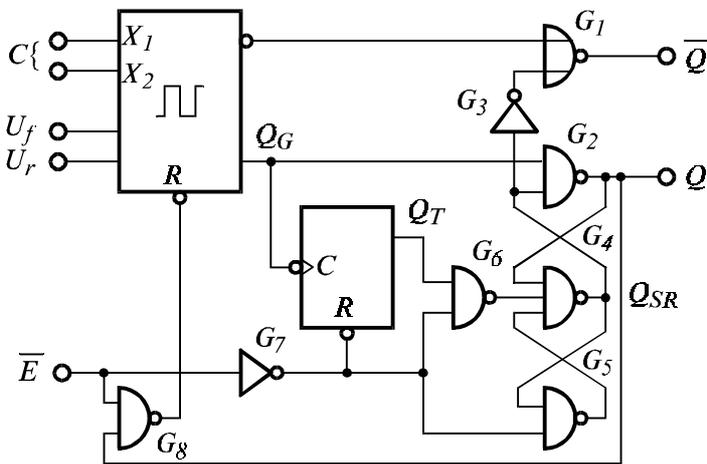
В структурата е включен D -тригер, предназначен за синхронизиране на външни сигнали, постъпващи на входа FFD , с генерираните импулси и излизаци на изхода FFQ . ИС '321 съдържа и честотен делител (заграден с прекъснатата линия на фиг. 5.33), от който могат да се получават импулси с двойно и четворно по-ниска честота от основната — съответно на изводите $Q_{F/2}$ и $Q_{F/4}$.

Освен стандартните изходи Q и \bar{Q} , са предвидени и два изхода с

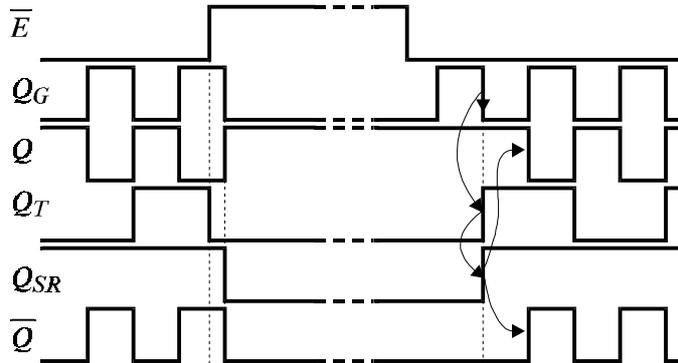
повишена мощност — Q_H и \bar{Q}_H , осигурявани от специални буфери, имащи отделно захранване. Отделното захранване трябва да се включва само ако се използват мощните буфери. Те са способни да подават сигнала към съединителни линии с голям капацитет.

Друга група от интегралните релаксатори, представляват генераторите управлявани от напрежение — ГУН (VCO — Voltage Controlled Oscillator). Такива са ИС '624 ÷ '629, които са усъвършенствани варианти на по-рано произвежданите '124, '324 ÷ '327.

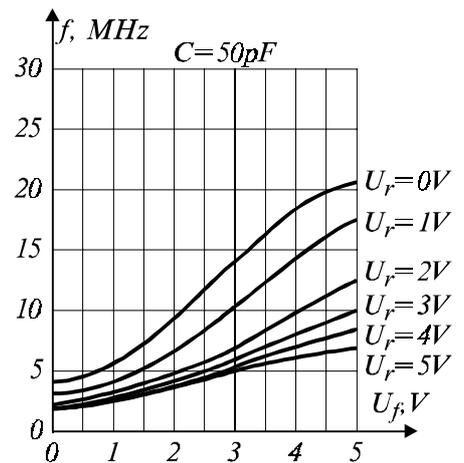
Всички тези генератори използват един външен времезадаващ елемент и имат поне един вход за подаване на напрежение за управление на честотата U_f . Някои от тях имат и втори вход за управление с напрежение U_r и за разрешение на генерациите \bar{E} .



а)



б)



в)

Фиг. 5.34. Интегрален генератор, управляван от напрежение (VCO) '624: а) — структурна схема; б) — времедиаграми на работа; в) — волт-херцова характеристика.

Като пример, на фиг. 5.34.а е дадена структурната схема на интег-

ралния VCO — '624. Освен генератор, в него се съдържа и логическа част, осигуряваща синхронно пускане и спиране на генерациите, така че всички импулси от пакета да имат еднаква продължителност.

Действието на синхронизиращата схема е пояснено от времедиаграмите на фиг. 5.34.б. При подаването на спираещ сигнал $\bar{E}=1$, се нулира T -тригерът. Генерациите обаче не се прекратяват веднага, а след като изходът Q се установи в 1 . Така генераторът се спира винаги в състояние 0 , като едновременно се блокират G_1 и G_2 . При подаване на разрешаващ сигнал $\bar{E} = 0$, генераторът започва да работи веднага. Тъй като обаче T -тригерът е бил нулиран при спирането, състоянието на SR -тригера, образуван от елементите G_4 и G_5 , остава непроменено и съответно логическите елементи G_1 и G_2 остават забранени. Първият отрицателен фронт на формираните от генератора импулси превключва T -тригера в 1 . В изхода на G_6 се получава 0 , която превключва SR -тригера и елементите G_1 и G_2 получават разрешение. Логическите нива в изходите обаче не се променят, тъй като в този момент те съответстват на постъпващите от генератора сигнали. Наличието на SR -тригера осигурява по-нататъшен разрешаващ сигнал за G_1 и G_2 , независимо от следващите превключвания на T -тригера.

Особеност на тази интегрална схема, е наличието на отделни захранващи изводи за генератора и за останалата част от схемата. Това дава възможност за по-добро отстраняване на взаимните смущения, като се използват два независими източника на захранващо напрежение.

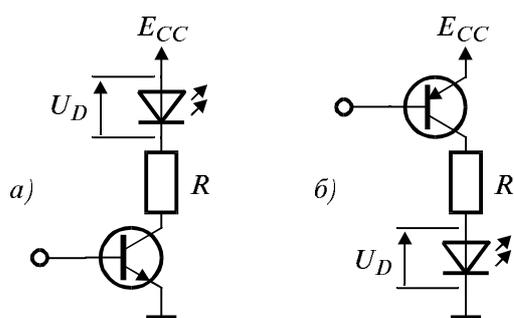
Генерираната от интегралния релаксатор честота се задава чрез избора на кондензатора C и на напреженията U_f и U_r . Би могло да се каже, че U_r задава диапазона на промяната, а U_f — самата промяна. На фиг. 5.34.в е дадена волт-херцовата характеристика (зависимостта между генерираната честота и управляващите напрежения) при $C = 50$ pF. От нея се вижда, че честотата се променя почти линейно с изменението на U_f , а чрез U_r може да се задава наклонът на тази зависимост.

6. ИНДИКАЦИИ

Индикаторите и тяхното управление са важен елемент в цифровата електроника. От многото видове индикатори, използвани за изобразяване на данни и резултат, понастоящем най-масово се използват светодиодните, течнокристалните и електролуминисцентните. Останалите (индикатори с нажежаема жичка, газоразрядни, и др.) имат ограничено приложение и почти не се използват в нови разработки.

6.1. Управление на индикатори

Най-широко приложение, като индикаторни елементи в съвременната електроника, са намерили светодиодните излъчватели. При преминаването на ток през PN преход, в резултат на рекомбинацията на електрони и дупки винаги възниква отделянето на светлинна или топлинна енергия. Дължината на вълната на изпусканото лъчение се определя от широчината на забранената енергетична зона на PN прехода. Като най-пригодни полупроводникови материали, по отношение на дължина на вълната, ефективност на лъчението и др. понастоящем са галиев арсенид (GaAs), галиев фосфорид (GaP) и галиев арсенидофосфид (GaAsP).



Фиг. 6.1. Основни схеми на възбуждане на светодиоди.

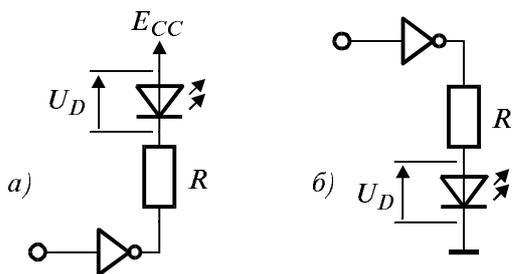
Макар че цветът (дължината на вълната) на излъчването се определя от използвания материал, количеството светлина зависи от тока на възбуждане и бързо се увеличава с увеличаване плътността на тока. На фиг. 6.1 са показани две основни схеми на възбуждане на светодиоди. Както се вижда, целта на управлението е, да се зададе необходимият ток през светодиода. Токозадаващият

резистор се изчислява по формулата:

$$R = \frac{E_{CC} - (U_D + U_{CEsat})}{I_D} .$$

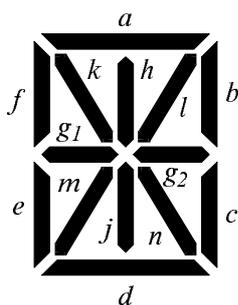
По същия начин се извършва възбуждането на светодиод от изход на цифрова схема, като трябва да се съобразява, дали използваният изход има необходимата товароспособност, т.е дали може да осигури

необходимия ток.



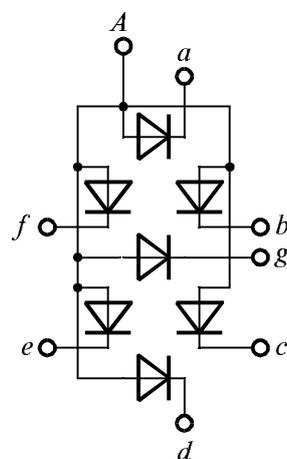
Фиг. 6.2. Възбуждане на светодиод от логически елемент.

При разчета на токоограничителния резистор R , по отношение на тока I_D , трябва да се взема предвид и собственото изходно съпротивление на изхода на цифровата схема. Ако последното е достатъчно голямо, външен токоограничаващ резистор може и да не се слага. Светодиодните цифрови индикатори се оформят най-често като седем-сегментни индикатори, в които всеки сегмент е представен с отделен светодиод.



Фиг. 6.4. 14-сегментен индикатор.

На фиг. 6.2 са показани две схеми на възбуждане на светодиод, като при тази от фиг. 6.2.а, изходът трябва да осигурява тока I_D към логическа 0, а при тази от фиг. 6.2.б — изходът на интегралната схема трябва да може да осигурява тока I_D от логическа 1.



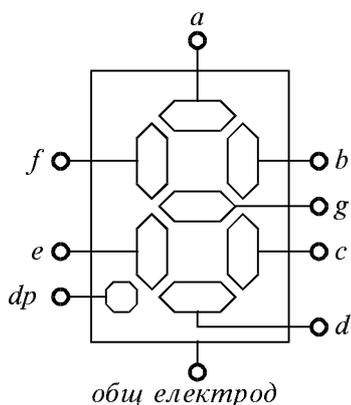
Фиг. 6.3. Структура на 7-сегментен светодиоден индикатор по свързване с общ анод.

Срещат се два типа свързване — с общ анод (както е показано на фиг. 6.3), при което всичките аноди на сегментните светодиоди са свързани наред и изведени като един общ електрод, а катодите са изведени поотделно, и свързване общ катод — всички катоди са свързани и изведени като един общ катоден извод, а анодите са изведени поотделно.

Тъй като възможностите на седем-сегментните индикатори за изобразяване на букви са твърде ограничени, са се появили и 14-сегментни индикатори, чието разположение на сегментите е показано на фиг. 6.4. Тяхното свързване също може да бъде по схема общ катод или

общ анод.

Широко разпространение, поради нищожната си консумация, са получили течнокристалните индикатори (LCD — Liquid Cristal Display). Тези индикатори съдържат, както показва наименованието им, органично течно вещество (течен кристал), светопропускащите свойства на което се променят при прилагането на напрежение (постоянно или променливо). Структурата на течнокристалния индикатор се състои от две стъклени пластини, между които е разположено органичното съединение. Вътрешната повърхност на едната пластина е покрита с проводящ материал, който електрически е изведен като общ електрод. Върху другата пластина са нанесени проводящи зони във форма на индициращи елементи и всяка зона е изведена електрически като отделен електрод (фиг. 6.5). Прилагайки напрежение между даден електрод и общия електрод, индикаторният елемент става контрастен по отношение на окръжаващия фон. При отсъствие на напрежение, течните кристали са прозрачни за светлината (неконтрастни по отношение на околната среда).



Фиг. 6.5. Изводи на течнокристален индикатор.

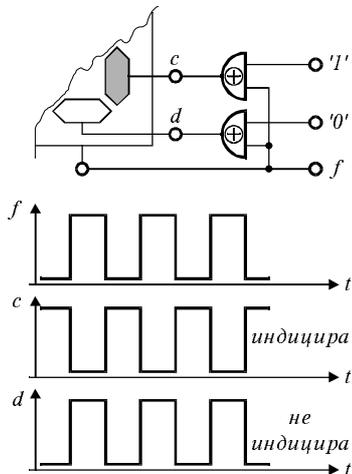
Основното отличие на течнокристалните индикатори от другите типове индикатори е че те не са излъчващи индикатори, а само пропускат или поглъщат светлината от външен източник. Затова те не се виждат в тъмнината, и тяхната контрастност се увеличава с нарастване на окръжаващата осветеност.

Течнокристалните индикатори имат нищожна консумация, която се дължи на утечките в кондензатора, образуван от електродите и разположения между тях течен

кристал. Макар, че индицирането може да се осъществи с прилагането на постоянно напрежение, е необходимо поляритетът на напрежението да се променя периодично, за да се избегне поляризирането на течния кристал, което предизвиква преждевременно стареене и разваля качествата му.

Такава промяна на поляритета се осъществява най-лесно, като управлението на индикаторните електроди на течнокристалния индикатор се подаде през логически елементи **ИЗКЛЮЧАЩО ИЛИ** (използувани като управляеми инвертори), на вторите входове на които се подава честота $f = 30 \div 200$ Hz с коефициент на запълване $1/2$. Съща-

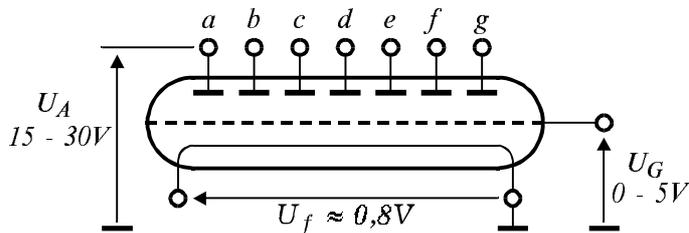
та честота се подава и на общия електрод.



Фиг. 6.6. Управление на течнокристален индикатор.

циал и той не индицира.

Управление на течнокристален 7-сегментен индикатор е показано на фиг. 6.6. Когато на единия вход на елемента XOR се подаде 1 , сигналът в изхода му е в противофаза с честотата на другия му вход и с честотата на общия електрод на индикатора. Тогава, електродите на съответния индициращ елемент получават противофазни напрежения и той индицира. При подаване на 0 — изходният сигнал на XOR повтаря честотата на общия електрод. Тогава електродите на съответния елемент получават еднакъв потенциал

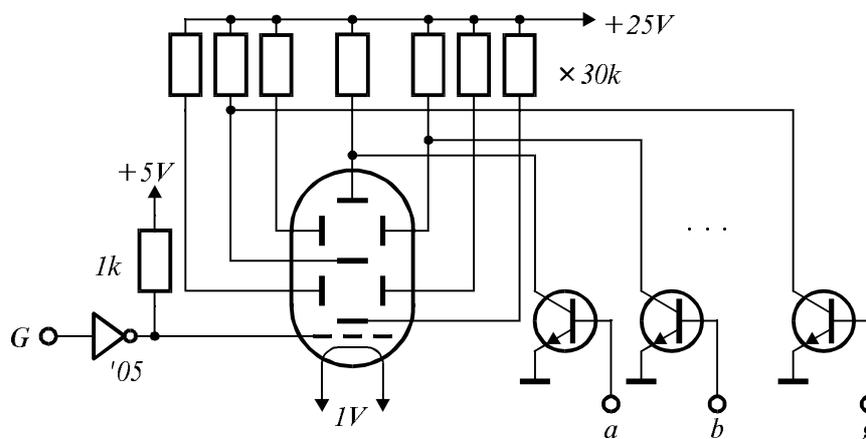


Фиг. 6.7. Електролуминисцентен индикатор.

Широко приложение за индициране са намерили и електролуминисцентните индикатори. Те са електровакуумни прибори, изградени на базата на триелектродната лампа (фиг. 6.7). Имат катод с директно отопление, което се захранва със сравнително ниско напрежение (около 1 V) и управляваща решетка. На решетката се подава положително напрежение спрямо катода, което ускорява термоемитираните от катода електрони. Лампата притежава толкова аноди, колкото са индициращите елементи в нея. Те са покрити с луминофор, който под въздействие на електронната бомбардировка излъчва светлина. На индициращите аноди се подава положително напрежение спрямо катода — $15 \div 30 \text{ V}$.

Електролуминисцентните индикатори притежават много голяма яркост. Тази яркост лесно може да бъде управлявана с промяна на решетъчното напрежение, което дава възможност те да индицират в условия от пълен мрак до попадение на пряка слънчева светлина върху тях. Това обяснява широкото им приложение в бордни табла на ав-

томобили, самолети, кораби и др.



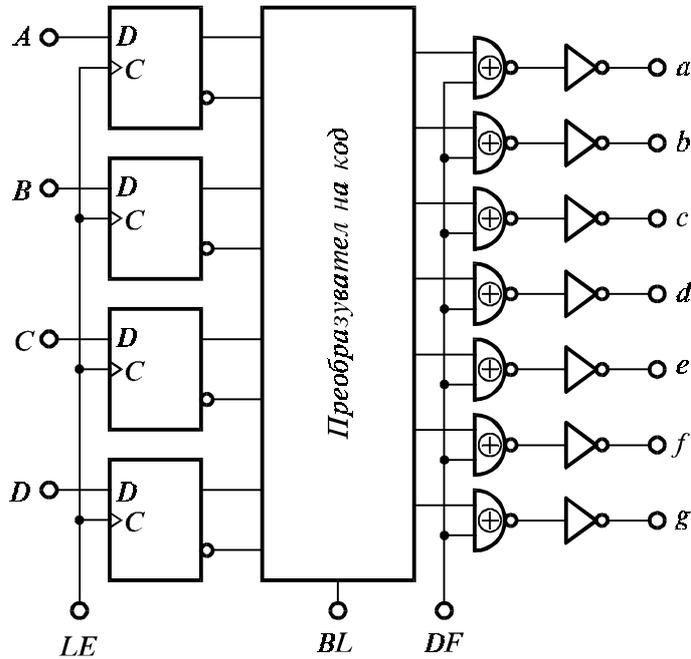
Фиг. 6.8. Управление на електролуминисцентен индикатор.

Управлението на електролуминисцентния индикатор е лесно. При индициране, решетъчното напрежение трябва да е около $3 \div 5$ V. Скъването му до нула загасява индикатора. Управлението на индикатора се състои в подаване на положително напрежение на онези аноди, които трябва да индицират и отнемането на напрежението от тези, които трябва да са загасени. На фиг. 6.8 е показан начин на управление на електролуминисцентен 7-сегментен индикатор.

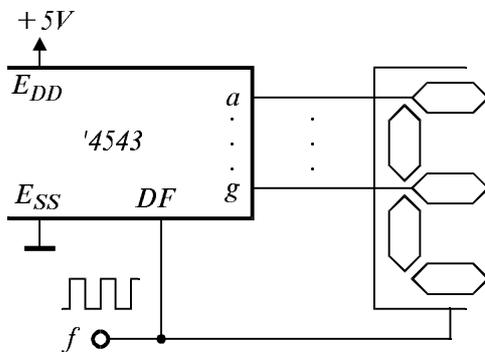
Цифровата схемотехника разполага с разработени готови интегрални схеми за управление на индикатори. По същество, те представляват кодови преобразуватели с подходящи изходни драйвери за управление на съответен тип индикатор (вж. т. 4.3). Някои от тях съдържат допълнителен регистър-памет за съхраняване на кода на индицираното число. Интерес представляват интегралните схеми за управление на индикатори, които имат заложи в себе си възможности за управление на различни типове индикатори. Една такава интегрална схема е CMOS схемата '4543, чиято структура е дадена на фиг. 6.9.

Тя притежава входен регистър, реализиран с *D*-тригери управлявани по ниво на импулса, подаден на входа *LE*. При *LE* = 1 входният регистър е "прозрачен" за постъпващата двоично-десетична информация на входовете *A*, *B*, *C* и *D*, която се преобразува за изобразяване. При преход на *LE* в 0, регистърът запомня входната информация в себе си. Комбинационната логика преобразува от двоично-десетичен в код за седемсегментни индикатори. Входният сигнал *BL* = 1 загася индикатора. Това, което прави схемата универсална, е наличието на схеми за промяна на изходния поляритет (ИЗКЛЮЧВАЩО ИЛИ-НЕ), включени непосредствено преди изходните буфери. Управлението на поляритета се осъществява от сигнала *DF*. Когато *DF* = 0, акти-

вното изходно ниво на схемата е 1 , а при $DF = 1$, активното изходно ниво на схемата е 0 (съществува инверсия между нивото на входа DF и активното ниво на изходите).



Фиг. 6.9. Структура на ИС за управление на индикатори — '4543.

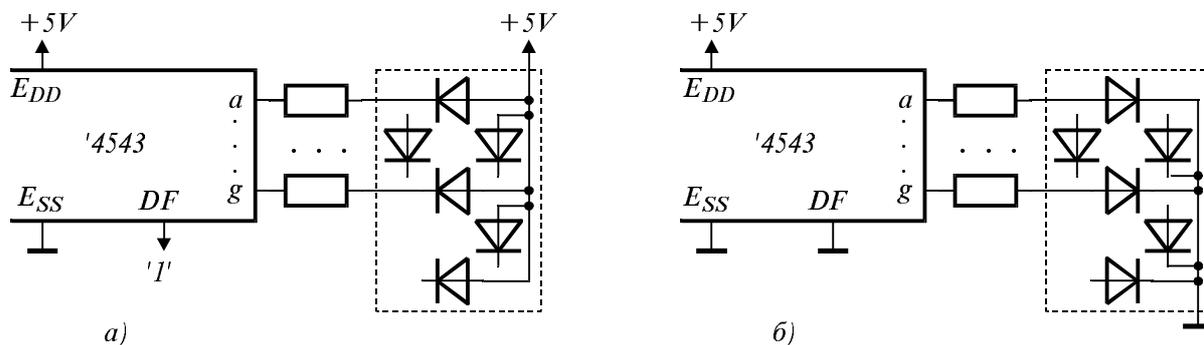


Фиг. 6.10. Управление на течнокристален индикатор с ИС '4543.

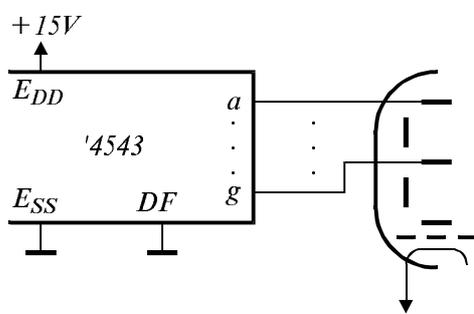
Управлението на течнокристален индикатор с '4543 е показано на фиг. 6.10. Честотата за промяна на поляритета върху индикатора се подава на входа DF на схемата и същевременно на общия електрод на индикатора. Благодарение на съществуващата инверсия между DF и изходите, напрежението на активираните сегменти ще бъде в противофаза спрямо общия електрод и те ще индицират, докато напрежението на неактивирани сегменти спрямо общия електрод ще бъде във фаза и те няма да индицират.

Схемата '4543 може да се използва и за управление на светодиодни индикатори. На фиг. 6.11 е показано управлението на светодиодни индикатори. Управлението на индикатори с общ анод се извършва при $DF = 1$ (фиг. 6.11.а), а с общ катод — при $DF = 0$ (фиг. 6.11.б). И в двата случая, максималният изходен ток за един изход не трябва да превишава 10 mA (колкото е допустимо за транзисторите в крайните стъпала), което изисква подходящо оразмеряване на токоограничител-

ните резистори.



Фиг. 6.11. Управление на светодиодни индикатори с ИС '4543: а) — индикатори с общ анод; б) — индикатори с общ катод.



Фиг. 6.12. Управление на електролуминисцентен индикатор с ИС '4543.

Интегралната схема '4543 успешно се прилага и за управление на електролуминисцентни индикатори. Това е дадено на фиг. 6.12. На входа DF се подава логическа θ , което определя високо ниво на активиран сегмент. Тъй като схемата може да се захрани с $U_{CC} = 15 V$, активираното изходно ниво може да достигне тази стойност на напрежение, която е способна да управлява голяма част от съществуващите електролуминисцентни индикатори.

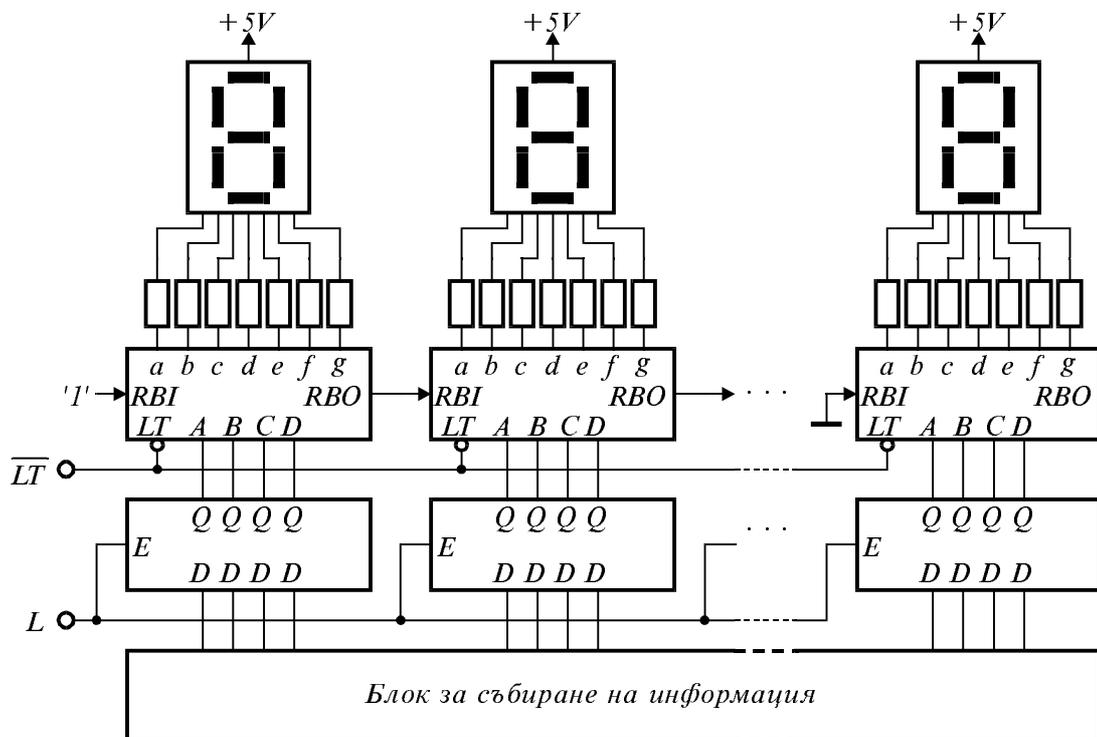
голяма част от съществуващите електролуминисцентни индикатори.

6.2. Организиране на статична индикация

Статичната индикация се характеризира с това, че всеки индикатор притежава собствено индивидуално управление и индицира непрекъснато във времето. Примерно организиране на статична много-разредна индикация със 7-сегментни светодиодни индикатори е показано на фиг. 6.13. Най-долният етаж от структурата представлява блок за събиране на информация, който може да бъде аналогово-цифров преобразувател, броячна група за измерване на честота или период, преместващ регистър за последователно приемане на цифрова информация и др.

След като блокът за събиране на информация натрупа данните, които трябва да се индицират, те се подават за запомняне в паралелни регистри. Запомняне е необходимо, за да може блокът за събиране на информация да се освободи за натрупване на нови данни. От изходи-

те на паралелните регистри, данните се подават към кодов преобразувател, който ги преобразува в код за съответните индикатори (в случая 7-сегментен). Следват токоограничителните резистори и светодиодните индикатори.



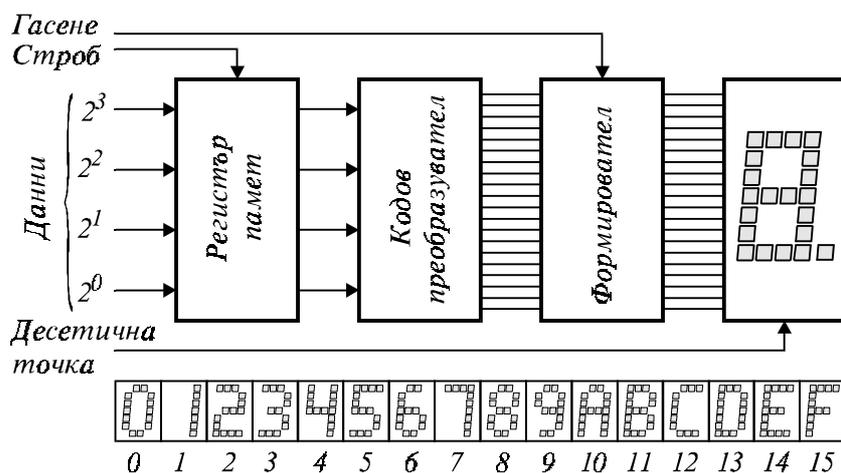
Фиг. 6.13. Организиране на статична индикация със 7-сегментни светодиодни индикатори с общ анод.

За показаната структура, в хоризонтална посока са характерни два вида връзки — паралелни и последователни (верижни). Паралелните връзки свързват едноименни блокове от всяка индикаторна структура. Такава е веригата, осигуряваща зареждане на паралелните регистри, управлявана от сигнала L . Такава е и веригата за проверка на индикаторите, управлявана от сигнала \overline{LT} .

Верижна е връзката, осигуряваща гасенето на старшия незначещ разред. Тя свързва входовете RBI с изходите RBO . Най-старшият кодов преобразувател (най-левия) получава твърдо разрешение за загасяване на нулата $RBI = 1$, тъй като най-старшата нула винаги е незначеща. Следващият по старшинство кодов преобразувател получава разрешение за загасяване на нулата от изхода RBO на най-старшия. Втората нула ще бъде загасена само когато в най-старшия разред има загасена нула. Така, веригата се разпространява последователно до най-младшия кодов преобразувател (най-десния), без да го обхваща. Най-младшата нула е винаги значеща, затова най-младшият кодов преоб-

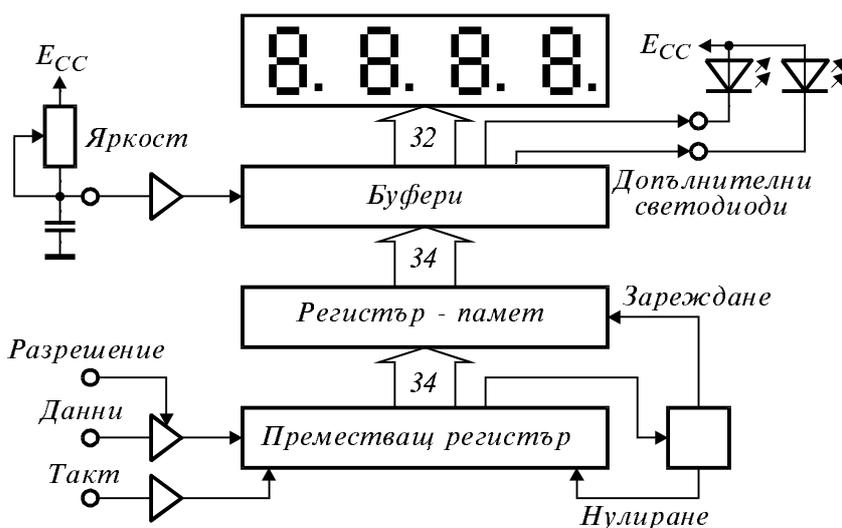
разувател има твърда забрана за загасяне $RBI = 0$.

Както се вижда, вертикалната структура на всеки разред е еднаква. Това е дало основание на редица производители да предложат такива готови структури. На фиг. 6.14 е показана блоковата схема на типичен шестнадесетичен дисплей, изпълнен с точкова матрица (TIL505, TIL311, HP5082, HP7340 и др.)



Фиг. 6.14. Блокова схема на единичен дисплей, изобразяващ цифри в шестнадесетична бройна система — TIL305, TIL511, HP5082, HP7340 и др.

С цел съкращаване на информационните линии, в някои индикаторни системи се прилага последователно зареждане на индицираната информация. Такова решение е предложено в четириразредната 7-сегментна индикаторна система NSM4000A, показана на фиг. 6.15.



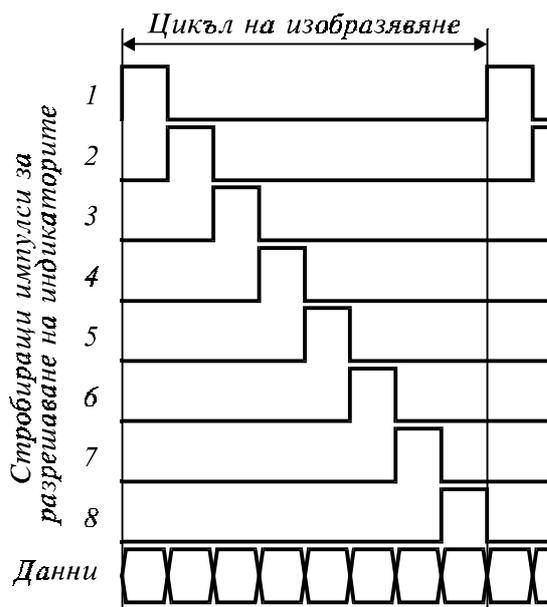
Фиг. 6.15. Четириразредна 7-сегментна индикаторна система NSM4000A.

За всеки светодиод е от индикатора, е предвиден по един бит ин-

формация, който управлява неговото светене. Тази информация трябва предварително да бъде изготвена от външно управляващо устройство (например микропроцесор). Последователно, тя се зарежда в 35-разредния преместващ регистър, под управлението на външни синхроимпулси. След напълването на преместващия регистър, информацията се прехвърля в запомнящ паралелен регистър и през изходни буфери управлява светодиодите от дисплея, а преместващият регистър се нулира за ново зареждане.

6.3. Организиране на динамична индикация

Организиране на динамична индикация се прилага при необходимост от управление на голям брой индикатори. Тя позволява да се спести елементна база при управлението на повече от 4 разреда.



Фиг. 6.16. Управляващи сигнали за динамична индикация.

се подадат на общата шина когато той получи разрешение за индициране.

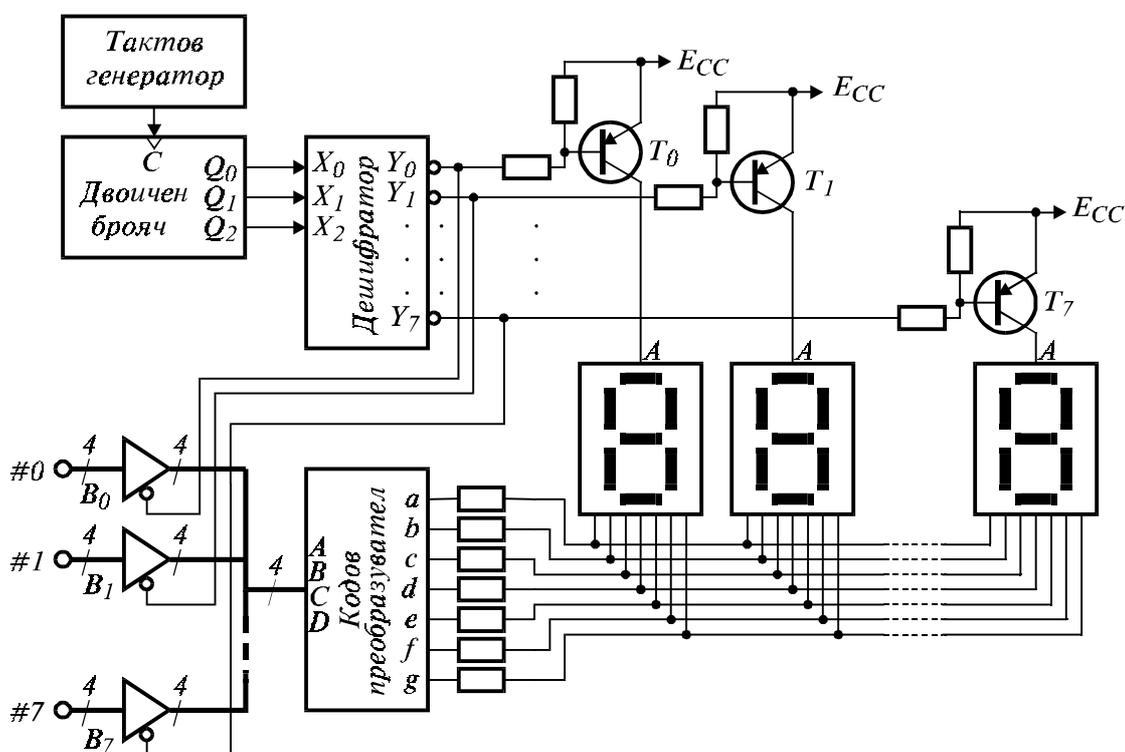
Когато честотата на сканиране стане достатъчно голяма, в наблюдателя се създава впечатлението, че всички индикатори индицират едновременно. Това настъпва при честота по-голяма от 47 *Hz*. На практика, се използва промишлената честота 50 или 60 *Hz*.

На фиг. 6.17 е показана организацията на 8-разредна динамична индикация със 7-сегментни светодиодни индикатори по схема общ

Същността на динамичната индикация се състои в последователно разрешаване на всеки индикатор във времето. Управляващата логика на динамичната индикация създава серия последователни цифрови импулси за разрешаване на индикаторите и синхронизира данните, подавани за индициране на индикаторите със съответните разрешаващи импулси (фиг. 6.16). Информацията за индициране се подава едновременно на всички индикатори.

Честотата, с която се разрешават индикаторите, се нарича още честота на регенерация. Синхронизацията изисква данните за индициране на даден индикатор да

анод. Цикличното превключване на индикаторите се осъществява с помощта на двоичен брояч и дешифратор. Изходите на дешифратора управляват електронните ключове $T_0 \div T_7$, които последователно разрешават индикаторите, включвайки напрежение към анодите им.



Фиг. 6.17. 8-разредна индикация със 7-сегментни светодиодни индикатори с общ анод.

Едновременно с това, изходите на дешифратора разрешават синхронно магистралните буфери $B_0 \div B_7$, пропускащи информацията за всеки разред към кодovия преобразувател. Магистралните буфери са с изходи с три състояния и на практика чрез тях е реализиран магистрален мултиплексор. През токоограничителни резистори, изходите на кодovия преобразувател захранват паралелно едноименните сегменти на индикаторите.

Тъй като индикаторите са включени през една малка част от периода на индициране (в случая $1/8$), трябва да се увеличи токът през светодиодите, за да се осигури същата яркост както и в статичен режим. Импулсният ток за възбуждане I_P , необходим за осигуряването на среден ток I_F през индикатора, може да бъде изчислен по формулата: $I_P = I_F/K$, където K е коефициентът на запълване на сигнала за регенерация.

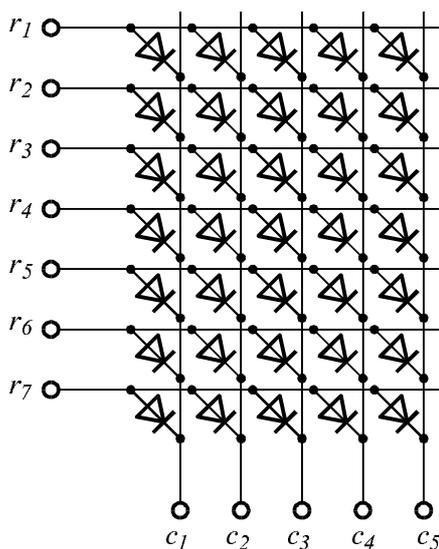
Възбуждането на светодиоди с импулсни токове, довежда до по-голяма ефективност при излъчването на светлина, отколкото с еквива-

лентния постоянен ток. При динамичните индикации, трябва да се използва препоръчаното за индикаторите повишаване на светлинната ефективност, като същевременно импулсният ток не трябва да превишава максимално допустимата стойност. Съобразно избрания импулсен ток, трябва да се оразмерят токоограничаващите резистори, като се вземе предвид и максималният ток, който може да бъде отдаден от изходите на кодовия преобразувател.

Схеми, съдържащи логика за организиране на динамична индикация, се предлагат от редица производители. Такава е монолитната схема за 8-разредна светодиодна индикация на Intersil — ICM72128. Вместо мултиплексори за данните, тя съдържа буферна входна памет от типа RAM, където се допуска едновременен запис и четене по различни адреси. При въвеждането на информация, номерът на разреда в двоичен код се подава на адресните входове. С помощта на вграден двоичен брояч, съдържанието на клетките от паметта циклично се прочита и подава на 7-сегментен дешифратор.

6.4. Управление на точково-матрични индикатори

Големият брой независими елементи за индициране в точково-матричните (матричните) индикатори, в сравнение със 7-сегментните, позволява да се изобразяват голям брой символи.

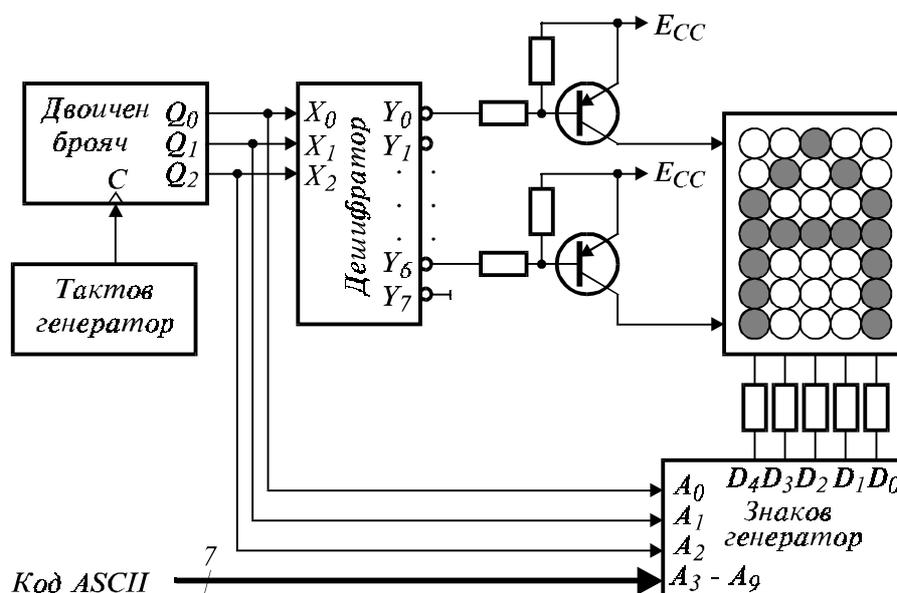


Фиг. 6.18. Структура на светодиоден точково-матричен индикатор 5×7 .

По начина на изграждането си обаче, точково-матричните индикатори изключват възможността за статично управление. За разлика от 7-сегментните индикатори, при които лесно може да бъде осигурено свързване на отделните сегменти към изходите на корпуса, в точково-матричните индикатори такава свързване е невъзможно, поради големия брой индициращи елементи.

Например, индицираща матрица от 5×7 точки би се нуждала от 35 отделни извода и още един общ извод. Два такива индикатора би трябвало да имат 72 извода и т.н. Затова, за намаляване броят на изходите, производителите на точково-матрични индикатори съ-

единяват индициращите елементи в редове и стълбове, при което всеки ред и стълб се нуждае само от по един извод. На фиг. 6.18 е показана структурата на точково-матричен светодиоден индикатор с размерност 5×7 . Той притежава матрица със 7 реда и 5 стълба, като във всеки възел на матрицата е вграден по един индикаторен елемент.



Фиг. 6.19. Управление на точково-матричен индикатор.

Управлението на такъв тип индикатори се извършва динамично, с последователно обхождане на редовете. Примерна схема на такова управление е представена на фиг. 6.19. С помощта на брояч и дешифратор, последователно се управляват електронните ключове, задаващи анодното напрежение на редовете на матрицата. Синхронно с това, по стълбовете се подава информация за светенето на светодиодите от разрешения ред, съобразно индицирания символ. Токът през светодиодите се задава от токоограничителни резистори, включени във всеки стълб.

Информацията, подавана по стълбовете за всеки символ е предварително записана в постоянна памет (ROM), наричана знаков генератор. За всеки символ са необходими по седем 5-разредни думи, съдържащи информация за всеки ред от знаковата му матрица. Синхронният избор на думата в знаковия генератор, съответстваща на разрешения ред от матричния индикатор, се извършва чрез младшите адресни линии $A_0 \div A_2$ от изходите на брояча. Чрез старшите адресни линии $A_3 \div A_9$ на знаковия генератор се извършва избор на изобразявания символ (на неговата записана кодова матрица). Твърде често в цифровата електроника се използва 7-битовият код ASCII (American

Standart Code for Information Interchange — Американски стандартен код за обмен на информация), който съдържа до 128 символа и управляващи команди. В табл. 6.1 е показано двоичното съдържание на думите в знаковия генератор, съответстващи на символа *A*. Нулата съответства на ниско ниво на сигнала и съответно — на активиране на стълба.

Таблица 6.1.

Двоично съдържание на ASCII символа “A”

| Номер на ред | ASCII - "A" | | | | | | | <i>i</i> | | | Код на стълба | | | | |
|-----------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|
| | <i>A</i> ₉ | <i>A</i> ₈ | <i>A</i> ₇ | <i>A</i> ₆ | <i>A</i> ₅ | <i>A</i> ₄ | <i>A</i> ₃ | <i>A</i> ₂ | <i>A</i> ₁ | <i>A</i> ₀ | <i>D</i> ₄ | <i>D</i> ₃ | <i>D</i> ₂ | <i>D</i> ₁ | <i>D</i> ₀ |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 2 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 3 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 4 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 5 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 6 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |

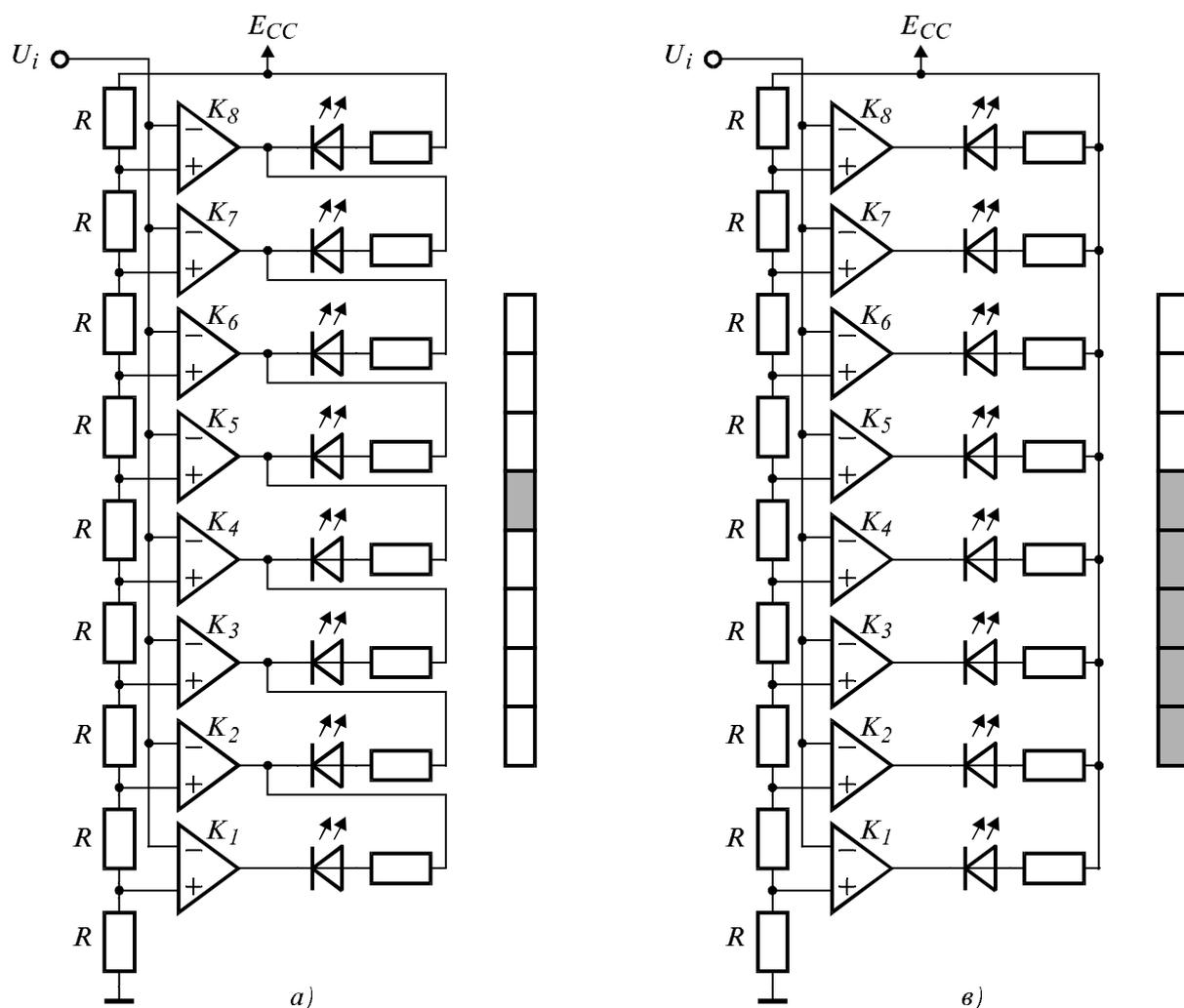
За построяване на многоразредни индикатори, е възможно да се включат паралелно едноименните редове на всички разреди и да се приложи поразредно управление на стълбовете с отделни знакови генератори. По-ефективно е обаче, да се използва един общ за всички разреди знаков генератор в мултиплексиран режим, а кодът на стълбовете за всеки разред да се записва поредово в буферна памет.

6.5. Скални индикатори

Скалните индикатори съдържат подредени в линия индикаторни елементи, които извършват аналогово изобразяване на входна величина. Два са методите за индициране чрез скални индикатори. При първия, в даден момент от времето индицира само един елемент, като положение му относно началото на скалата съответства на стойността на входната величина — индикатор с “движеща се точка”. При другия метод, се активират последователно един или повече индикатори, образувайки “индицираща лента”, дължината на която съответства на входната величина.

Когато входната величина е аналогова, схемата за управление на скалните индикатори съдържа в себе си аналогови компаратори и делител на напрежение. Такова управление на скален индикатор с 8 светодиода е показан на фиг. 6.20.

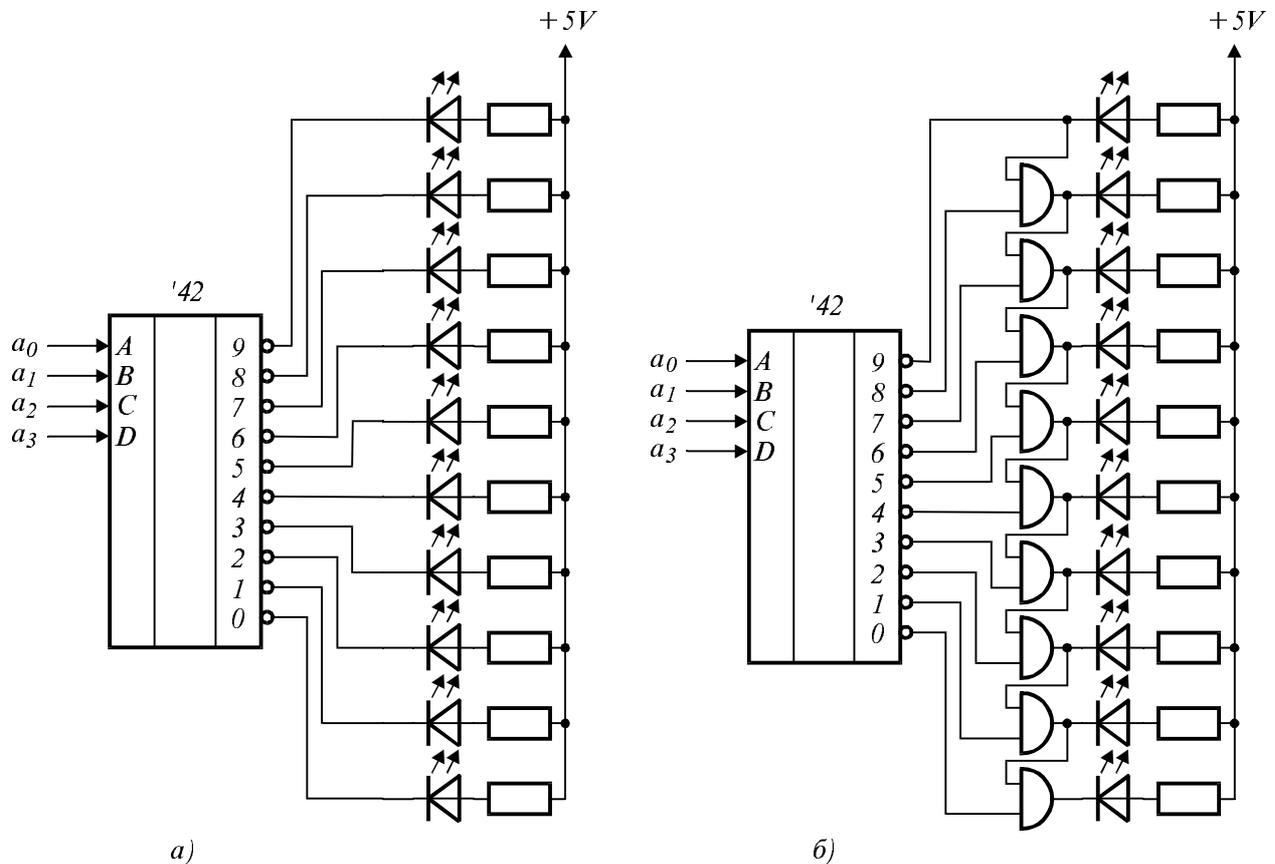
Резисторният делител създава опорни напрежения, а компараторите определят между кои опорни напрежения се намира входното. При определено входно напрежение, сработват всички компаратори, чиито опорни напрежения са под входното. Светодиодите от фиг. 6.20.а се управляват от два съседни компаратора, затова свети само този светодиод, чийто кадод се управлява от сработил компаратор (ниско ниво на изхода), а анода му — от несработил компаратор (високо ниво на изхода). С такова състояние може да бъде само един светодиод, — индикаторът е от тип “движеща се точка”. Светодиодите от фиг. 6.20.б се управляват само от изходите на съответните компаратори — затова светят всички, чиито компаратори са сработили т.е. индикаторът е от тип “индицираща лента”.



Фиг. 6.20. Светодиоден скален индикатор за аналогова величина: а) — тип “движеща се точка”; б) — тип “индицираща лента”.

За получаването на линейна зависимост между входната величина и светещото изображение е необходимо всички резистори в делителя

да имат еднаква стойност. Ако индицирането трябва да бъде нелинейно (например за отразяване на квадратична или логаритмична зависимост), резисторите в делителя се мащабират по подходящ начин.



Фиг. 6.21. Светодиоден скален индикатор за цифрова величина: а) — тип “движеща се точка”; б) — тип “индицираща лента”.

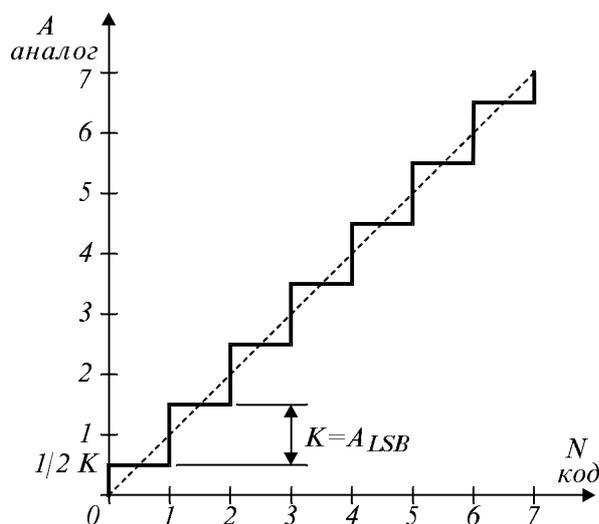
Редица фирми произвеждат интегрални схеми, реализиращи описаните функции по скално индициране на аналогова величина (напрежение). Такава ИС е LM3914 на National Semiconductor, непосредствено управляваща 10 светодиода, с възможност за работа в режим “движеща се точка” и “индицираща лента” и с възможност за нарастване, при необходимост за управление на повече светодиоди.

Когато изобразяваната информация постъпва в цифров код, за управлението на скалните индикатори могат да се използват цифрови схеми. На фиг. 6.21 е показана схема на скален индикатор от 10 светодиода, използващ двоично-десетичния дешифратор '42.

7. ЦИФРОВО-АНАЛОГОВИ И АНАЛОГОВО-ЦИФРОВИ ПРЕОБРАЗОВАТЕЛИ

Цифрово-аналоговите (DAC — ЦАП) и аналогово-цифровите (ADC — АЦП) преобразуватели са важно свързващо звено между цифровата и аналоговата част на електронните устройства и системи. В най-общия смисъл, те извършват преобразуване на цифрова величина N в аналогова стойност A (най-често ток или напрежение) и обратно, с някакъв коефициент на преобразуване K , т.е. $A = K.N$.

7.1. Предавателна характеристика и грешки



Фиг. 7.1. Предавателна характеристика на цифрово-аналогов преобразувател.

Предавателната характеристика на ЦАП и АЦП е представена на фиг. 7.1 и представлява начупена линия, поради дискретния характер на цифровата стойност N , докато аналоговата величина A , може да заема произволни стойности в съответстващия обхват, с отклонение $\pm \frac{1}{2} K$.

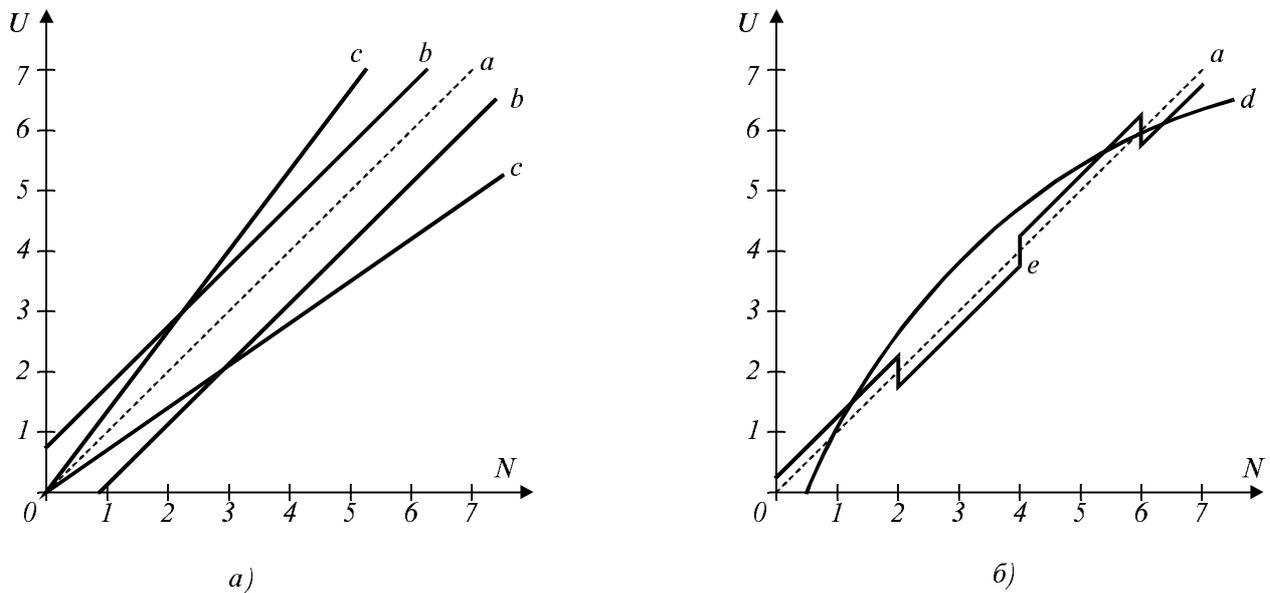
Първото и последното стъпало от предавателната характеристика в динамичния диапазон на ЦАП и АЦП, са двойно по-малки от останалите. Височината на едно стъпало е равна на аналоговата стойност при $N = 1$ и съответства на теглото на най-младшия разред. Обикновено се бележи с индексите LSB (Least Significant Bit), като $A_{LSB} = K$. Линията, свързваща средата на стъпалата в предавателната характеристика на ЦАП и АЦП, представлява идеализираната предавателна характеристика.

Въпросът за грешките при цифрово-аналоговите и аналогово-цифровите преобразуватели е изключително обемиста тема, затова тук ще бъдат приведени само четирите основни грешки.

На фиг. 7.2.a са показани две грешки, спрямо идеализираната предавателна характеристика a . Грешката, съдържаща се в предавателната характеристика b се нарича "грешка от изместване на нулата", а греш-

ката в предавателната характеристика c — "грешка от коефициент на предаване". Тези две грешки са компенсирани грешки и те могат да бъдат елиминирани чрез съответни настройки.

На фиг. 7.2.б са показани други две грешки в предавателната характеристика на ЦАП и АЦП спрямо идеализираната. Тези грешки са некомпенсирани. Грешката, съдържаща се в предавателната характеристика d се нарича "грешка от нелинейност". Грешката, съдържаща се в предавателната характеристика e се нарича "грешка от немонотонност" (грешка в тегло на разред).



Фиг. 7.2. Основни грешки при ЦАП: а) — компенсирани; б) — некомпенсирани.

Сумарните грешки в ЦАП и АЦП не трябва да надхвърлят $\pm \frac{1}{2} A_{LSB}$, за да бъде осигурена декларираната им от производителя разрядност.

7.2. Цифрово-аналогови преобразуватели.

Цифрово-аналоговите преобразуватели осъществяват преобразуване на цифров код в аналогова величина (за удобство при изложението по-нататък, като аналогова величина ще се има предвид напрежение). Предавателната им характеристика, както по-горе, се описва с уравнението $U = U_{LSB} \cdot N$. Тук коефициентът на предаване е означен с U_{LSB} и е равен на изходното U при $N = 1$. Той има смисъл на "напрежение, съответстващо на най-малкия разред" (ако изходната величина е ток, коефициентът на предаване се означава с I_{LSB}). В зависимост от раз-

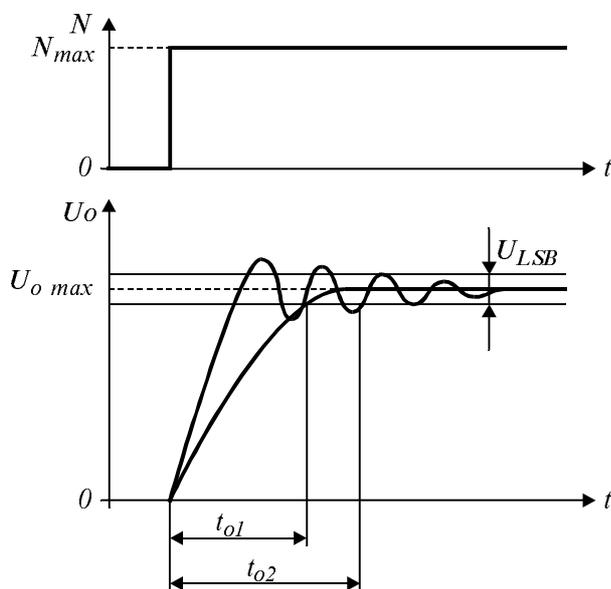
редността и бързодействието, съвременните електронни ЦАП могат да се разделят на три групи:

— ЦАП с до 6 бита разредност — това са високоскоростни цифрово-аналогови преобразуватели с време на преобразуване до 10 ns ;

— ЦАП с разредност $8 \div 12$ бита — тук попадат конвенционалните преобразуватели с общо предназначение, със средно бързодействие и с време на преобразуване до $10\text{ }\mu\text{s}$;

— ЦАП с 16 и повече бита разредност — тук попадат високоточни преобразуватели с относително ниско бързодействие.

Границите между отделните групи е размита, като съвременната тенденция в развитието на ЦАП, е увеличаването на бързодействието при запазване на точността.



Фиг. 7.3. Преходен процес в изхода и време на установяване на ЦАП.

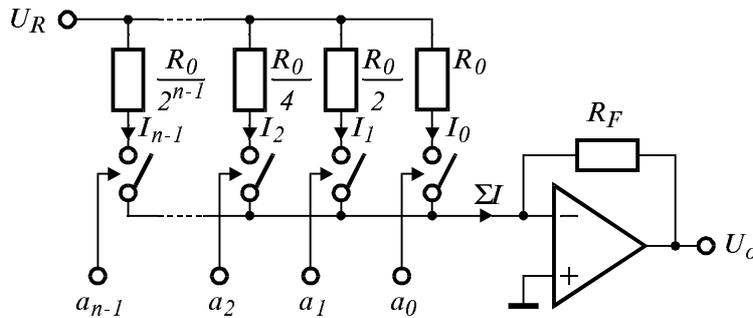
Бързодействието на ЦАП се определя от т.нар. време на установяване t_o . То се измерва от момента на подаване на възможно максималното число на входа на преобразувателя N_{max} (при начално състояние $N = 0$), до момента, в който изходната величина се установи на съответстващата му стойност. За момент на установяване следва да се отчете момента, в който изходната величина остане в областта, определена от $\pm 0,5 U_{LSB}$. На фиг. 7.3 са показани два различни преходни процеса по установяването на изхода на ЦАП. Най-малко време на установяване се постига, когато

преходният процес в изхода на ЦАП е критично-апериодичен.

7.2.1. ЦАП със сумиране на токовете.

Тези цифрово-аналогови преобразуватели работят със сумирането на токове, които са пропорционални на тежестта на разредите. При двоична бройна система, токовете се отнасят помежду си както степените на две. На сумиране подлежат само онези токове, чиито съответстващи разреди са 1 . На фиг. 7.4 е показана схемата на n -разреден двоичен ЦАП със сумиране на токовете. Съпротивленията на резисторите са така подбрани, че да се отнасят помежду си както степените на 2 и съответно формираният през тях ток да съответства на теглото

на разреда. Токовете се задават от опорното напрежение U_R и токоформиращите резистори. Ключовете се затварят, когато управляващият ги разред е l . Точката на сумиране на токовете е виртуалната нула на операционния усилвател, обхванат от резистора R_F в обратната си връзка и работещ като преобразувател ток — напрежение.

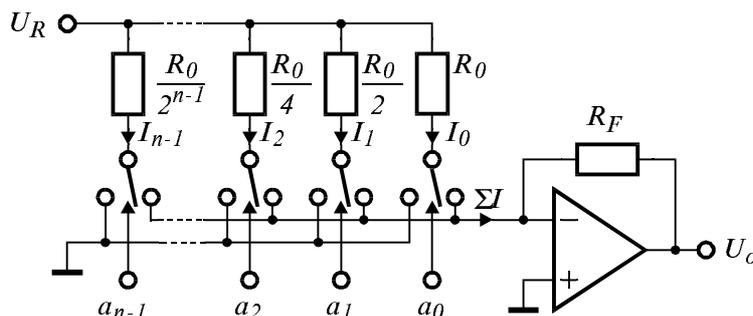


Фиг. 7.4. Двоичен ЦАП със сумиране на токовете.

$$\begin{aligned} U_o &= -R_F \Sigma I = -R_F (I_0 a_0 + I_1 a_1 + I_2 a_2 + \dots + I_{n-1} a_{n-1}) = \\ &= -R_F \left(\frac{U_R}{R_0} a_0 + \frac{U_R \cdot 2}{R_0} a_1 + \frac{U_R \cdot 4}{R_0} a_2 + \dots + \frac{U_R \cdot 2^{n-1}}{R_0} a_{n-1} \right) = \\ &= -\frac{R_F}{R_0} U_R \underbrace{\left(a_0 \cdot 2^0 + a_1 \cdot 2^1 + a_2 \cdot 2^2 + \dots + a_{n-1} \cdot 2^{n-1} \right)}_N \end{aligned}$$

$$U_o = -\frac{R_F}{R_0} U_R N, \quad \text{където} \quad -\frac{R_F}{R_0} U_R = U_{LSB}$$

Недостатък на разгледаната схема е фактът, че ключовете работят, превключвайки напрежение (при отворен ключ върху него действа опорното напрежение U_R , докато напрежението върху затворен ключ е виртуална нула). Поради влиянието на паразитните капацитети, честотата на превключване е ниска. Това може да се преодолее, ако се използват превключващи ключове, които превключват токоопределящите резистори или към маса или към виртуалната нула в точката на сумирането. Такава схема е показана на фиг. 7.5.

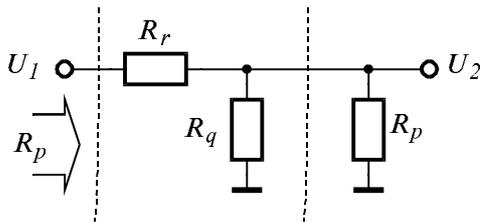


Фиг. 7.5. ЦАП със сумиране на токовете, използващ превключващи ключове.

Протичащият ток през резисторите няма да се променя и натоварването на източника на опорно напрежение ще бъде постоянно. Вътрешното съпротивление на източника не е задължително да бъде малко, както трябва да е в предходната схема. Той ще бъде постоянно натоварен с активен товар $R_0/(2^n - 1)$.

7.2.2. ЦАП със сумиране на токовете, с резисторна матрица.

При разработването на интегрални ЦАП, значителна трудност представлява реализирането на високоточни резистори, силно различаващи се по стойност. В предишните две схеми на ЦАП, отношението между най-големия и най-малкия резистор е 2^{n-1} пъти, като същевременно грешката при изготвянето на резистора за най-старшия разред трябва да бъде $\Delta R/R < 1/2^{n-1}$. Затова, в интегралната схемотехника се използва т.нар. резисторна матрица, която с помощта на последователно делене на напрежение, реализира тегловните коефициенти на разредите.



Фиг. 7.6. Основен елемент на резисторна матрица.

Основният елемент на такава матрица, показан на фиг. 7.6, представлява делител на напрежение, който удовлетворява следните условия:

— когато делителят се натовари със съпротивление R_p , входното му съпротивление също трябва да стане R_p ;

— при товар R_p , коефициентът на отслабване на напрежението трябва да има зададена стойност $\alpha = U_2/U_1$.

При изпълнение на тези две условия, се получават следните уравнения за съпротивленията:

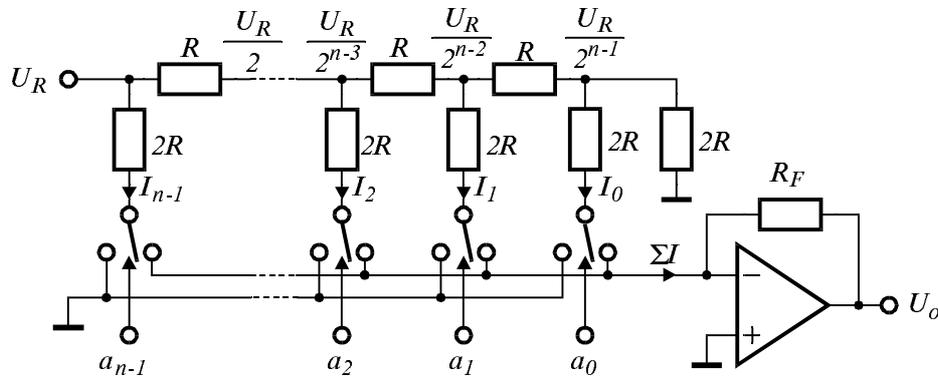
$$R_r = \frac{(1 - \alpha)^2}{\alpha} R_q, \quad R_p = \frac{1 - \alpha}{\alpha} R_q$$

При използването на двоична бройна система, $\alpha = 0,5$. Като се избере $R_q = 2R$ следва: $R_r = R$ и $R_p = 2R$. Затова в практиката, такава матрица се нарича R - $2R$ матрица. Двете ѝ основни свойства могат да бъдат специфицирани както следва:

— коефициентът на предаване по напрежение на матрицата от възел към възел е $1/2$;

— характеристичното съпротивление на матрицата е R , а съпроти-

влението с което даден възел се натоварва със следващите звена от матрицата е $2R$.



Фиг. 7.7. Двоичен ЦАП със сумиране на токовете, използваващ резисторна матрица.

Схема на ЦАП със сумиране на токовете, с използването на R - $2R$ матрица, е показана на фиг. 7.7. Източникът на опорно напрежение U_R е постоянно натоварен с характеристичното съпротивление на матрицата $2R \parallel 2R = R$. Изходното напрежение се определя от израза:

$$U_o = -\frac{R_F}{2^n R} U_R N, \text{ където } -\frac{R_F}{R} \frac{U_R}{2^n} = U_{LSB}.$$

7.2.3. Двоично-десетични ЦАП

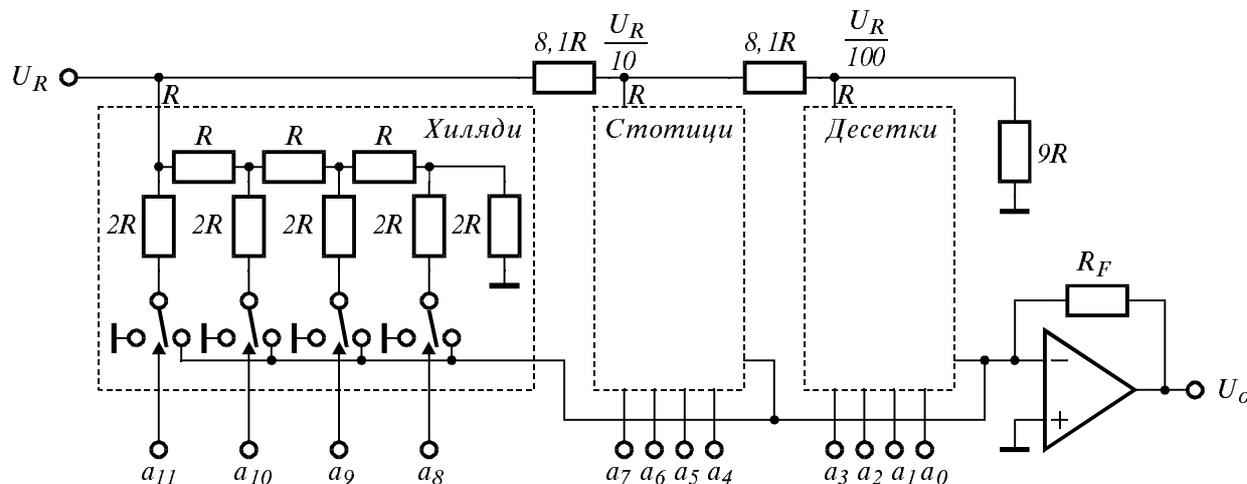
Двоично-десетичните ЦАП се изграждат на същите принципи, както и двоичните. При тях, разредите могат да се считат разделени на тетради, като вътре във всяка тетрада разредите се съотнасят помежду си както степените на две, а тетрадите се съотнасят помежду си както степените на десет.

Когато се използва принципът на сумирането на токовете, трябва да се осигурят токове вътре в тетрадите, съотнасящи се както степените на две, а за тетрадите — токове, съотнасящи се както степените на десет.

Резисторната матрица от фиг. 7.6 може да бъде променена за използване в двоично-десетични ЦАП. За всички десетични разреди са използвани 4-разредни двоични матрици, които са съединени във верига, в която от декада към декада напрежението се предава с коефициент $\alpha = 1/10$.

Избирайки R_q да бъде равно на характеристичното съпротивление на тетрадната двоична матрица, т.е. $R_q = R$, чрез формулите за R_f и R_p , се получават следните стойности за съпротивленията: $R_f = 8,1R$ и $R_p = 9R$. При тези стойности, характеристичното съпротивление на

двоично-десетичната резисторна матрица е $0,9R$.

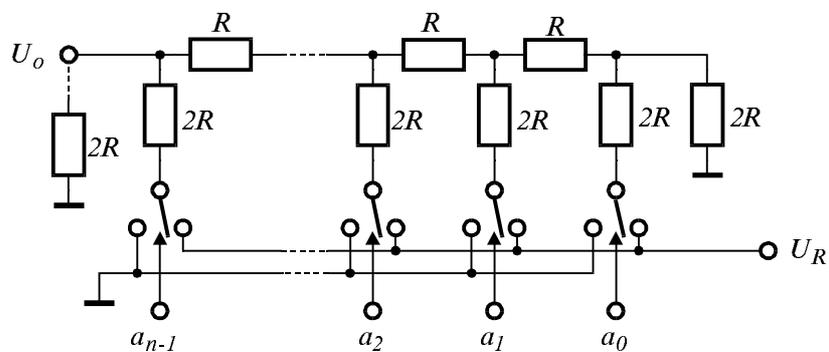


Фиг. 7.8. 3-декаден двоично-десетичен ЦАП, използващ резисторна матрица.

На фиг. 7.8 е показана схемата на 3-декаден двоично-десетичен ЦАП с резисторна матрица.

7.2.4. ЦАП със сумиране на напреженията.

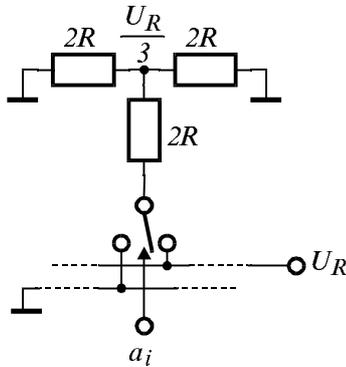
Тези цифрово-аналогови преобразуватели работят със сумирането на напрежения, които са пропорционални на тежестта на числовите разреди. При работа в двоична бройна система напреженията ще се отнасят помежду си както степените на две. На сумиране подлежат само онези напрежения, чиито съответстващи двоични разреди са 1 . Отнасящи се както степените на две напрежения лесно могат да се получат с помощта на резистивна матрица, съгласно нейното първо свойство. ЦАП със сумиране на напреженията с използване на $R-2R$ матрица е показан на фиг. 7.9.



Фиг. 7.9. Двоичен ЦАП със сумиране на напреженията, използващ резистивна матрица.

Спрямо ЦАП със сумиране на токовете от фиг. 7.7, са направени

няколко промени. Източникът на опорно напрежение е включен на мястото на сумиращия токовите операционен усилвател, а изходът е изведен там където е бил опорният източник. За облекчаване на анализа на схемата, изходът е натоварен със съпротивление $2R$.



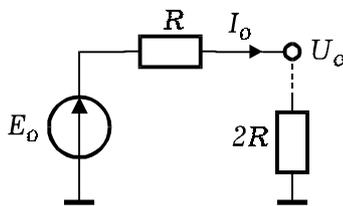
Фиг. 7.10. Основна клетка на двоичен ЦАП със сумиране на напреженията, използващ резисторна матрица.

определянето на въздействието върху изхода на даден разред, се приема, че останалите разреди са θ , след което отделните въздействия се сумират.

$$U_o = \frac{1}{3} U_R a_{n-1} + \dots + \frac{1}{3} U_R \frac{1}{2^{n-3}} a_2 + \frac{1}{3} U_R \frac{1}{2^{n-2}} a_1 + \frac{1}{3} U_R \frac{1}{2^{n-1}} a_0 =$$

$$= \frac{1}{3} U_R \frac{1}{2^{n-1}} \underbrace{\left(a_{n-1} \cdot 2^{n-1} + \dots + a_2 \cdot 2^2 + a_1 \cdot 2^1 + a_0 \cdot 2^0 \right)}_N$$

$$U_o = \frac{2}{3} U_R \frac{1}{2^n} N.$$



Фиг. 7.11. Еквивалентна схема на ЦАП със сумиране на напреженията.

При тази постановка, всеки възел на $R-2R$ матрицата се натоварва отляво и отдясно с еквивалентно съпротивление $2R$, както е показано на фиг. 7.10. Лесно се разчита, че при това натоварване, коефициентът на предаване на напрежението от ключ към възел е $1/3$.

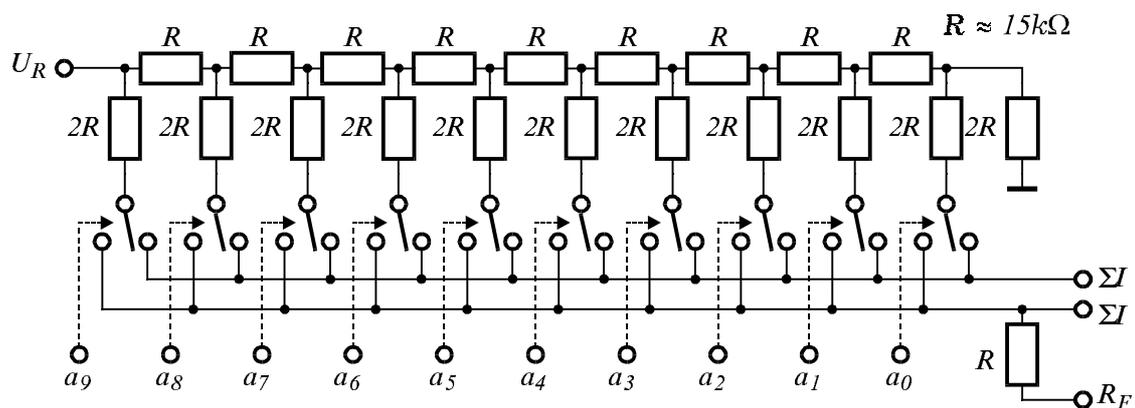
За определяне стойността на изходното напрежение, се прилага методът на суперпозицията, който в синтезиран вид гласи: "въздействието на сумата е равно на сумата от въздействията". При

определянето на въздействието върху изхода на даден разред, се приема, че останалите разреди са θ , след което отделните въздействия се сумират.

Така анализираната схема може да бъде преобразувана в еквивалентна, както е показано на фиг. 7.11. Анализираният ЦАП е представен като идеален генератор на изходно напрежение E_o , имащ изходно съпротивление R и натоварен в изхода с товар $2R$. От еквивалентната схема може да се определи:

$$E_o = \frac{3}{2} U_o \text{ или } E_o = U_R \frac{1}{2^n} N, \text{ където } U_R \frac{1}{2^n} = U_{LSB}.$$

Такива ЦАП се произвеждат без вградено товарно съпротивление, при което тяхното изходно напрежение на празен ход е $E_o = \frac{1}{2^n} N$, а максималният изходен ток (при късо съединение в изхода) — $I_{o\ max} = \frac{E_o}{R} = U_R \frac{1}{2^n} N \frac{1}{R}$. Типичен представител на този тип ЦАП е 10-разредният DAC7520 (усъвършенствана версия на DAC1020), чиято вътрешна структура е показана на фиг. 7.12.



Фиг. 7.12. Вътрешна структура на 10-разредния ЦАП DAC7520.

DAC7520 съдържа в себе си само резисторната матрица и токовете ключове. В зависимост от необходимостта, той може да се включи като ЦАП със сумиране на напреженията или като ЦАП със сумиране на токовете. Допълнително, в него е вграден точен резистор със стойност R , който може да бъде ползуван от потребителя при свързването на външен операционен усилвател.

При свързването на ЦАП за работа със сумиране на напреженията, трябва да се имат предвид по-рано споменатите недостатъци — ключовете работят, превключвайки напрежение и товарът на опорното напрежение се променя, в зависимост от подаденото число.

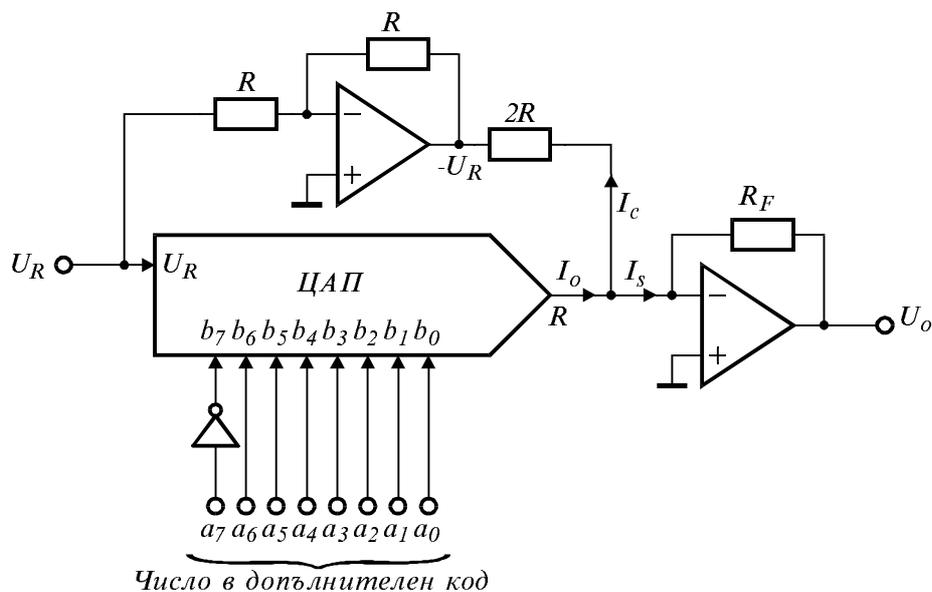
7.2.5. Двуквадрантни ЦАП и обработка на числа със знак

Описаните до тук цифрово-аналогови преобразуватели получават като цифрова стойност числа без знак. Предавателната им характеристика се разполага в един от четирите квадранта на координатната система код — аналог. Такива ЦАП се наричат едноквадрантни.

Ако предавателната характеристика може да се разположи в два квадранта на координатната система, ЦАП се наричат двуквадрантни. Ако цифрово-аналоговият преобразувател може да работи както с положителни, така и с отрицателни опорни напрежения, предавателната

му характеристика се разполага в два квадранта и той е двуквадрантен. Двуквадрантен е и ЦАП, при който подаваните числа могат да заемат както положителни, така и отрицателни стойности.

Преобразуването на числа със знак има някои особености. Обикновено двоичните числа със знак се представят в допълнителен код, където старшият разред е знаков. Така с n разреда могат да се представят числа в диапазона от -2^{n-1} до $+(2^{n-1} - 1)$. Чрез прибавяне към числата на 2^{n-1} диапазонът се измества от 0 до $+(2^n - 1)$, като числата по-големи от 2^{n-1} се считат за положителни, а числата по-малки от 2^{n-1} — за отрицателни. Средната стойност 2^{n-1} съответства на нулата. Такова представяне на числа със знак чрез положителни числа, се нарича изместен двоичен код. Например, 8 цифрови разреда могат да представят числа със знак в диапазона от -128 до $+127$. Чрез прибавяне на 128, този диапазон се измества от 0 до 255, като числото 128 съответства на нулата. Прибавянето на 2^{n-1} (за примера 128) може да се извърши просто, само с инвертиране на старшия знаков разред.



Фиг. 7.13. ЦАП за обработка на 8-разредни двоични числа, представени в допълнителен код.

На фиг. 7.13 е показана схема на двуквадрантен 8-разреден ЦАП, преобразуващ числа, представени в допълнителен код. За получаването на изходно напрежение с правилен знак (двуполярно изходно напрежение), е осъществено реципрочно преместване на изходната величина чрез аналогово изваждане на ток $I_c = 128 \cdot I_{LSB}$. Изважданият (компенсиращият) ток се формира от инвертираното опорно напрежение $-U_R$ и резистор, който е с два пъти по-голяма стойност от из-

ходното съпротивление R на ЦАП. Затова, сумарният ток I_s е:

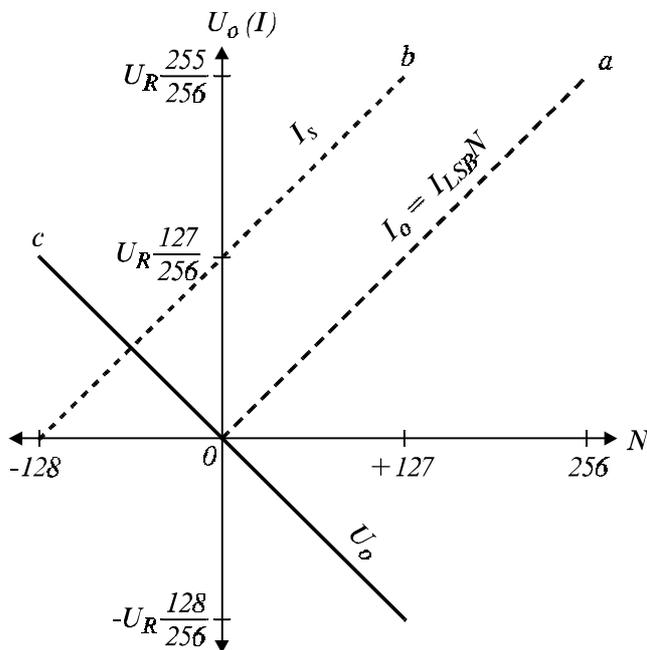
$I_s = I_o - 128 \cdot I_{LSB} = I_o - 128/256 \cdot I_{o\max}$. Стойностите на сумарния ток са представени в табл. 7.1.

Таблица 7.1.

Съответствие между цифровите и аналоговите стойности

| Число | Допълнителен код | Изместен код | $I_s/I_{o\max}$ |
|-------|------------------|-----------------|-----------------|
| 127 | 0 1 1 1 1 1 1 1 | 1 1 1 1 1 1 1 1 | 127/256 |
| ... | ... | ... | ... |
| 1 | 0 0 0 0 0 0 0 1 | 1 0 0 0 0 0 0 1 | 1/256 |
| 0 | 0 0 0 0 0 0 0 0 | 1 0 0 0 0 0 0 0 | 0 |
| -1 | 1 1 1 1 1 1 1 1 | 0 1 1 1 1 1 1 1 | -1/256 |
| ... | ... | ... | ... |
| -127 | 1 0 0 0 0 0 0 1 | 0 0 0 0 0 0 0 1 | -127/256 |
| -128 | 1 0 0 0 0 0 0 0 | 0 0 0 0 0 0 0 0 | -128/256 |

Формирането на предавателната характеристика на ЦАП за обработка на числа в допълнителен код, е представена на фиг. 7.14. Крива a е предавателната характеристика на обикновения двоичен ЦАП ($I_o = I_{LSB} \cdot N$).

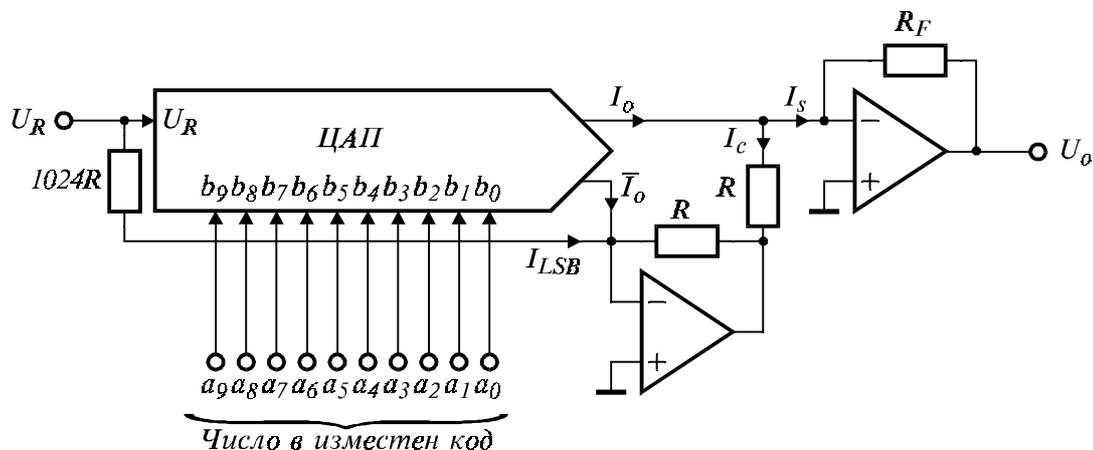


Фиг. 7.14. Предавателна характеристика на 8-разреден ЦАП за обработка на числа в допълнителен код

Преобразуването на постъпващото число от допълнителен код в изместен код чрез инвертиране на старшия му разред е еквивалентно на транслиране (на половин диапазон), по абсцисната ос на предавателната характеристика за I_s — крива b . Включването на компенсиращ ток при формирането на изходната величина също е еквивалент-

но на транслиране на предавателната характеристика на половин диапазон, но по ординатната ос. Двете измествания формират окончателната предавателна характеристика за U_o — крива *c*.

Недостатък на описаната схема е това, че компенсационният ток I_c се формира извън ЦАП и поради различните температурни коефициенти, сумарният ток I_s не притежава висока термостабилност. Формирането на компенсационния ток вътре в ЦАП е възможно само за онези ЦАП, които притежават изход за сумата от допълнителните токове (например DAC7520). Такава схема е показана на фиг. 7.15.



Фиг. 7.15. 10-разреден ЦАП за обработка на числа със знак, с вътрешно формиране на компенсационния ток

$$I_o = I_{LSB}N \text{ и } I_o + \bar{I}_o = const. = (2^n - 1)I_{LSB}, \quad \bar{I}_o = (2^n - 1)I_{LSB} - I_o.$$

$$\text{Тъй като } I_c = -I_{LSB} - (2^n - 1)I_{LSB} + I_o = -2^n I_{LSB} + I_{LSB}N,$$

$$I_s = I_o + I_c = I_{LSB}N - 2^n I_{LSB} + I_{LSB}N = 2I_{LSB}(N - 2^{n-1})$$

Както се вижда от крайния резултат за I_s , той е пропорционален на постъпващото число в изместен код $(N - 2^{n-1})$. В добавка, изходният диапазон на тока I_s е двойно по-голям. В реалната практика, големият резистор $1024R$, формиращ добавъчния ток I_{LSB} , се пренебрегва, което внася пренебрежимо малка грешка в крайния резултат.

7.2.6. Четириквadrантни ЦАП и умножителни ЦАП.

Четириквadrантни ЦАП са тези, при които предавателната характеристика може да се разполага и в четирите квадранта на координатната система код — аналог. Затова е необходимо, освен възможността за обработка на числа със знак, ЦАП да е способен да работи както с

положителни, така и с отрицателни опорни напрежения. Показаната на фиг. 7.15 схема, представлява четириквadranten ЦАП, тъй като DAC7520 може да работи с разнополярни опорни напрежения.

Ако се разгледат внимателно предавателните уравнения на показаните тук цифрово-аналогови преобразуватели, които се подчиняват на общото уравнение $U_o = U_{LSB} \cdot N$, може да се забележи, че коефициентът на предаване U_{LSB} представлява произведение от някаква константа (означена в случая с M) и опорното напрежение U_R , т.е. $U_{LSB} = M \cdot U_R$. Така, общото уравнение може да бъде записано във вида $U_o = M \cdot N \cdot U_R$. Ако вместо опорно напрежение се подаде някакво неизвестно входно напрежение U_i , то изходното напрежение $U_o = M \cdot N \cdot U_i$ ще представлява, с коефициент на пропорционалност M , произведение на входното напрежение U_i по число N .

Всички ЦАП, за които може да се изкаже това твърдение, се наричат умножителни. Те изпълняват следните две условия:

- имат вход за включване на външно опорно напрежение;
- могат да работят с разнополярно опорно напрежение.

От определението се разбира, че всички четириквadrantни ЦАП са умножителни.

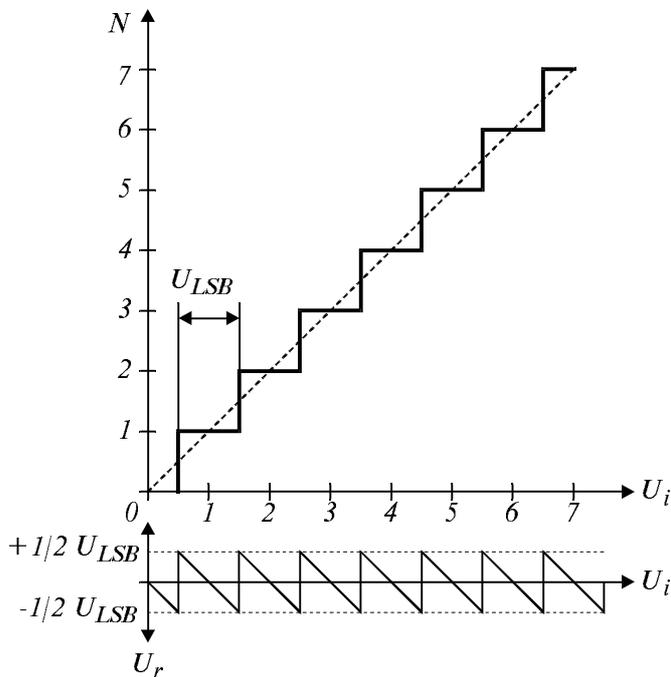
7.3. Аналогово-цифрови преобразуватели

Аналогово-цифровите преобразуватели (АЦП) извършват преобразуване на аналогова величина в цифров код. За удобство, при разглеждането на АЦП, под аналогова величина ще се има предвид напрежение.

7.3.1. Шум и апертурна грешка

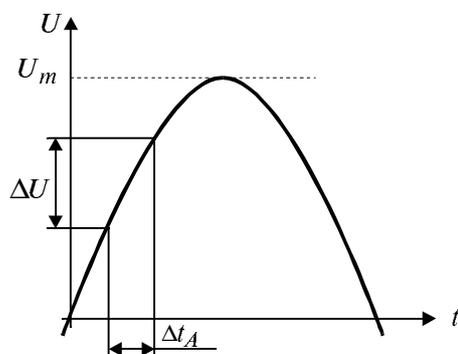
Поради ограничената разредност на числото при аналогово-цифровото преобразуване, възниква систематична грешка, наречена "грешка от квантоване" (грешка от дискретизация). На фиг. 7.16 са показани предавателната характеристика на аналогово-цифров преобразувател и грешката от квантоване U_r . Предавателната характеристика на АЦП се описва с уравнението $N = U_i / U_{LSB}$. Както се вижда, грешката от квантоване се простира в рамките на $\pm 0,5 U_{LSB}$. Тази грешка може да се разглежда и като въвеждане на допълнителен шум в информацията и влошаване на отношението сигнал/шум. От литературните източници е известно, че при синусоидална форма на преобразуваното напрежение, отношението сигнал/шум S от АЦП може да

се опише с уравнението $S[dB] = n \cdot 6 + 1,8$, където n е разредността на преобразувателя.



Фиг. 7.16. Предавателна характеристика на АЦП и грешка от квантоване.

При работата на аналогово-цифровите преобразуватели, възниква и една друга грешка, наречена апертурна грешка (апертюра), която има динамичен характер. Тя се обуславя от факта, че АЦП притежават ограничено време на преобразуване t_A , през което входният сигнал може да се промени. При започване на преобразуването, входният сигнал ще има една стойност, а при завършването — друга. Тогава, измерената цифрова стойност ще бъде неопределена по време, в рамките на времето на преобразуване, т.е. ще съответства на моментна стойност на входното напрежение, намираща се между началото и края на аналогово-цифровото преобразуване.



Фиг. 7.17. Възникване на апертурна грешка в АЦП.

Нека да предположим, че входният сигнал е синусоиден, с максимална честота f_{max} и се развива в целия диапазон на аналогово-цифровото преобразуване, т.е. $U_{max} = 2U_m$ (фиг. 7.17). Сигналят има най-голяма скорост при преминаването през нулата:

$$\left. \frac{dU}{dt} \right|_{t=0} = U_m \omega_{max}$$

Оттук, промяната на входното

напрежение е $\Delta U = U_m \omega_{max} \Delta t_A$. За съхраняване разредността на АЦП, тази промяна не трябва да бъде по-голяма от напрежението, съответстващо на най-малкия разред — U_{LSB} , т.е.:

$$\Delta t_A < \frac{U_{LSB}}{U_m \omega_{max}} = \frac{U_{LSB}}{U_{max} \pi f_{max}} = \frac{1}{(2^n - 1) \pi f_{max}}.$$

Това уравнение задава минималното необходимо време на преобразуване, което трябва да притежава използваният аналогово-цифров преобразувател, за да може да работи с необходимата точност при честотата f_{max} на сигнала. Условието трудно се изпълнява при високи честоти. Например, нека е необходимо 8-разредно преобразуване ($n = 8$), при максимална честота на сигнала 10 МHz. От горната формула се изчислява, че времето на преобразуване на използвания АЦП трябва да е по-малко от 125 ps — едно невъзможно изискване за съществуващите АЦП.

Изход от това положение, е използването на аналогова памет S/H (Sample/Hold — схема следене-запомняне) във входа на АЦП, която да запомни сигнала, докато трае неговото преобразуване. В този случай, необходимото максимално време на преобразуване на АЦП се определя от теоремата за дискретизацията, която изисква честотата с която се извършва преобразуването да бъде най-малко два пъти по-висока от f_{max} . В конкретния пример, периодът на дискретизация съгласно тази теорема ще бъде 50 ns, т.е. при използването на схема S/H , използваният АЦП трябва да има време на преобразуване по-малко от 50 ns, което е около 400 пъти по-голямо от необходимото време на преобразуване без използване на схема S/H .

Съществуват много начини за изграждането на аналогово-цифрови преобразуватели, но най-общо те могат да се групират в три различни метода — паралелен, тегловен и преброителен.

При първия метод, входното напрежение едновременно се сравнява с $2^n - 1$ опорни напрежения и се определя между кои нива се намира то. Резултатът се получава в един такт. На този принцип се изграждат най-бързите АЦП, с време на преобразуване до няколко наносекунди, но със сравнително ниска разредност.

При тегловния метод, цифровата стойност се определя чрез последователно премерване на теглото на всеки разред във входната величина. Резултатът се получава в n такта. На този принцип се изграждат болшинството от съществуващите АЦП, с разредност $10 \div 12$ бита и време на преобразуване до 10 μ s.

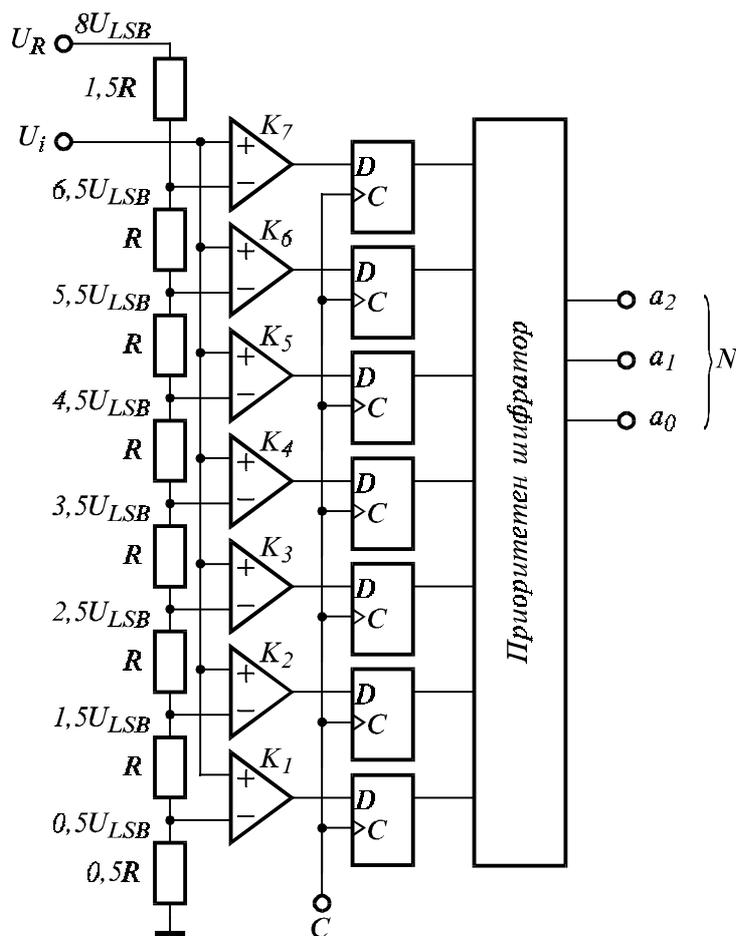
При преброителния метод, цифровата стойност се получава чрез последователното преброяване на количеството U_{LSB} , съдържащи се

във входната величина. Резултатът се получава за максимално 2^n такта. На този принцип се изграждат бавни, но високоразредни АЦП.

Съществува клас аналогово-цифрови преобразуватели, които работят чрез междинно преобразуване на входната аналогова величина в друга — например преобразуване на напрежение в честота, период, фаза и др. и последващо измерване на междинната величина.

7.3.2. Паралелни аналогово-цифрови преобразуватели

Паралелният аналогово-цифров преобразувател (Flash ADC) изисква изграждането на $2^n - 1$ опорни напрежения, съответстващи на стъпалата в предавателната характеристика. Най-лесно това се постига чрез един опорен източник и подходящ резисторен делител. Входното напрежение едновременно се сравнява с всички опорни напрежения чрез аналогови компаратори и изходните показания на компараторите се преобразуват в необходимия цифров код.



Фиг. 7.18. 3-разреден паралелен аналогово-цифров преобразувател.

На фиг. 7.18 е показан 3-разреден паралелен АЦП. Тъй като първото стъпало в предавателната характеристика е $0,5U_{LSB}$, първият ре-

зистор е $0,5R$. Последният резистор е $1,5R$ поради факта, че последното стъпало в предавателната характеристика на АЦП е също $0,5U_{LSB}$ и за да се работи с опорно напрежение $U_R = 2^n U_{LSB}$. При подаване на входно напрежение U_i , сработват онези компаратори, чиито опорни напрежения остават под U_i . Съответствието между относителното входно напрежение $U = U_i/U_{LSB}$ и изходното състояние на компараторите е показано в таблицата на същата фигура.

Таблица 7.2.

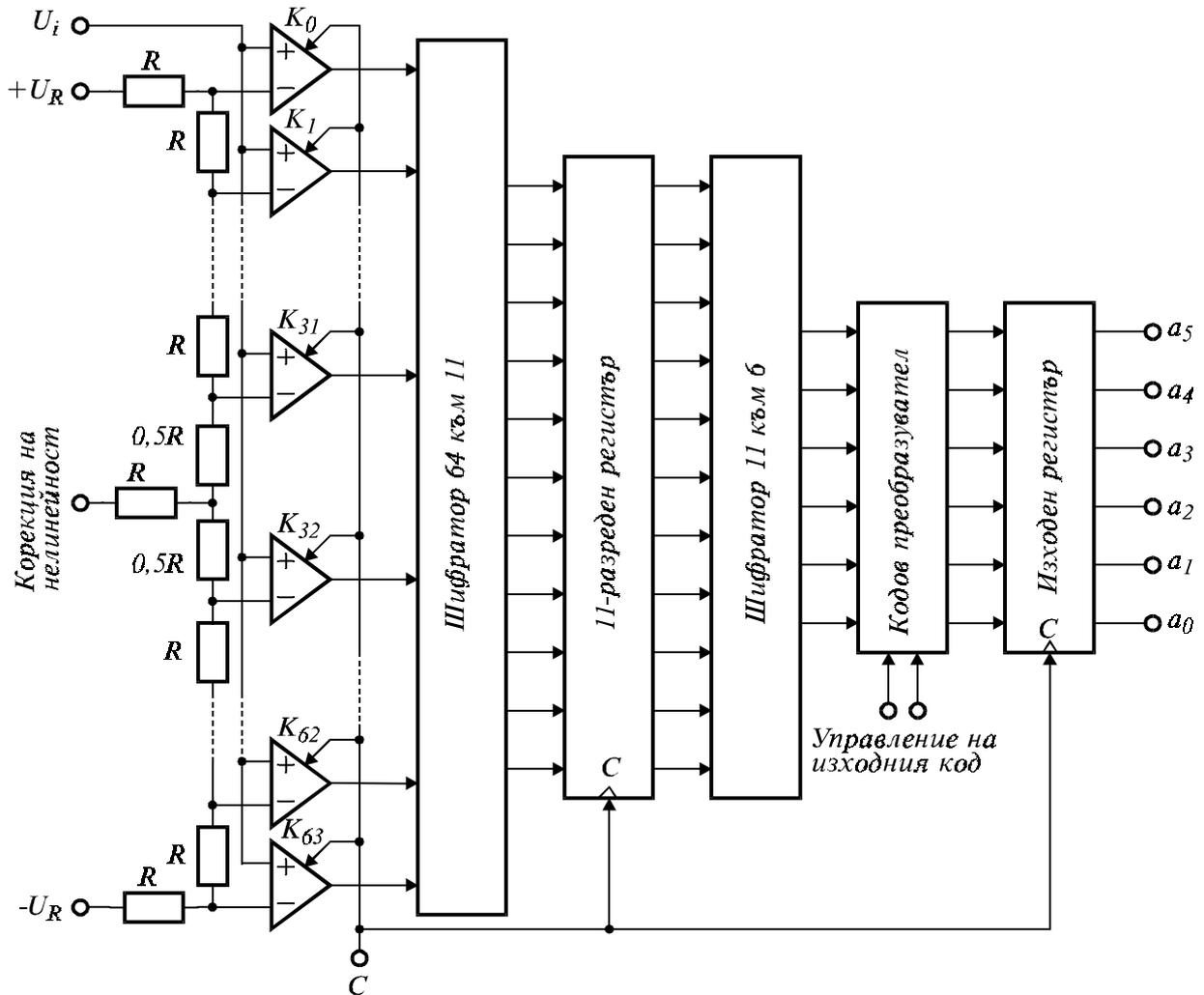
Състояние на паралелния ЦАП в зависимост от входното напрежение

| Входно напрежение | Състояние на компараторите | | | | | | | Двоично число | | | Десетично число | |
|----------------------|-------------------------------|-------|-------|-------|-------|-------|-------|------------------|-------|-------|--------------------|-------|
| | $U=U_i/U_{LSB}$ | K_1 | K_2 | K_3 | K_4 | K_5 | K_6 | K_7 | a_2 | a_1 | | a_0 |
| $U < 0,5$ | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| $0,5 < U < 1,5$ | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| $1,5 < U < 2,5$ | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 2 |
| $2,5 < U < 3,5$ | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 3 |
| $3,5 < U < 4,5$ | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 4 |
| $4,5 < U < 5,5$ | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 5 |
| $5,5 < U < 6,5$ | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 6 |
| $6,5 < U$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 7 |

Изходите на компараторите дават числото в т.нар. "термометричен" код (вж. табл. 7.2). Преобразуването в двоичен код се извършва с приоритетен шифратор. При използването на компаратори от усилвателен тип, преди шифратора се поставят запомнящи тригери, тактувани по фронт на тактовия сигнал, които стробират едновременно изходната информация от компараторите. Това се налага, поради неедновременното установяване на компараторите и произтичащата от това опасност да се изработи грешна информация на изхода за времето на преходния процес. Запомнящи тригери не се поставят, ако се използват компаратори от тригерен тип, притежаващи допълнителен стробиращ вход. Приоритетността на шифратора осигурява преобразуване на изходната информация според най-старшия сработил компаратор. Съществуват схемни решения, при които за възприемане на препълване, се използват 2^n компаратора.

При увеличаването на разредността на паралелните АЦП, нараства сложността на шифратора. Едно често срещано решение, е организирането на т.нар. "конвейерен" принцип на преобразуването. Шифраторът се изгражда от две последователни стъпала, между които се поставя запомнящ регистър. Преобразуването протича на два такта. При

първия такт, аналоговият сигнал се претегля от компараторите и се преобразува от първото стъпало на шифратора. През втория такт, се извършва вторичното прекодиране от второто стъпало на шифратора, като в същото време първото стъпало извършва преобразуване на новия входен сигнал.



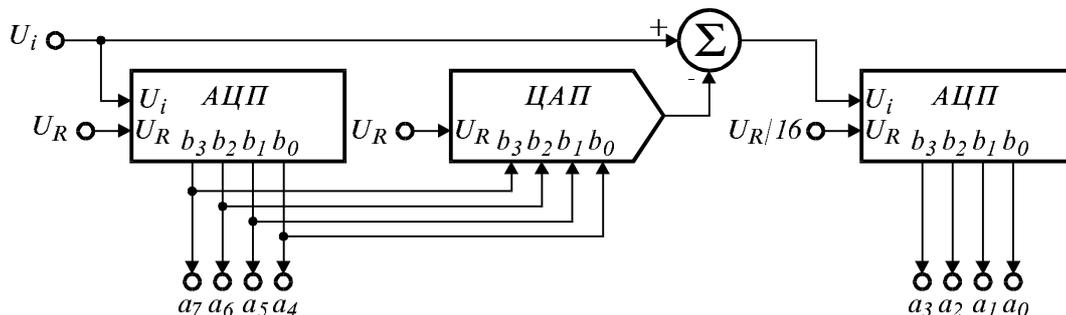
Фиг. 7.19. 6-разреден паралелен аналогово-цифров преобразувател, използващ конвейерен принцип на преобразуване.

Пример за конвейерен принцип на преобразуване е даден на фиг. 7.19, където е показана структурната схема на 6-разредния паралелен АЦП К1107ПВ1 (Русия). Входният делител е съставен от 66 резистора с обща стойност от 67Ω и има извод в средата. С подаването на минимално напрежение ($\pm 0,1 \text{ V}$) на този извод, може да се постигне корекция на нелинейността на характеристиката на преобразуване. Използвани са 64 компаратора от тригерен тип. Шифрирането на информацията се извършва двустъпално. Първо се използва шифратор 64 към 11, а след буферната памет — шифратор 11 към 6. Полученият

6-разреден цифров код преминава през кодов преобразувател, в който се определя кодът на изходния сигнал и се запомня в изходен буфер. Кодът на изходния сигнал може да бъде прав, обратен и допълнителен двоичен код. Поставянето на изходен регистър забавя с още един такт получаването на изходната информация (общо са три), но благодарение на конвейрността на обработката, честотата на преобразуване се определя само от времетраенето на един такт.

7.3.3. Паралелно-последователен метод за аналогово-цифрово преобразуване

Недостатък на паралелния метод е необходимостта от голям брой компаратори в АЦП. Броят на компараторите може да се намали, ако се модифицира паралелният метод, чрез разделянето му на две или повече последователни по-нискоразредни преобразувания в т.нар. паралелно-последователно АЦП (Semi-flash ADC). Бързодействието на преобразуването се намалява, но ако се приложи конвейрен принцип на обработка при отделните преобразувания, може се запази високата честота на дискретизация както при паралелния метод.



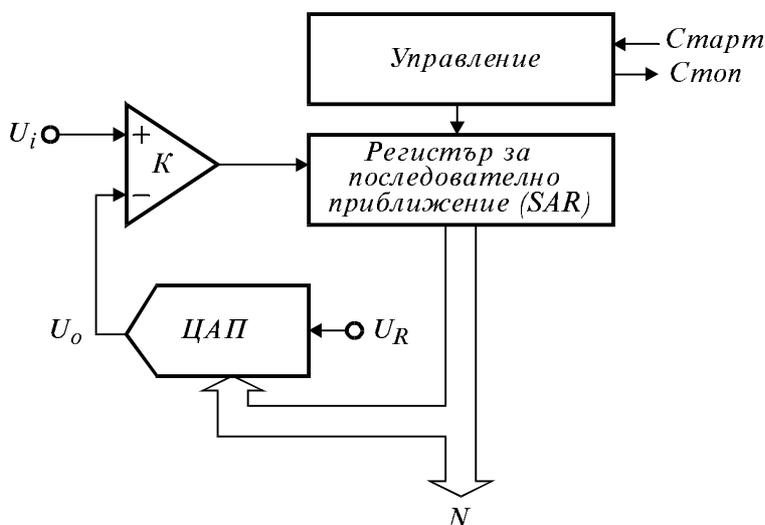
Фиг. 7.20. 8-разреден паралелно-тегловен аналогово-цифров преобразувател.

Пример, на 8-разреден модифициран паралелен ЦАП, е показан на фиг. 7.20. Първото преобразуване се извършва с 4-разреден паралелен АЦП, като се получават старшите 4 разряда на числото. Резултатът представлява грубо квантоване на входното напрежение. С помощта на 4-разреден ЦАП, се извършва обратно преобразуване на цифровата стойност в аналогово напрежение, което се изважда от входното. Резултантната величина е остатъчно напрежение в рамките на един дискрет на първия АЦП. Остатъчното напрежение се подлага на второ аналогово-цифрово преобразуване, за получаване на младшите 4 разряда на числото. Вторият АЦП трябва да притежава диапазон на входното напрежение, равен на един дискрет на първия АЦП, което се задава с подходящо опорно напрежение — в случая $U_R/16$.

Необходимо условие за правилно извършване на преобразуването е първият АЦП и ЦАП да имат точността на 8-разредни преобразуватели (разредността на цялото преобразуване). Докато трае второто преобразуване, входното напрежение трябва да остава непроменено, което обуславя необходимостта от наличието на аналогова памет във входа (схема за следене-запомняне). Всъщност, модифицираният паралелен метод извършва “претегляне” на разредите по групи спрямо входната величина, затова се нарича и “паралелно-тегловен” метод.

7.3.4. Тегловен метод за аналогово-цифрово преобразуване и АЦП със зарядно преразпределение

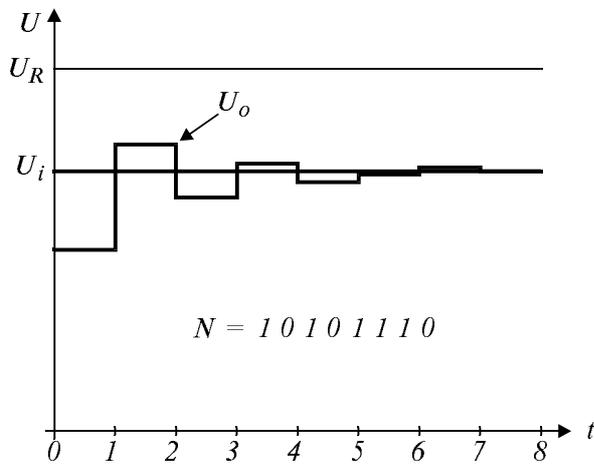
На фиг. 7.21 е показан АЦП, който работи по тегловния метод (метод на последователното приближение). Той се състои от компаратор, който сравнява входното напрежение с изходното напрежение от ЦАП. Разредността на цифрово-аналоговия преобразувател определя разредността на аналогово-цифровото преобразуване. Цифровата информация за ЦАП се определя от специален регистър SAR (Successive Approximation Register — регистър за последователно приближение).



Фиг. 7.21. Тегловен метод за аналогово-цифрово преобразуване.

Процесът на измерване започва с нулиране на всички разреди. След това, в старшия разред се записва 1 . ЦАП изработва на изхода си напрежение, съответстващо на половината от работния диапазон. Компараторът сравнява напрежението от входа и това от ЦАП. Ако входното напрежение е по-високо, разредът се остава в 1 , а ако е по-ниско — разредът се нулира. Следва установяване в 1 на следващия разред. Неговото тегло е $1/4$ от диапазона на преобразуване. Компараторът отново сравнява входното напрежение с това от изхода на ЦАП и изработва сигнал за оставянето в 1 или свалянето в 0 на “претегля-

ния” разред. Преминава се към обработка на следващия по-младши разред и т.н.

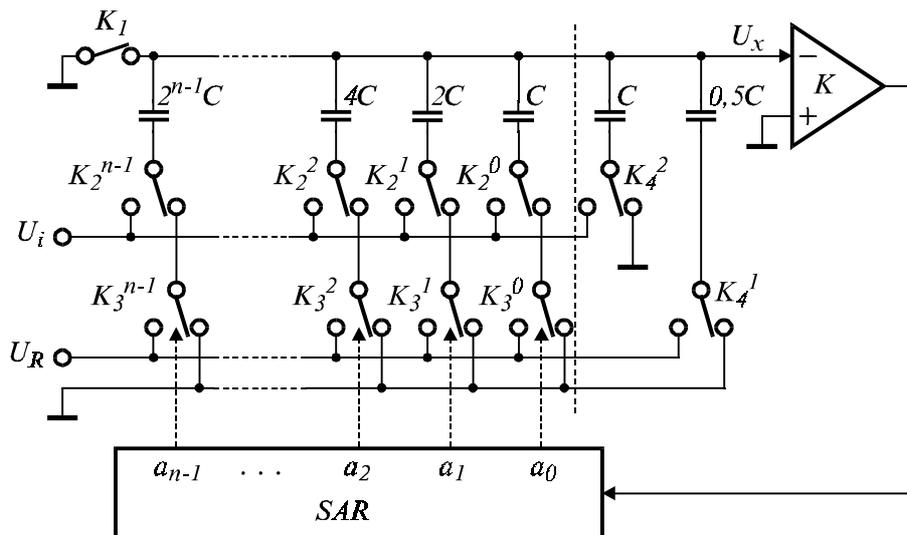


Фиг. 7.22. Времедиаграма на процеса на последователно приближение при 8-разреден тегловен АЦП.

За толкова такта, колкото е разредността на ЦАП се извършва претеглянето на всички разреди и накрая, числото, подадено на входа на ЦАП, съответства на входната аналогова величина. Т.е. за n -разредно АЦП са необходими n такта. Времедиаграмата на напрежението в изхода на ЦАП спрямо входното напрежение, в рамките на едно примерно измерване, е показана на фиг. 7.22.

Известно е, че при CMOS технологията по-лесно се изграждат кондензатори отколкото резистори. Във връзка с това, добиха разпространение аналогово-цифрови преобразуватели със зарядно преразпределение. При тях, входното напрежение се запомня върху капацитивна група, а самото определяне на цифровия код се извършва чрез последователно претегляне на натрупаните заряди върху капацитетите. Схема на n -разреден АЦП със зарядно преразпределение е показана на фиг. 7.23.

Известно е, че при CMOS технологията по-лесно се изграждат кондензатори отколкото резистори. Във връзка с това, добиха разпространение аналогово-цифрови преобразуватели със зарядно преразпределение. При тях, входното напрежение се запомня върху капацитивна група, а самото определяне на цифровия код се извършва чрез последователно претегляне на натрупаните заряди върху капацитетите. Схема на n -разреден АЦП със зарядно преразпределение е показана на фиг. 7.23.

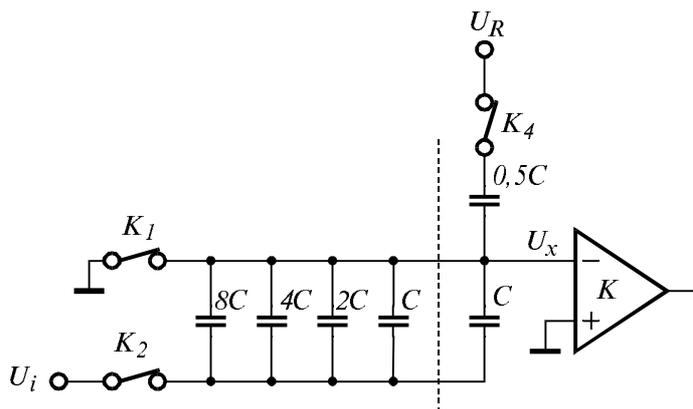


Фиг. 7.23. Тегловен аналогово-цифров преобразувател със зарядно преразпределение.

По начина на изграждането, АЦП със зарядно преразпределение не се нуждаят от външни схеми за запомняне на сигнала по време на

преобразуването, тъй като самата капацитивна група извършва запомняне на аналоговото входно напрежение върху себе си. Капацитивната група се състои от кондензатори, чиито капацитети се отнасят помежду си както разредите на преобразувателя (за двоично преобразуване — както степените на 2). Допълнително са включени още два капацитета със стойност C и $0,5C$. Състоянията, в които се намира един АЦП със зарядно преразпределение са две. Едното е състояние на следене на входната величина. Всички кондензатори, с изключение на този със стойност $0,5C$, са свързани успоредно и на тях се подава входното напрежение U_i . Кондензаторът $0,5C$ се свързва към опорното напрежение U_R .

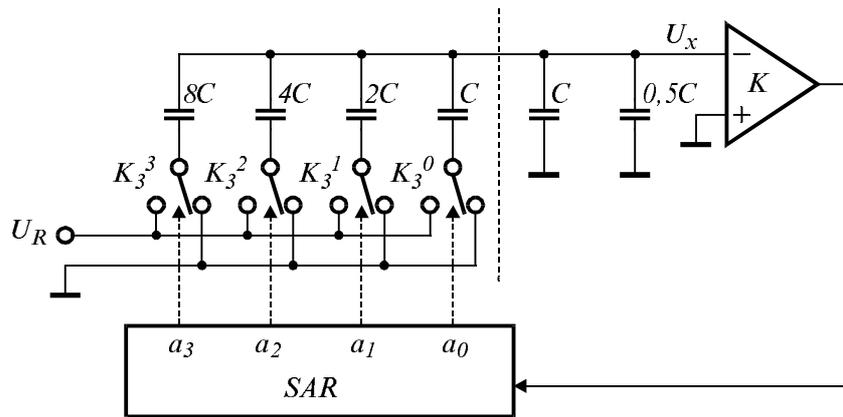
На фиг. 7.24 е показана опростена структура на 4-разреден АЦП със зарядно преразпределение в състояние на следене на входната величина. Натрупаният заряд върху капацитивната група се дава с равенството: $Q_i = U_i 16C + U_R 0,5C$



Фиг. 7.24. 4-разреден АЦП със зарядно преразпределение, в режим на следене на входното напрежение.

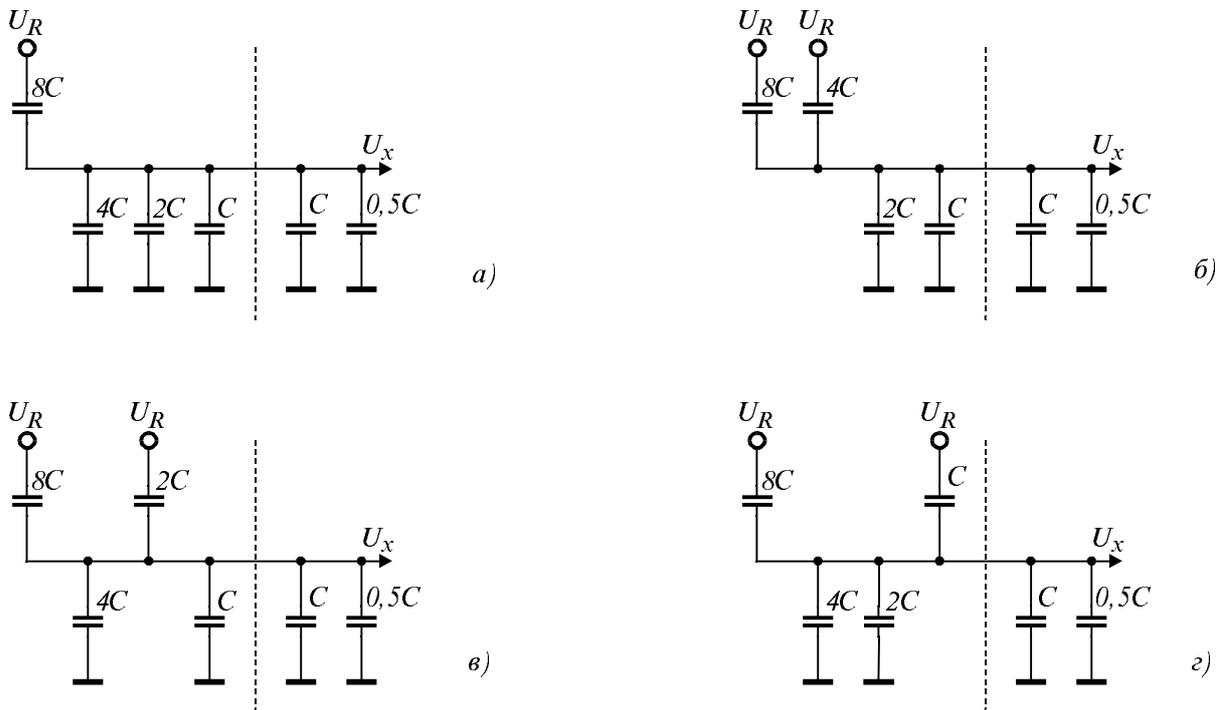
Вторият режим е режим на запомняне и претегляне на входното напрежение. Капацитивната група се свързва, както е показано на фиг. 7.25. Напрежението U_x в общата точка на групата, се следи от компаратора, който управлява регистъра за последователно приближение. В зависимост от състоянието на битовете в SAR , съответстващите им кондензатори се превключват към опорното напрежение U_R (ако битът е 1) или към маса. Превключването започва от най-старшия бит. След всяко превключване, състоянието на изхода на компаратора определя дали управляваният бит в SAR ще остане в 1 или ще се върне в 0.

Нека предположим, че е подадено входно напрежение $U_i = 9U_{LSB}$. Опорното напрежение определя диапазона на преобразуване. За 4-разреден АЦП, $U_{LSB} = U_R/16$, откъдето $U_i = 9U_R/16$. Внесеният заряд ще бъде $Q_i = 9U_R 16C / 16 + U_R 0,5C$ или $Q_i = U_R 9,5C$.



Фиг. 7.25. 4-разреден АЦП със зарядно преразпределение, в режим на запомняне и преобразуване на входното напрежение.

При първата стъпка от претеглянето, кондензаторът $8C$ се свързва към U_R , а останалите към маса — вж. фиг. 7.26.а. Уравнението на заряда в конденкативната група ще бъде: $Q = (U_R - U_x)8C + (0 - U_x)8,5C$.



Фиг. 7.26. Последователно пресвързване на конденкативната матрица на 4-разреден АЦП при преобразуване на входно напрежение със стойност $U_i = 9ULSB$.

При новото свързването на конденкатетите, настъпва преразпределение на заряда, но неговото количество остава постоянна величина. Приравнява се $Q = Q_i$, т.е. $U_R8C - U_x8C - U_x8,5C = U_R9,5C$, откъде-

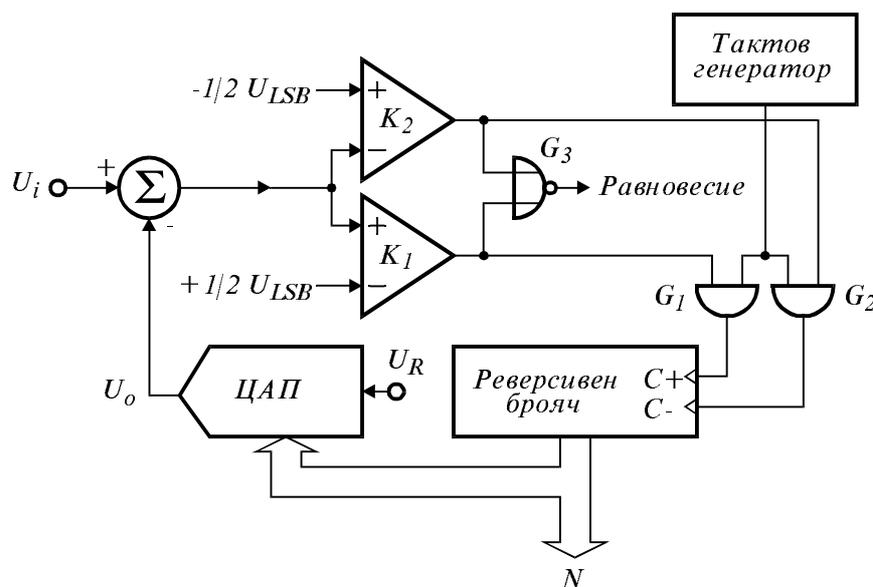
то $U_x = -1,5U_R/16,5$. Получава се отрицателна стойност, следователно $a_3 = 1$, а кондензаторът $8C$ трябва да остане свързан към U_R .

Третата стъпка от претеглянето е кондензаторът $2C$ да се свърже към U_R , както е показано на фиг. 7.26.в. Зарядното уравнение придобива вида: $Q = (U_R - U_x)10C - (0 - U_x)6,5C$. Приравнява се $Q = Q_i$, т.е. $U_R10C - U_x10C - U_x6,5C = U_R9,5C$ откъдето $U_x = 0,5U_R/16,5$. Получената стойност е положителна, следователно $a_1 = 0$, а кондензаторът $2C$ трябва да се свърже отново към маса.

Четвъртата стъпка от претеглянето е кондензаторът C да се свърже към U_R , както е показано на фиг. 7.26.г. Зарядното уравнение придобива вида: $Q = (U_R - U_x)9C - (0 - U_x)7,5C$. Приравнява се $Q = Q_i$, т.е. $U_R9C - U_x9C - U_x7,5C = U_R9,5C$, откъдето $U_x = -0,5U_R/16,5$. Получената стойност е отрицателна, следователно $a_0 = 1$. След претеглянето на последния разред, се получава цифрова стойност $N = 1001$, което съответства на подаденото входно напрежение в примера.

7.3.5. Преброятелен метод за аналогово-цифрово преобразуване

Аналогово-цифровите преобразуватели, работещи по този метод, използват прости средства и достигат висока точност. Времето на преобразуване обаче е значително. Тяхното разнообразие е голямо, затова тук ще бъдат разгледани само два техни типични представителя.

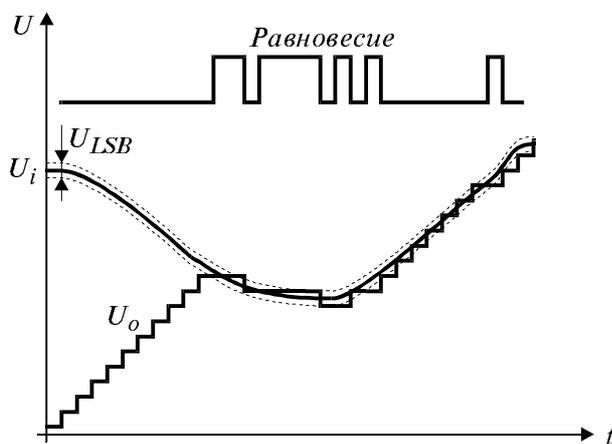


Фиг. 7.27. Преброятелен АЦП от компенсационен тип.

Първият представител е т.нар. следящ аналогово-цифров преобразувател от групата на компенсационните. Неговата структурна схема е

показана на фиг. 7.27. От входното напрежение U_i , се изважда компенсиращото напрежение U_o , изработено в изхода на цифрово-аналоговия преобразувател. Получената разлика се подава на двата компаратора K_1 и K_2 , които имат опорни напрежения съответно $+0,5U_{LSB}$ и $-0,5U_{LSB}$.

Ако разликата е по-голяма от $+0,5U_{LSB}$, сработва компараторът K_1 и разрешава електронната врата G_1 , пропускаща импулсите от тактовия генератор към сумиращия вход на реверсивния брояч. Той увеличава съдържанието си и изходното напрежение на ЦАП догонва входното. Ако разликата е по-малка от $-0,5U_{LSB}$, сработва компараторът K_2 и разрешава електронната врата G_2 , пропускаща импулсите към изваждащия вход на брояча.



Фиг. 7.28. Процес на следене на входното напрежение при преброятелен АЦП от компенсационен тип.

Така, чрез нарастваща или намаляваща промяна на подавания към ЦАП цифров код, неговото напрежение следи непрекъснато промяната на входното. Ако разликата между входното напрежение и напрежението в изхода на ЦАП е в границите на $\pm 0,5U_{LSB}$, към брояча няма да бъдат пропускани тактови импулси нито за сумиране, нито за изваждане. Това е установеният режим, при който ЦАП е достигнал входната величина и подаваният му цифров код съответства на нея. Изходите и на двата компаратора тогава стоят в 0. Логическият елемент

G_3 детектира това състояние и изработва сигнал за достигнато равновесие.

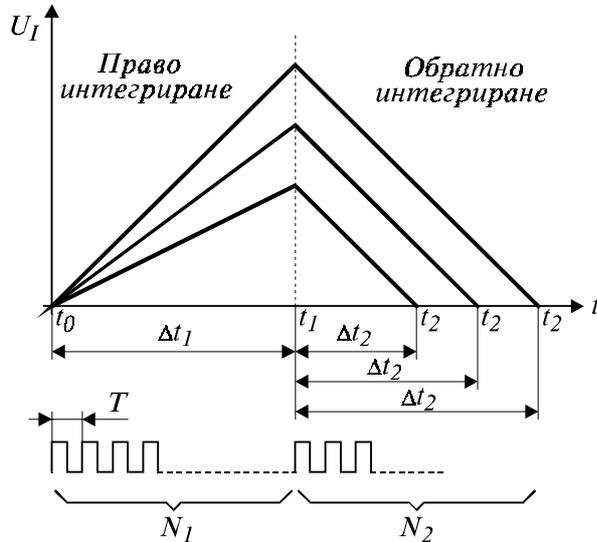
Времедиаграмите на хода на входното напрежение и компенсиращото го от изхода на ЦАП са дадени на фиг. 7.28.

Към преброятелния метод се отнасят и интегриращите аналогово-цифрови преобразуватели. Най-популярен от тях е двутактно интегриращият АЦП. Същността на работата му се състои в следното:

— за точно определено време Δt_1 (време на право интегриране) се извършва интегриране на входното напрежение U_i с аналогов интегратор. След изтичане на времето Δt_1 , в изхода на интегратора се получава напрежение $U_I(t_1)$:

$$U_I(t_1) = -\frac{1}{\tau} \int_{t_0}^{t_1} U_i dt = -\frac{1}{\tau} U_{i(mid)} \Delta t_1,$$

където $U_{i(mid)}$ е средната стойност на входното напрежение за времето на правото интегриране;



Фиг. 7.29. Времени диаграми на процеса на преобразуване при двукратно интегриращ преброятелен АЦП.

— след изтичане на времето на правото интегриране, към входа на интегратора се включва опорно напрежение U_R с обратна полярност от тази на входното. Извършва се интегриране на опорното напрежение, като се отчита времето Δt_2 (време на обратно интегриране), за което изходът на интегратора достига нулевата линия — фиг. 7.29.

$$U_I(t_2) = U_I(t_1) - \frac{1}{\tau} \int_{t_1}^{t_2} U_R dt$$

Приравнява се $U_I(t_2) = 0$, и:

$$-\frac{1}{\tau} U_{i(mid)} \Delta t_1 - \frac{1}{\tau} U_R \Delta t_2 = 0, \text{ или}$$

$$U_{i(mid)} = -U_R \frac{\Delta t_2}{\Delta t_1}.$$

Времената Δt_1 и Δt_2 се задават и измерват със съответен брой N_1 и N_2 елементарни мерни периода T , т.е. $\Delta t_1 = N_1 T$ и $\Delta t_2 = N_2 T$. Тогава:

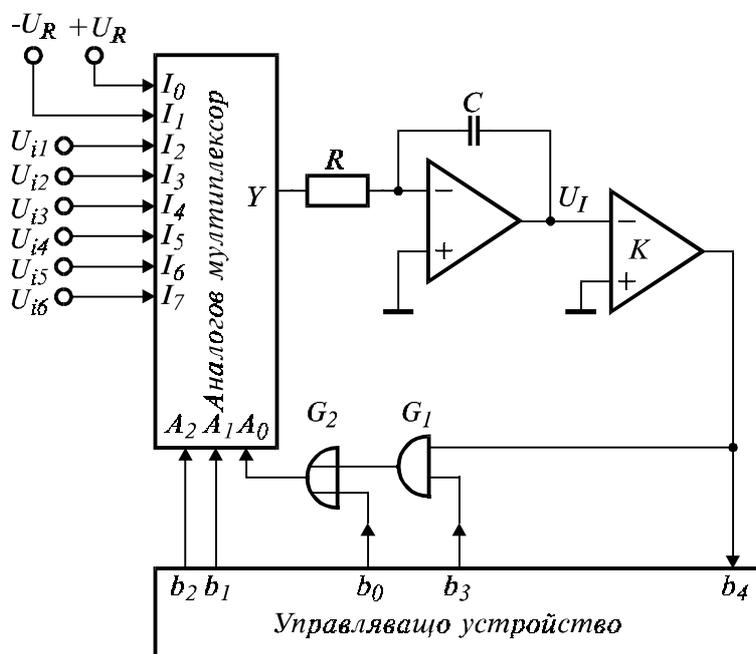
$$U_{i(mid)} = -U_R \frac{N_2}{N_1}.$$

От получената формула следва, че отличителна особеност на метода на двойното интегриране е тази, че нито мярната единица T , нито времекопстантата $\tau = RC$ влияят на резултата. Достатъчно е те само да останат непроменени в рамките на едно измерване (за времето $\Delta t_1 + \Delta t_2$). Затова с метода на двойното интегриране може лесно да се достигне точност до 0,01 %.

При избора на компоненти за двойното интегриране, е необходимо да се ползват висококачествени кондензатори с минимална остатъчна поляризация на диелектрика (ефект на "памет") — полипропиленови или тефлонови. Макар че тези кондензатори не са поляризирани, външното им фолио трябва да се включи към носкоомна точка (изхода на интегриращия операционен усилвател). За да се миними-

зира грешката от интегратора и компаратора, е необходимо да се използва целият аналогов диапазон на интегратора.

Друга особеност на метода е, че прилагайки интегриране, като резултат се получава цифровата стойност на усреднената входна величина за времето t_I . Затова, проникнало във входа променливо напрежение ще отслабва толкова по-силно, колкото е по-висока неговата честота. Променливо напрежение, честотата на което е цялочислено кратна на $1/t_I$ се подтиска напълно. Затова е целесъобразно, времето на правото интегриране да бъде избрано кратно на периода на доминиращо в устройството смущение — например мрежовата честота. По този начин, могат да се подтиснат всички мрежови смущения.



Фиг. 7.30. 6-канален аналогово-цифров преобразувател, работещ по метода на двукратното интегриране.

Структурната схема на 6-канален аналогово-цифров преобразувател, работещ по метода на двойното интегриране, е показан на фиг. 7.30. Превключването на входните и опорните напрежения към интегратора се извършва от аналогов мултиплексор. Изходът на интегратора се следи от компаратор, който подава сигнал към управляващото устройство. Двете опорни напрежения $+U_R$ и $-U_R$ са еднакви по големина, но противоположни по полярност и алтернативно се използват, в зависимост от полярността на измерваното входно напрежение. В схемата е включена и верига за поддържане на нулево напрежение в изхода на интегратора, в паузата между измерванията. Тя се състои от логическите елементи G_1 и G_2 и се управлява от изход b_3 на управляващото устройство.

Измерването на входно напрежение протича по следния начин.

Управляващото устройство забранява веригата за поддържане на нулата ($b_3 = 0$) и чрез изходите си b_0 , b_1 и b_2 задава на аналоговия мултиплексор кой канал да бъде пропуснат за правото интегриране. След това, управляващото устройство започва отмерването на времето за правото интегриране t_1 . Когато изтече t_1 , по състоянието на изхода на компаратора, който се следи от входа b_4 , може да се разбере полярността на измервания канал. Ако $b_4 = 0$, полярността е отрицателна, а ако $b_4 = 1$, тя е положителна. Управляващото устройство указва с изходите си b_0 , b_1 и b_2 на аналоговия мултиплексор да пропусне за обратното интегриране онова опорно напрежение, което е с противоположна полярност на измерваното. От този момент, управляващото устройство измерва времето за обратното интегриране t_2 докато компараторът се преобърне.

Автоматичното поддържане на нулата в изхода на интегратора в паузата между измерванията се извършва, като управляващото устройство нулира изходите си b_0 , b_1 и b_2 , а в изхода си b_3 запише 1. По този начин се разрешават логическите врати G_1 и G_2 и изходът на компаратора се пропуска към младшия адресен вход A_0 на аналоговия мултиплексор. Същевременно, адресните входове A_1 и A_2 са в 0. Така, компараторът директно управлява превключването само на опорните напрежения към входа на интегратора. Ако изходът на интегратора се "отклони" от нулевата линия, компараторът превключва към входа му опорно напрежение с такава полярност, която ще противодейства на отклонението.

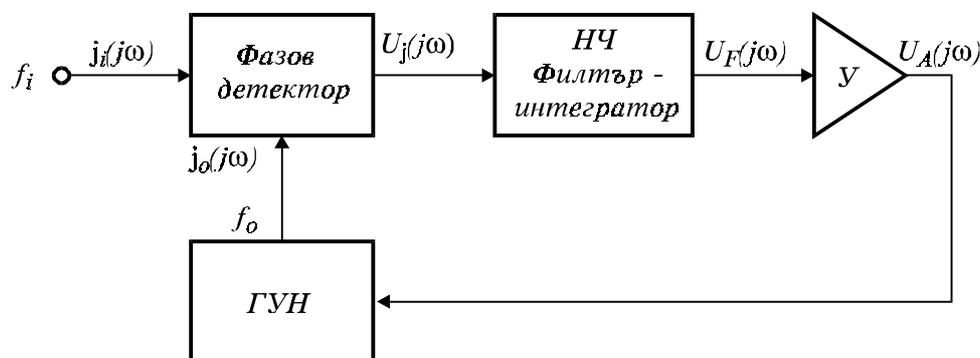
Двойното интегриране намира широко приложение в цифровите универсални измервателни уреди, а също и в преобразувателни модули с разрешаваща способност от 10 до 18 разряда. Там където не е необходимо високо бързодействие, този способ обезпечава много добра точност при ниска цена и притежава висока шумоустойчивост. Управляващото устройство може да се изгради на базата на класическите цифрови схеми, но в последно време за тази цел масово се използват специализирани схеми и дори микроконтролери.

8. ФАЗОВИ И ЧЕСТОТНИ СИНХРОНИЗАТОРИ

Системите за фазова и честотна синхронизация са много важен възел в съвременните електронни устройства. Основен метод за постигането на синхронизация, е методът за Фазово Автоматично Поддържане на Честотата — ФАПЧ (PLL — Phase Locked Loop — Фазово затворена верига).

8.1. Предавателна характеристика и устойчивост на ФАПЧ

Класическата схема на фазов синхронизатор (Фазово-затворена верига) е показана на фиг. 8.1. Тя се състои от фазов детектор — ФД, нискочестотен филтър-интегратор — НЧФ, усилвател — У и генератор, управляван от напрежение — ГУН (VCO — Voltage Controlled Oscillator). Фазовият детектор представлява устройство, което сравнява две честоти и формира изходен сигнал, пропорционален на тяхната фазова разлика. Едната честота е означена като входна — f_i , а другата — като изходна — f_o .



Фиг. 8.1. Блокова схема на фазово затворена верига — PLL.

Фазите на двете сравнявани честоти могат да бъдат означени в комплексна форма съответно с $\varphi_i(j\omega)$ и $\varphi_o(j\omega)$. Изходното напрежение на фазовия детектор има вида:

$U_\varphi(j\omega) = K_\varphi[\varphi_i(j\omega) - \varphi_o(j\omega)]$, където K_φ е коефициентът на предаване на фазовия детектор.

Освен компонентата, пропорционална на фазовата разлика, напрежението в изхода на фазовия детектор съдържа и високочестотни компоненти, равни и кратни на сравняваните честоти. Предназначението на нискочестотния филтър е да изреже тези високочестотни компо-

ненти и да остави само съставната, пропорционална на фазовата разлика. Напрежението в изхода на филтъра се описва с уравнението:

$$U_F(j\omega) = K_F(j\omega) \cdot U_\phi(j\omega) = K_F(j\omega) \cdot K_\phi[\varphi_i(j\omega) - \varphi_o(j\omega)],$$
 където $K_F(j\omega)$ е комплексният коефициент на предаване на нискочестотния филтър (този коефициент е честотно зависим).

Усилвателят усилва изходния сигнал от изхода на нискочестотния филтър и го подава към генератора, управляван от напрежение. Изходният сигнал от усилвателя се описва с уравнението:

$$U_A(j\omega) = K_A \cdot U_F(j\omega) = K_A K_F(j\omega) \cdot K_\phi[\varphi_i(j\omega) - \varphi_o(j\omega)],$$
 където K_A е коефициентът на предаване на усилвателя. В много случаи, при фазовите синхронизатори липсва усилвател и тогава $K_A = 1$.

Генераторът, управляван от напрежение изработва на изхода си честотата $f_o(j\omega)$, която е пропорционална, с някакъв коефициент на пропорционалност K_G , на входящото в него напрежение, т.е. $f_o(j\omega) = K_G U_A(j\omega)$. Тъй като фазата и честотата в изхода на генератора са в интегрална зависимост, т.е. $\varphi_o = \int f_o dt$, което в комплексна форма има вида $\varphi_o(j\omega) = f_o(j\omega) / j\omega$, изходното уравнение на генератора управляван от напрежение добива вида:

$$\varphi_o(j\omega) = K_G \frac{U_A(j\omega)}{j\omega} = \frac{K_G K_A K_F(j\omega) \cdot K_\phi[\varphi_i(j\omega) - \varphi_o(j\omega)]}{j\omega}.$$

След преработка на уравнението се получава предавателната функция на затворената верига $H(j\omega)$:

$$\frac{\varphi_o(j\omega)}{\varphi_i(j\omega)} = H(j\omega) = \frac{K_G K_A K_\phi K_F(j\omega)}{j\omega + K_G K_A K_\phi K_F(j\omega)} = \frac{K_P(j\omega)}{1 + K_P(j\omega)},$$
 където

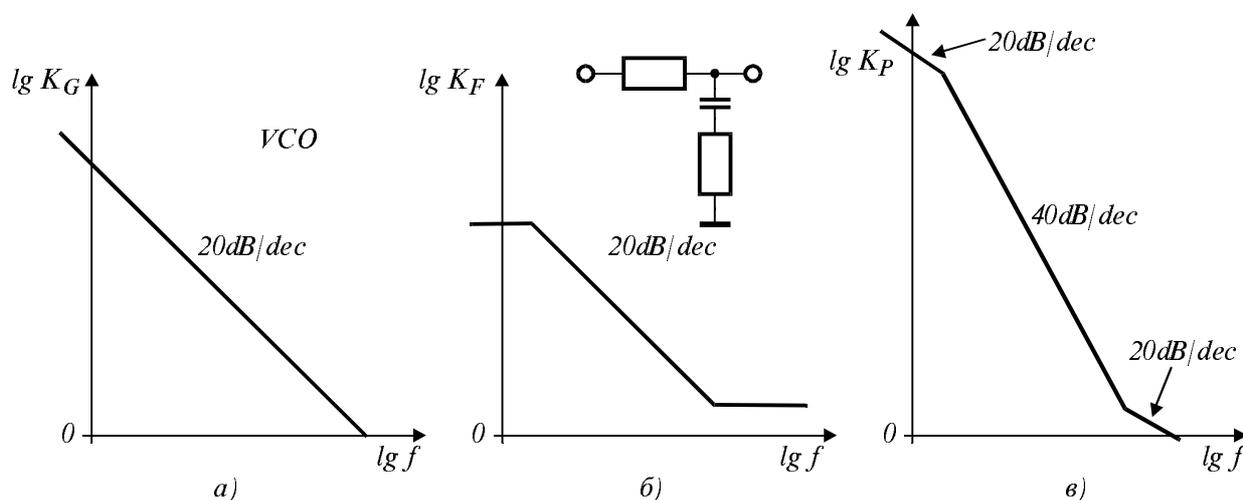
$K_P(j\omega) = \frac{K_G}{j\omega} K_A K_\phi K_F(j\omega)$ представлява пълният коефициент на предаване на фазово затворената верига.

Съществува едно основно различие между обикновените системи за регулиране и фазово затворените вериги. В обикновените системи, регулираната с помощта на обратна връзка величина съвпада с измерваната величина от която се формира сигнал за корекция. При фазово затворените вериги, неизменно присъства едно постоянно интегриране — измерва се фаза, а се регулира честота, а фазата представлява интеграл от честотата. За това във фазово затворената верига, съществува постоянно фазово изместване от 90° .

Присъстващият в затворената верига интегратор съществено влияе върху нейната работа. Той въвежда постоянен наклон от 20 dB/dec в характеристиката на пълния коефициент на предаване, в честотната

област — фиг. 8.2.а. Ако вследствие на допълнителни фазови измествания, наклонът на характеристиката стане 40 dB/dec в зоната на единичното усилване, може да настъпи самовъзбуждане.

Най-простото решение за избягване на самовъзбуждането е в затворената верига да не се включват други компоненти, даващи допълнително фазово закъснение. Такива затворени вериги не съдържат нискочестотен филтър и се наричат “затворени вериги от първи ред”. В много ситуации, те са удобни, но не притежават свойството да изглаждат шумовете и флуктоациите на входния сигнал. Освен това, те не могат да съхранят постоянно фазово съотношение между сравняваните честоти, тъй като изходът на фазовия детектор непосредствено управлява ГУН.



Фиг. 8.2. Осигуряване на устойчивост на фазово затворена верига.

Поставянето на допълнително интегриращо звено (нискочестотен филтър от първи ред) във фазово затворената верига, изглажда пулсациите в изхода на фазовия детектор, а оттам и флуктоациите в изходната честота. Такива фазово затворени вериги се наричат “затворени вериги от втори ред”. Нискочестотният филтър от първи ред също въвежда постоянно фазово закъснение от 90° след честотата на среза. Това означава, че в характеристиката на общия коефициент на предаване на затворената верига, се появява допълнителен наклон от 20 dB/dec .

За да се осигури достатъчен запас от устойчивост, последователно на кондензатора в нискочестотния филтър от първи ред, се включва резистор, чрез който спадът на характеристиката се преустановява от определена честота нататък (фиг. 8.2.б). Така, в пълната характеристика на коефициента на предаване на фазово затворената верига се осигурява наклон от 20 dB/dec в областта на единичното усилване (пре-

сичането на честотната ос — фиг. 8.2.в).

На практика, повечето от съществуващите фазово затворени вериги се изграждат от втори ред. Може да се изгради и верига от по-висок ред, съдържаща по-висок от първи ред нискочестотен филтър, но тогава трябва да се решават сериозни проблеми по осигуряването на устойчивостта.

8.2. Цифрови фазови детектори

Съществуват множество видове фазови детектори. При избора на фазов детектор за практическо приложение, трябва да се отчитат редица фактори:

— същността на входния сигнал. Фазови детектори с вход за синусоидално напрежение могат да бъдат неприложими за цифрови сигнали. Фазови детектори за цифрови регулярни сигнали могат да са неприложими за случайни входни величини и т.н.;

— линейността на предавателната характеристика на фазовия детектор;

— диапазонът на фазовата и честотната разлика, за който предавателната характеристика е линейна. Колкото е по-широк този диапазон, толкова по-полезен е фазовият детектор и толкова той е по-защитен от смущения в сигнала.

От различните фазови детектори ще бъдат разгледани само цифровите, т.е тези които работят с логически сигнали.

Съществуват два основни типа фазови детектори, които понякога се наричат тип 1 и тип 2. Фазовите детекторите от тип 1 са предназначени за работа с еднакви по форма сравнявани сигнали (най-често правоъгълна — с коефициент на запълване $1/2$). Детекторите от тип 2 работят по логически преход (фронт) на сигналите. В следващото изложение, детекторите са дадени заедно с примерно изпълнение на нискочестотен филтър, отделящ съставната, пропорционална на фазовата разлика.

8.2.1. Фазови детектори за регулярни входни величини

Линеен фазов детектор от тип 1, лесно се изгражда с помощта на елемент СУМА ПО МОДУЛ ДВЕ — фиг. 8.3. По своята същност, този елемент представлява детектор на равенство между две логически величини. С помощта на подходящо формиране на сигнала в изхода му, се получава напрежение, пропорционално на фазовата разлика между сравняваните логически величини. Всъщност, това е и най-простият

цифров фазов детектор. На времедиаграмите на фиг. 8.3 е показано действието му при коефициент на запълване $K = 1/2$ на сравняваните честоти.

Схемата е показана заедно с примерен нискочестотен филтър с операционен усилвател. В изхода на G_1 (точка Φ), е поставен буферен елемент G_2 с отворен колектор, който формира зарядния и разрядния ток за нискочестотния филтър. Филтърът, в показания пример, е същевременно и преобразувател ток — напрежение. Когато изходното ниво в изхода на G_2 е 1 , във филтъра се напмпва ток

$$I^+ = \frac{E_{CC}}{2(R + 100R)},$$

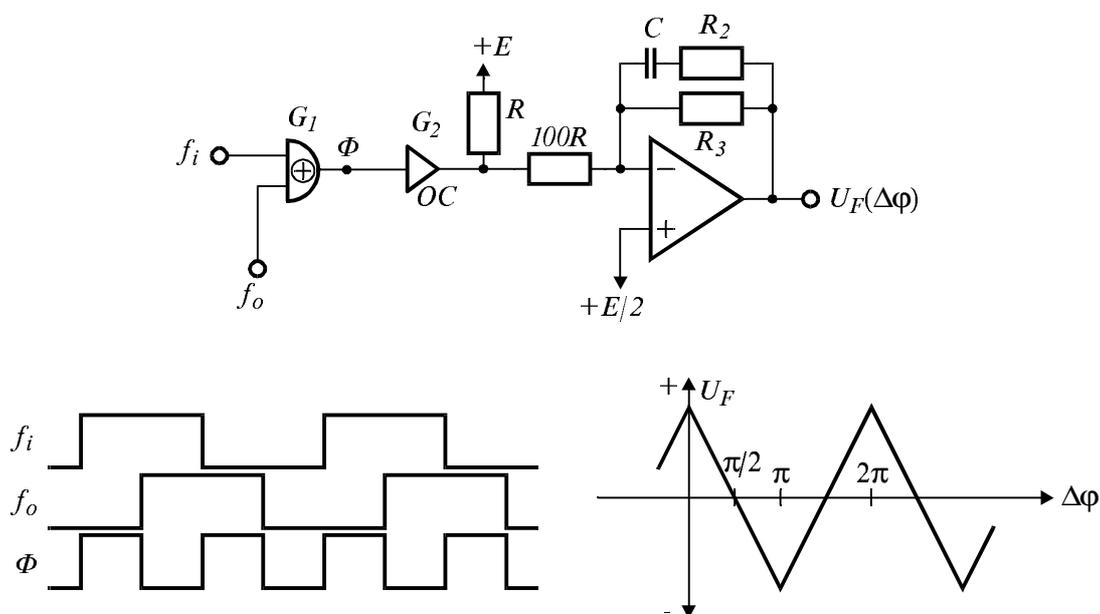
а когато нивото е 0 — от филтъра се изпомпва ток

$$I^- = -\frac{E_{CC}}{2(100R)}.$$

Напомпването и изпомпването на ток се осъществява

благодарение на това, че неинвертиращият вход на филтровия операционен усилвател е подпрян на потенциал $+E/2$.

Съпротивлението R е избрано да бъде 100 пъти по-малко от съпротивлението във входа на филтъра, за да може двата тока да са приблизително равни. Равновесното състояние ще бъде достигнато, когато внасяният заряд във филтъра е равен на изнасяния, т.е. когато импулсите в изхода на G_1 са с коефициент на запълване $1/2$. Това се постига при фазова разлика $\pi/2$ между сравняваните честоти.



Фиг. 8.3. Цифров линеен фазов детектор от тип 1.

Основни характеристики на този фазов детектор са следните:
— предавателната характеристика е тригонообразна и линейна в об-

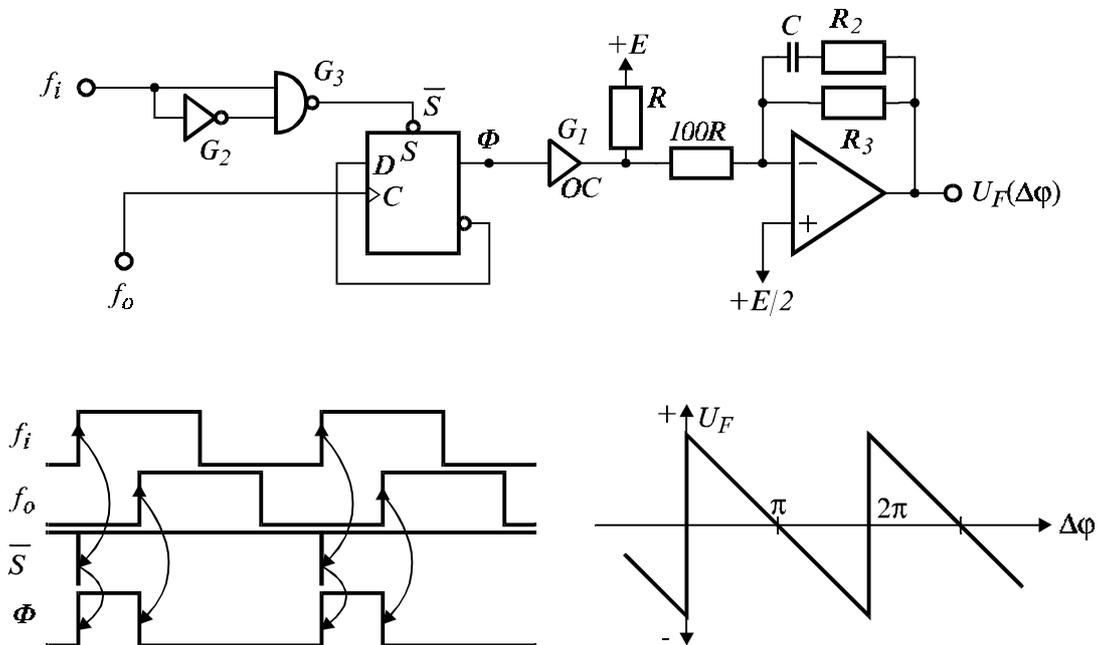
ластта от 0 до π ;

— установената фазова разлика трябва да бъде $\pi/2$ за да се работи в центъра на линейната област от предавателната характеристика;

— при отсъствие на входен сигнал ($f_i = 0$), изходът се намира в центъра на линейната зависимост;

— честота в изхода е два пъти по-висока от входната.

На фиг. 8.4 е показана схема на линеен фазов детектор от тип 2, работещ по нарастващите фронтове на сравняваните сигнали f_i и f_o . На входа на f_i е поставена формираща група G_2, G_3 , която изработва кратки отрицателни импулси по нарастващия фронт на f_i . Така, нарастващият фронт на f_i установява тригера в 1 , а нарастващият фронт на f_o го нулира.



Фиг. 8.4. Цифров линеен фазов детектор от тип 2.

Приложен е същият нискочестотен филтър, както и в предишния детектор. Равновесното състояние ще бъде достигнато, когато внасяният заряд във филтъра е равен на изнасяния, т.е. когато импулсите в изхода на D -тригера са с коефициент на запълване $1/2$. Това става при фазова разлика π между сравняваните честоти.

От показаните времедиаграми на този фазов детектор, могат да се забележат неговите основни черти:

— предавателната характеристика е трионообразна и линейна в диапазона от 0 до 2π ;

— установената фазова разлика трябва да бъде π , за да се работи в средата на линейната област;

— при отсъствие на входен сигнал, т.е. при $f_i = 0$, фазовият детектор работи в средата на диапазона;

— честотата в изхода на фазовия детектор е равна на входната честота.

Както се вижда, съществуват две основни различия между показаните фазови детектори от фиг. 8.3 и 8.4. Първото се отнася до работния диапазон. Работният диапазон на детектора от фиг. 8.3 е два пъти по-малък от този на фиг. 8.4, което е недостатък. Второто се отнася до изходната честота — при детектора от фиг. 8.4, тя е равна на входната, докато при детектора от фиг. 8.3 — тя е два пъти по-висока от входната. Два пъти по-високата изходна честота, значително облекчава нейното филтриране и отделянето на нискочестотната съставна, пропорционална на фазовата разлика, което определено е предимство за този фазов детектор.

Показаните до тук два цифрови фазови детектора, имащи един изход Φ , се наричат още детектори на съвпадение, тъй като сигналът в този изход е 0 или 1 , ако двата сравнявани сигнала са еднакви или не.

При реализирането на ФАПЧ широко се използват детектори, които изработват коригиращ сигнал и при отклонение в честотите на двата сравнявани сигнала — т.нар. честотно-чувствителни фазови детектори. На фиг. 8.5 е показана схемата на широко известния цифров честотно-чувствителен фазов детектор за регулярни входни величини. Той се нарича още фазочестотен детектор.

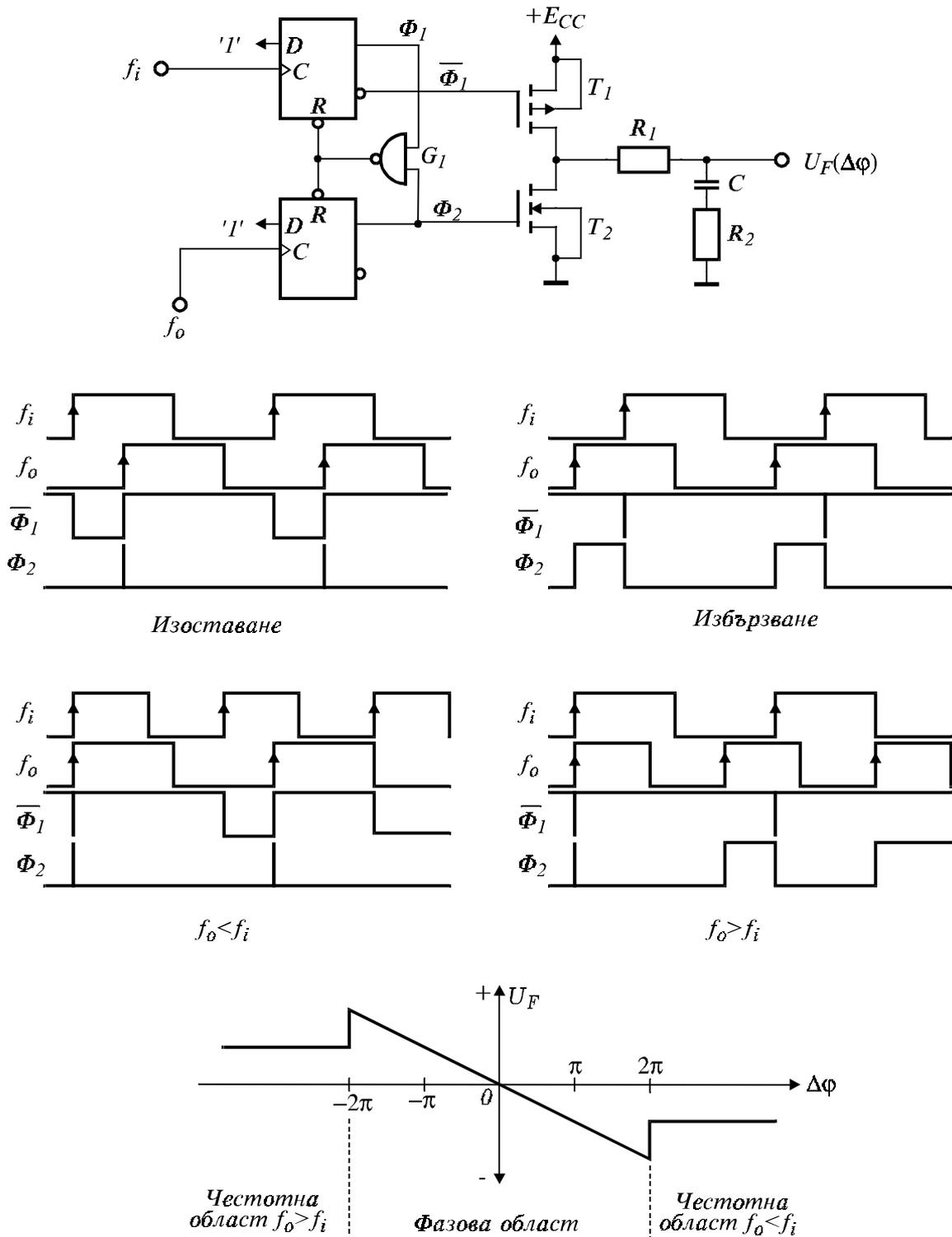
Сравняваните сигнали f_i и f_o превключват с нарастващите си фронтове, в състояние 1 два отделни D -тригера. Логическата схема И-НЕ изработва на изхода си 0 , когато двата D -тригера застанат в 1 и едновременно ги нулира. Изходът на първия тригер (точка Φ_1) ще бъде в състояние 1 ако f_o изостава от f_i и то за времето на изоставане, а инверсният изход на втория тригер (точка $\overline{\Phi}_2$) ще бъде в състояние 0 ако f_o избързва пред f_i и то за времето на избързване.

В схемата е показан друг начин на организиране на нискочестотния филтър (от първи ред), подходящ за CMOS изпълнение на детектора.

Напомпващата и изпомпващата вериги за нискочестотния филтър, тук са разделени. Единичните импулси в точка Φ_1 (нулеви импулси във $\overline{\Phi}_1$) предизвикват напомпване на ток във филтъра през транзистора T_1 , докато единичните импулси в точка Φ_2 (нулеви импулси във $\overline{\Phi}_2$) предизвикват изпомпване на ток от филтъра през транзистора T_2 .

Анализът на показаните на фиг. 8.5 времедиаграми на работа на

честотно чувствителния фазов детектор показват следните съществени особености:



Фиг. 8.5. Цифров фазочестотен детектор за регулярни входни величини.

— съществува установена постоянна съставна на изхода на филтъра, когато честотата f_o е различна от f_i , като полярността на тази пос-

тоянна съставна зависи от това дали f_o е по-висока или по-ниска от f_i . Благодарение на това си свойство, схемата работи и като честотен детектор;

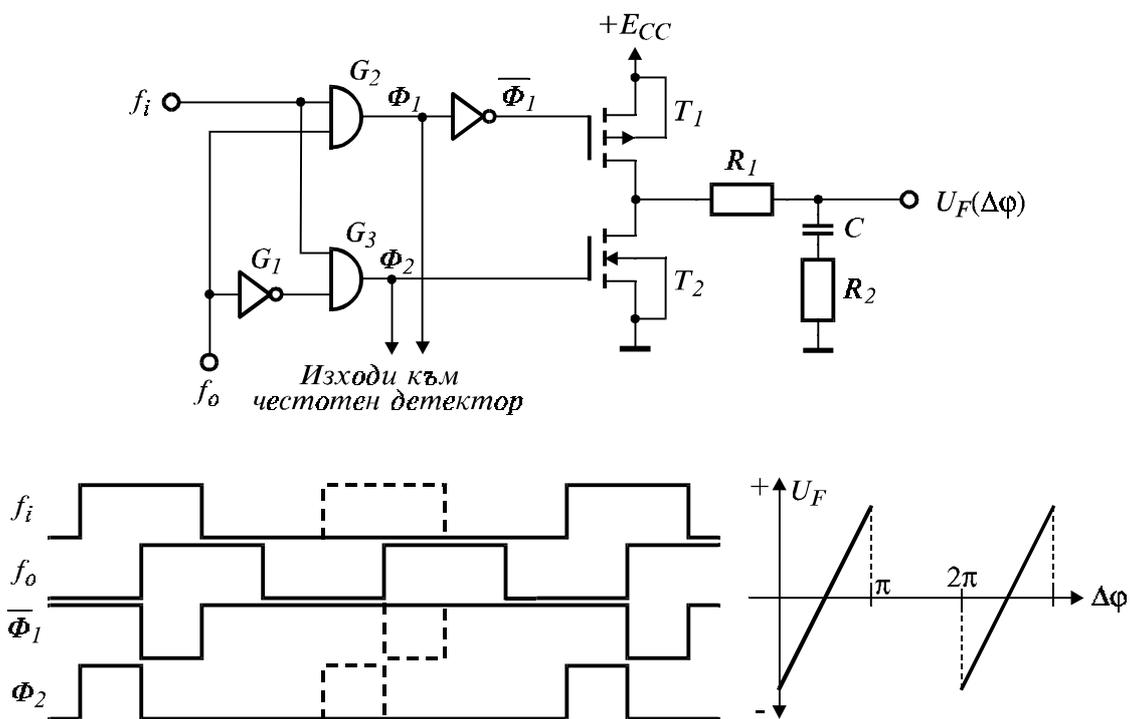
— при $f_o = f_i$ схемата работи като фазов детектор и нейната предавателна характеристика е линейна в диапазона от -2π до $+2\pi$;

— установената фазова разлика е θ за центъра на работния диапазон.

Тази схема се вгражда в много интегрални фазови синхронизатори, като например MC4343/4044 на фирмата Motorola в TTL вариант с работна честота до 15 MHz и MC12040 в ECL вариант, с работна честота до 80 MHz, CD40464 на фирмата RCA и др.

8.2.2. Фазови детектори за случайни входни величини

Показаните в предишната точка фазови детектори изискват постъпването на регулярна входна честота f_i . В редица практически случаи обаче, входните сигнали могат да пропадат. В такъв случай се говори за случайни входни величини.



Фиг. 8.6. Линеен фазов детектор за случайни входни величини.

Линеен фазов детектор за случайни входни величини е показан на фиг. 8.6. Той изработва на изхода си сигнал само тогава, когато на входа се появи логическа 1. Ако входната величина е 0, фазовият детектор не изработва коригиращи сигнали и в изхода на филтъра се за-

пазва старото състояние. От показаните времедиаграми и предавателна характеристика, могат да се направят следните заключения:

— предавателната характеристика е трионообразна и линейна в диапазона от 0 до π (ако сравняваните сигнали са с коефициент на запълване $1/2$);

— установената фазова разлика е $\pi/2$;

— за правилната работа на фазовия детектор, от входящата честота f_i трябва да постъпят достатъчен брой единици, т.е дълготрайно подаване на логическа 0 като входна величина не трябва да се допуска.

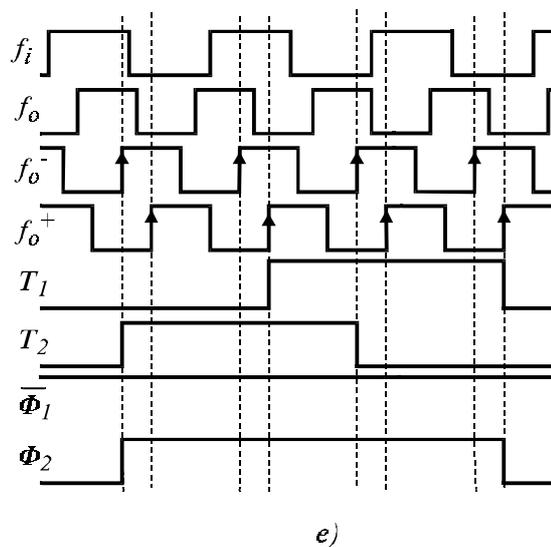
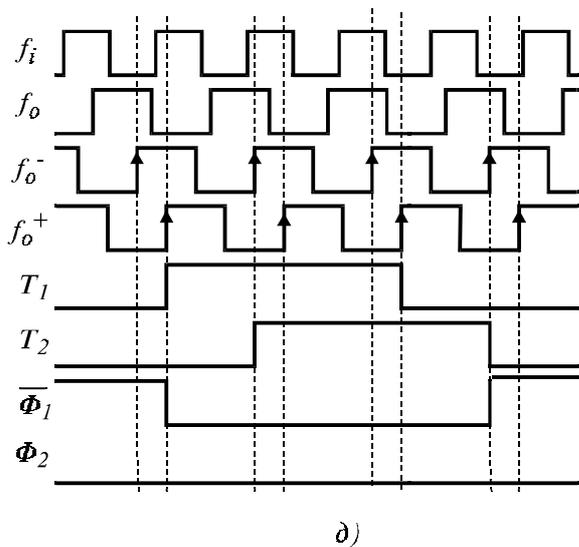
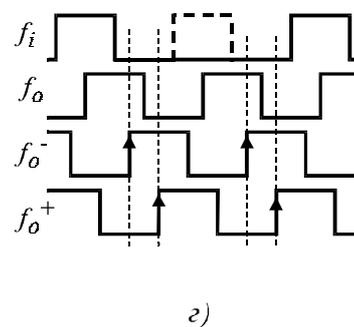
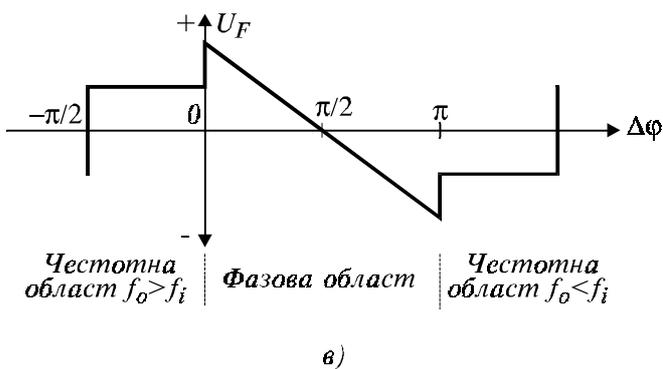
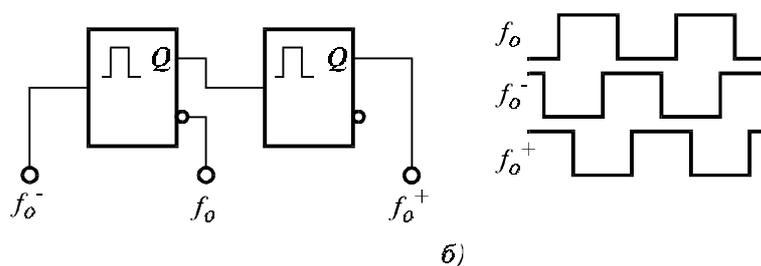
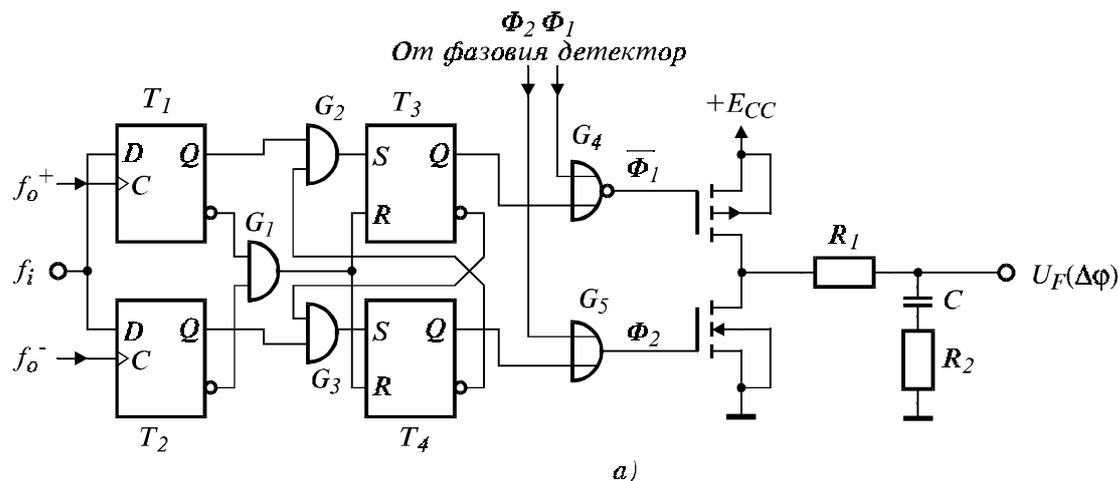
Такъв тип фазов детектор е включен като втори фазов детектор в по-горе споменатата интегрална схема MC4344/4044 на Motorola.

Най-сложен, по същността на своята работа, е фазочестотният детектор за работа със случайни входни величини. Той е съставен от две части — цифров честотен детектор (показан на фиг. 8.7.а) и фазов детектор за случайни входни величини (показан на фиг. 8.6). Двата детектора работят паралелно, като изходите им са обединени в един общ нискочестотен филтър.

Освен честотата f_o , в показания фазочестотен детектор се използват още две тактови поредици f_o^+ и f_o^- , които съответно избързват и изостават спрямо инверсната стойност на f_o с $\approx T/8$ (при коефициент на запълване $1/2$ на сравняваните честоти). Използуваните три тактови поредици могат да се изработят с помощта на чакащи мултивибратори, както е показано на фиг. 8.7.б.

Ако сравняваните честоти са в установения режим на фазовия детектор, както е показано на фиг. 8.7.г, честотният детектор няма да изработва корегирани сигнали, тъй като сигналите f_o^+ и f_o^- ще записват нули в тригерите T_1 и T_2 и изходните му тригери T_3 и T_4 ще бъдат нулирани.

Ако f_i е по-висока от f_o (фиг. 8.7.д), нейната фаза ще предхожда фазата на f_o . Първо ще се запише 1 в тригера T_1 , което също ще установи тригера T_3 в 1 и чрез логическия елемент G_3 , ще се забрани установяването на тригера T_4 . През буфера G_4 , във филтъра ще бъде напompван ток. Първи се нулира тригерът T_1 , а след нулирането на T_2 се нулира и T_3 . Ако f_i е по-ниска от f_o (фиг. 8.9.е), нейната фаза ще започне да изостава от фазата на f_o . Тогава първо ще се запише 1 в тригера T_2 , което също ще установи тригера T_4 в 1 и чрез логическия елемент G_2 , ще се забрани установяването на тригера T_3 . През буфера G_5 , от филтъра ще бъде изпompван ток. Сега първи се нулира тригерът T_2 , а след нулирането на T_1 се нулира и T_4 .



Фиг. 8.7. Цифров фазочестотен детектор за работа със случайни входни величини.

По този начин, при $f_i > f_o$ на изхода на филтъра ще има положителна постоянна съставна, а при $f_i < f_o$ — отрицателна. Тези постоянни съставни помагат на фазовия синхронизатор да влезе в установен режим. Както се вижда, честотният детектор изработва на изхода си коригиращ сигнал само при наличие на логически единици в f_i , което именно определя работата му със случайни входни величини.

Необходимо е да се отбележат няколко принципни разлики между характеристиките на фазовия детектор за случайни входни величини от фиг. 8.6, честотният детектор от фиг. 8.7 и фазочестотният детектор от фиг. 8.5. Фазочестотният детектор изработва в изхода си постоянна съставна винаги когато сравняваните честоти са различни, т.е. $f_i \neq f_o$. За показания честотен детектор обаче, работният диапазон на сравняваните честоти е ограничен до $\pm \Delta f = f_o/2$. Не е трудно да се види, че това е определено от зададеното отклонение между помощните честоти f_o^+ и f_o^- на $\pm T/8$. По-малко отклонение би увеличило работния честотен диапазон на сравняване, но същевременно би увеличило и времето за отработването на корекцията. Затова необходимото отклонение се избира от конкретните условия на работа.

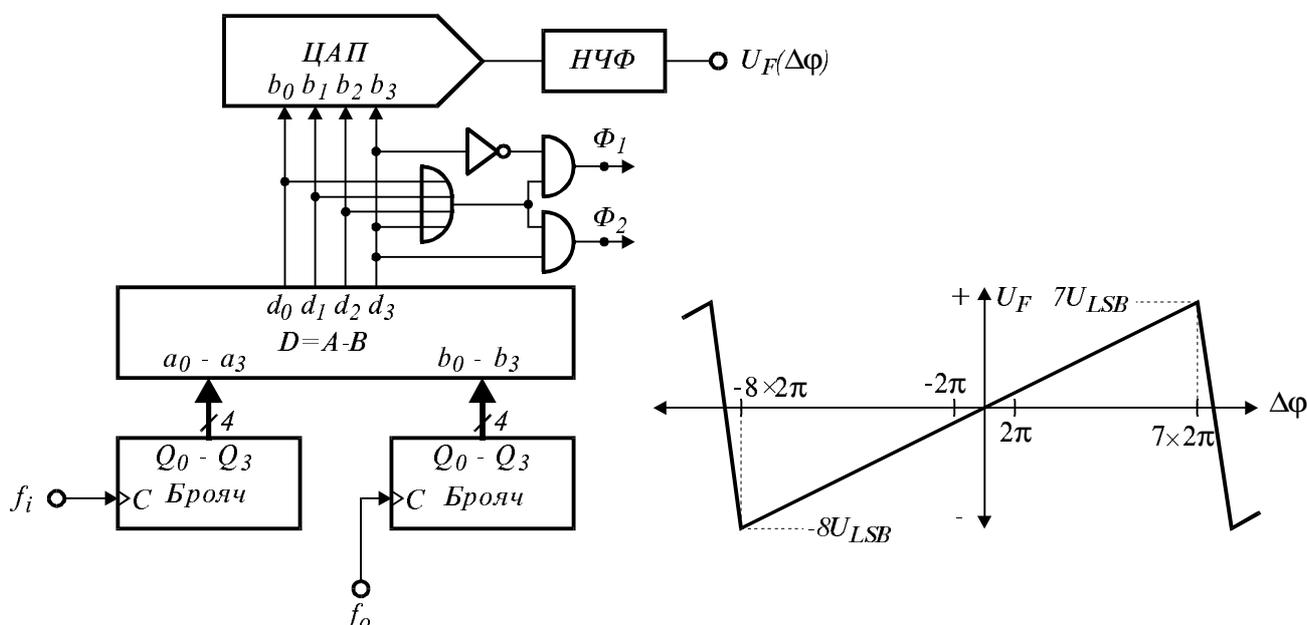
Както се вижда от предавателната характеристика на фазочестотния детектор за случайни входни поредици, той има линейна област на предавателната си характеристика в областта от 0 до π , като установеният режим е при $\pi/2$. Едновременно с това, в областта от 0 до $\pi/4$ и от $3\pi/4$ до π , в помощ на фазовия детектор се включва и честотният (това също е обусловено от зададеното отклонение между помощните честоти f_o^+ и f_o^- на $\pm T/8$).

8.2.3. Фазов детектор с произволен диапазон на работа

С помощта на описаните по-горе фазови детектори е невъзможно да се индицира фазово изместване на повече от един период, тъй като измерването на фазите е ограничено до стойността 2π . Съществуват обаче области на приложение, при които е необходимо да се следи изместване между честотите на повече от един период. За тази цел е подходящ фазовият детектор, показан на фиг. 8.8. Той е изграден на базата на нечувствителен към съвпадение реверсивен брояч, състоящ се от два отделни брояча и цифрово изваждащо устройство на техните стойности. Цифровият код в изхода на брояча се преобразува в аналогова стойност, чрез цифрово-аналогов преобразувател, работещ в допълнителен код.

Близко до нулата (при фазова разлика по-малка от $\pm 2\pi$), показаният фазов детектор се държи също както и този от фиг. 8.5 — ако f_i

изпреварва f_o , на изхода се формират положителни импулси с амплитуда U_{LSB} , продължителността на които е равна на времето между едноименните активни фронтове на f_i и f_o , а изоставането предизвиква появата на отрицателни импулси.



Фиг. 8.8. Цифров фазов детектор с линеен диапазон на работа от -16π до 14π .

Средната стойност на тези импулси е: $U_F = U_{LSB} \frac{\Delta t}{T} = U_{LSB} \frac{\phi}{2\pi}$

Ако фазовата разлика достигне 2π , времето Δt се променя скокообразно от T до θ , но изходното напрежение остава равно на U_{LSB} тъй като същевременно разликата D се повишава скокообразно на 1 . Затова, в общия случай изходното напрежение ще бъде:

$$U_F = U_{LSB} \left(D + \frac{\Delta t}{T} \right) = U_{LSB} \frac{\phi}{2\pi}$$

Изразът $D + \Delta t/T$ определя на колко периода двете сравнявани честоти са изместени една спрямо друга. Работният диапазон може да бъде произволно увеличен чрез увеличаване разредността на реверсивния брояч и на цифрово-аналоговия преобразувател.

8.3. Генератори, управлявани от напрежение

Три са основните видове генератори, използвани в PLL — кварцови генератори, LC-генератори и RC-мултивибратори. Изборът на

генератор за конкретното приложение се определя от две основни съображения:

— честотна и фазова стабилност. Честотата и фазата на изходния сигнал от генератора могат да бъдат повлияни от такива смущаващи фактори, като изменението на температурата или стареенето на елементите. При много силни изменения, може да бъде загубена синхронизацията. Необходимо е да се отбележи, че дори да се вземат мерки за поддържане на постоянна честота, смущаващите фактори могат да повлияят на фазата на сигнала. Затова се предпочитат генератори, чиито параметри на изходния сигнал остават стабилни при изменението на температурата, въздействието на смущения и стареенето на елементите;

— широк диапазон на управление. Желателно е генераторът да бъде в състояние да се синхронизира в широк диапазон на честотата. Колкото е по-широк диапазонът, толкова е по-лесно да се установи синхронизацията в затворената верига и толкова е по-лесно тя да бъде удържана.

Горепосочените изисквания са явно противоречиви. Големият диапазон на изменение на честотата изисква голям диапазон на управление и за съжаление значителна възприемчивост към изменението на температурните промени, стареенето на елементите и смущенията.

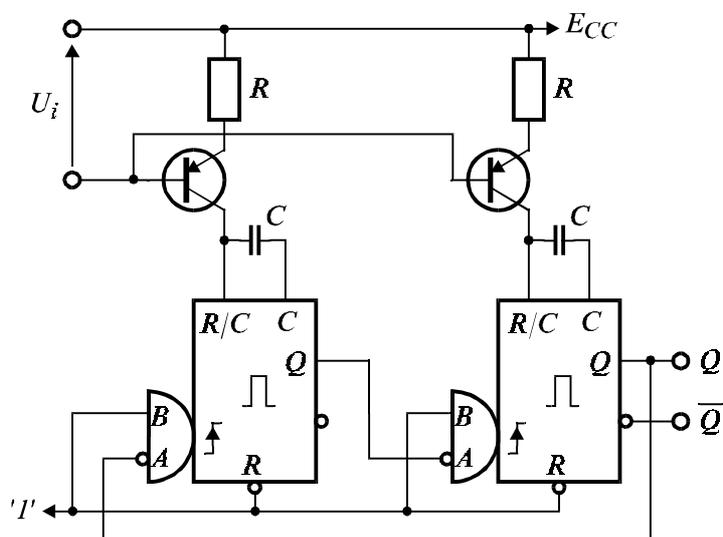
Кварцовите генератори са най-стабилните от генераторите, споменати в началото. Техният диапазон на управление обаче е най-малък — приблизително 0,1 %. Съществуват много различни схеми на кварцови генератори. Прост кварцово стабилизиран генератор, управляван от напрежение може да се изгради с логически елементи (вж. т. 5.4.4), където донастройващият капацитет се замени с варикап. Чрез прилагане на постоянно напрежение върху варикапа, се управлява неговият капацитет, а оттам и честотата на генератора. По тези схеми може да се достигне кратковременна нестабилност от порядъка на 10^{-3} .

За постигане на висока стабилност, се изграждат генератори със сложна конструкция, при които кварцовият резонатор е термостатиран и с регулиране на температурата (постигнатата нестабилност за генерираната честота е от порядъка на 10^{-9}).

В практиката, често се използват готови интегрални кварцово стабилизирани генератори, управлявани от напрежение, за която цел е предназначена представената на фиг. 5.34 интегрална схема '624.

Когато е необходим широк диапазон на работа, се използват *LC*- и *RC*-генератори. *LC*-генераторите се прилагат при сравнително високи честоти на работа — над 30 MHz. За да се получи управление на честотата с напрежение, капацитетът *C* се изпълнява с варикап, върху който се прилага управляващото напрежение.

За работа при сравнително ниски честоти (до около 30 MHz), при изключително широк диапазон, се използват RC -мултивибратори.



Фиг. 8.9. Управляван с напрежение генератор, изграден на базата на чакачи мултивибратори.

Управляван от напрежение RC -генератор, лесно може да се получи от последователното свързване на два чакачи мултивибратора, както е показано на фиг. 8.9. След като завърши импулса си, първият чакач мултивибратор пуска втория, който от своя страна при завършването на импулса си пуска първия чакач мултивибратор и т.н. Чакащите мултивибратри са изградени по схемата от фиг. 5.13, като продължителностите на генерираните импулси се управляват от напрежение. Възможно е само единият от чакачите мултивибратори да бъде управляван от напрежение. Тогава обаче, се стеснява работният диапазон и в хода на управлението се променя коефициентът на запълване на генерираната честота.

Съществува широк избор от интегрални схеми, представляващи управлявани от напрежение RC -мултивибратори, като например 566 на Signetics и National Semiconductors, XR2209 на Exar, 1658 на Motorola и др. Стабилните мултивибратри обикновено се изграждат чрез схеми с емитерна връзка. Аналогово-цифровите преобразуватели, от типа преобразуватели напрежение в честота или напрежение в период, също могат да се разглеждат и използват като генератори, управлявани от напрежение.

8.4. Честотни синтезатори

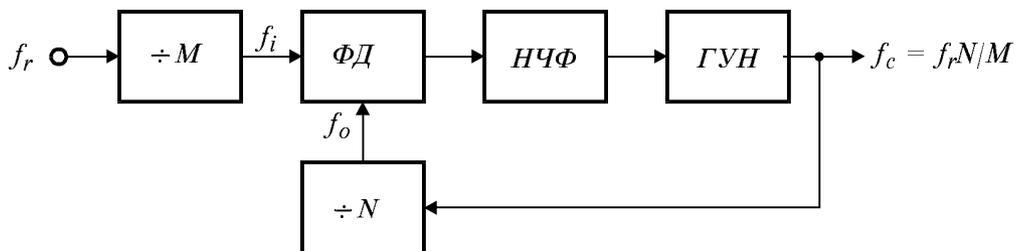
Едно от основните приложения на системите за фазово автоматично поддържане на честота е за синтезиране на набор от стабилни чес-

тоти, различаващи се помежду си със строго определен коефициент. Синтезирането се извършва от една основна честота, като производните запазват нейната стабилност.

Основната блокова схема на честотен синтезатор с PLL е показана на фиг. 8.10. Два предварителни програмируеми делителя, с коефициенти съответно M и N , са включени на пътя на сравняваните сигнали, преди фазовия детектор. Тъй като системата се стреми да поддържа $f_i = f_o$, а $f_i = f_r/M$ и $f_o = f_c/N$, за честотата в изхода на генератора се получава:

$$f_c = \frac{N}{M} f_r$$

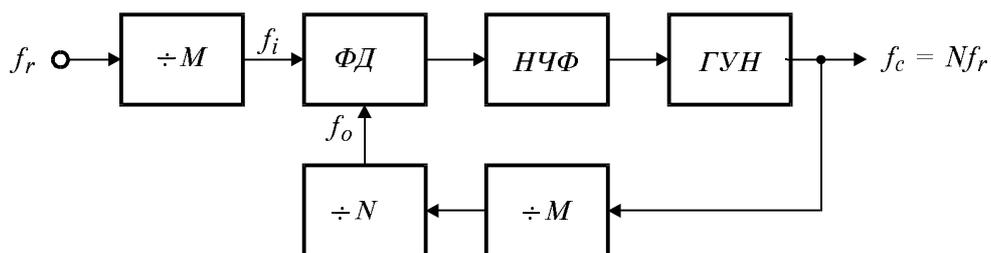
Променяйки N и M , от опорната честота f_r се получават различни честоти, при това със стабилността на f_r .



Фиг. 8.10. Обобщена блокова схема на честотен синтезатор.

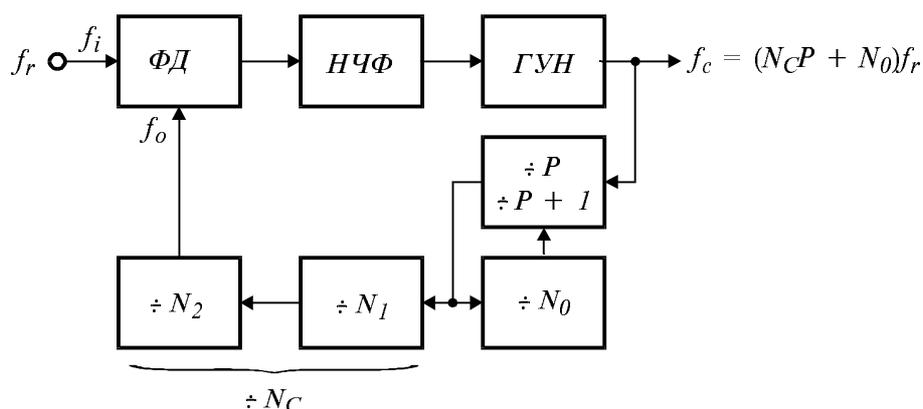
Показаната схема има недостатъка, че променяйки M се променя честотата на сравнявания сигнал, оттам и високочестотните компоненти в изхода на фазовия детектор, което в повечето случаи изисква и промяна на параметрите на нискочестотния филтър. Затова, по-често се използва вариант, при който M е фиксирано число и в частен случай $M = 1$. Тогава $f_c = N \cdot f_r$.

Програмируемият делител N трябва да може да работи с честотата на генератора, управляван от напрежение. Ако това не може да се изпълни, е необходимо да се използват бързи предварителни делители с фиксиран коефициент на делене (в случая M), както е показано на фиг. 8.11.



Фиг. 8.11. Честотен делител с два бързи предварителни честотни делители

Големият коефициент на делене във веригата на обратната връзка намалява общия коефициент на усилване на веригата и увеличава нейното време на реакция, при смяна на програмируемия коефициент. За избягване на този недостатък се предлага решение, показано на фиг. 8.12. То съдържа един бърз предварителен делител само с два коефициента на делене — P и $P + 1$. Делителите на N_C и N_0 са по-бавни програмируеми делители (максималната им работна честота трябва да бъде f_c/P), реализирани чрез работещи в режим на изваждане броячи.



Фиг. 8.12. Честотен синтезатор с бърз двукоефициентен предварителен честотен делител.

Отначало, делителите са установени с коефициент на делене N_C и N_0 , а предварителният делител дели на $P + 1$. След като делителят на N_0 достигне до 0, а делителят на N_C достигне до $N_C - N_0$, предварителният делител започва да дели на P . Времето, за което делителят на N_C ще се нулира е:

$$N = (N_C - N_0)P + N_0(P + 1) = N_C P + N_0 \text{ при } N_C > N_0$$

Твърде често, програмирането на синтезатора се извършва в десетична бройна система. За такъв случай се избира $P = 10$, а делителят на N_C се реализира с два последователно свързани десетични брояча, т.е. $N_C = 10N_2 + N_1$. Тогава $N = 100N_2 + 10N_1 + N_0$.

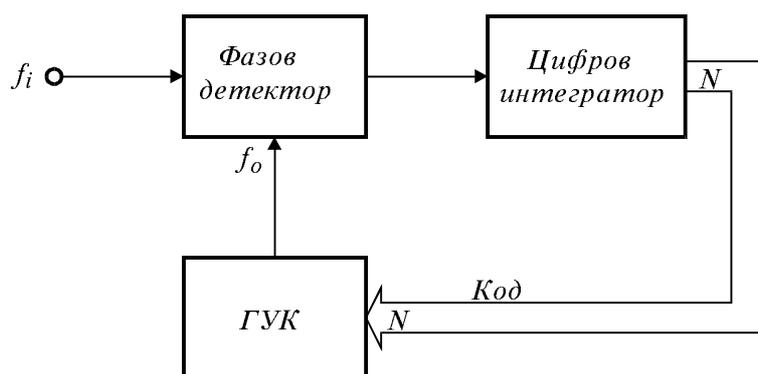
8.5. Цифрови фазови синхронизатори

Класическата PLL техника притежава два основни недостатъка при използване в системи с често и неопределено по време прекъсване на работата. При включване (започване на работа), PLL системата е далеч извън установения режим на захват на сравняваните честоти, т.е. тя трябва да работи в твърде широк обхват. Този широк обхват е в

противоречие с използването на аналогов филтър-интегратор. В някои системи, за преодоляване на тези недостатъци се прилага адаптивна смяна на времеконстантата на аналоговия филтър-интегратор в хода на достигане на установения режим на работа. Възниква въпросът за избягване на тези недостатъци чрез изграждането на затворената верига изцяло по цифров път.

8.5.1. Структура на цифров фазов синхронизатор

Някои автори разглеждат цифровия вариант на PLL като самостоятелен вид системи и ги наричат “честотно затворени вериги” (FLL — Frequency Locked Loop). FLL също поддържа установена фазова разлика между входната и изходната честота, но поради дискретността на управлението, се получава неопределеност в изходната фаза, която се определя от разредността на използвания код. Затова, тези вериги се използват главно за честотна синтеза и синхронизация.



Фиг. 8.13. Обобщена схема на цифров фазов синхронизатор — FLL.

Основната схема на цифров фазов синхронизатор (Честотно-затворена верига) е показана на фиг. 8.13. Тя се състои от фазов детектор — ФД, цифров интегратор — ЦИ и генератор, управляван от код — ГУК (DCO — Digital Controlled Oscillator).

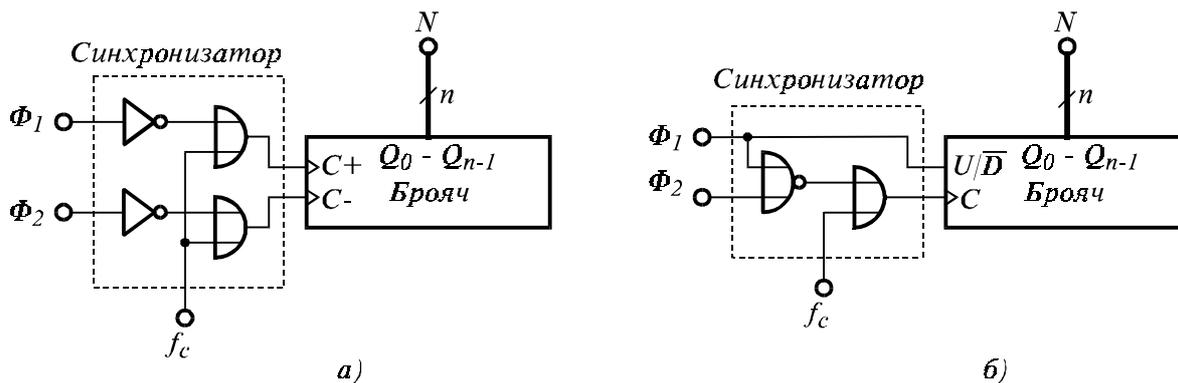
FLL техниката се характеризира с две основни предимства:

- бързо достигане на установения режим на работа;
- цифрово контролиране на сигналите.

Фазовите детектори, които се използват при FLL, са същите както и при PLL (вж. т. 8.2), с тази разлика, че се използват изходите им даващи цифров сигнал за избързване или изоставане (изходите Φ_1 и Φ_2). Затова някъде те се наричат фазови компаратори.

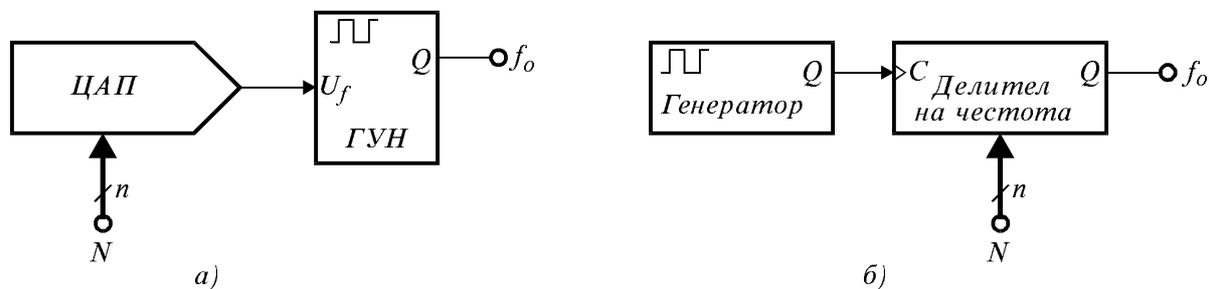
При FLL липсва аналогово звено (нисчестотен филтър-интегратор), което е заменено с цифров интегратор. Неговото предназначение е да натрупа и съхрани в себе си цифровата стойност на честотна-

та разлика между сравняваните сигнали. Кодът от цифровия интегратор въздейства върху генератора, управляван от код, променяйки честотата му в посока на намаляване на честотната разлика между двете сравнявани честоти. Най-често цифровият интегратор представлява реверсивен брояч с определена разредност, който при изоставане на f_o спрямо f_i работи в режим на събиране, а при избързване на f_o — в режим на изваждане.



Фиг. 8.14. Цифров интегратор, изграден на базата на реверсивен брояч: а) — с разделни тактови входа за сумиращите и изваждащите импулси; б) — с един тактов вход и вход за определяне посоката на броене.

На фиг. 8.14 са показани два варианта на изграждане на цифров интегратор — съответно с реверсивен брояч притежаващ разделни тактови входове за сумиране и изваждане на импулси, и с реверсивен брояч, притежаващ един тактов вход и вход за управление на посоката на броене. Сигналите Φ_1 и Φ_2 от фазовия детектор, през синхронизатор, управляват постъпването на тактовите импулси към интегриращия брояч.



Фиг. 8.15. Изграждане на ГУК: а - на базата на ЦАП и ГУН; б - на базата на генератор и цифрово управляван делител на честота.

Периодът на тактовата честота f_c , трябва да бъде по-голям или най-много равен на максималната стъпка, с която се изменя периодът

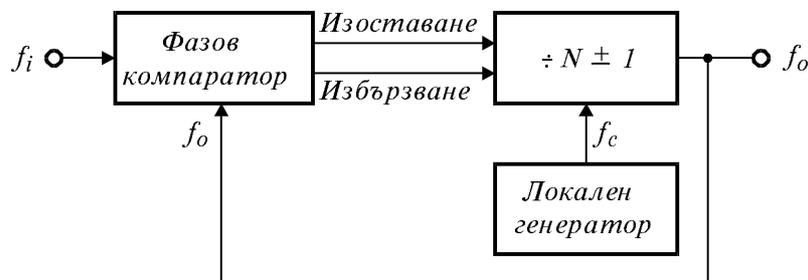
на честотата в изхода на генератора, във функция на входящия код. Ако периодът на f_c е по-малък, има опасност, при минимална разлика от установения режим, в цифровия интегратор да бъдат отброени повече от един импулс и да настъпи пререгулиране. Обикновено за f_c се ползува изходът на ГУК.

Генератори, управлявани от код (DCO) могат лесно да се получат от генератори, управлявани от напрежение (VCO), чието управление е осъществено през цифрово-аналогов преобразувател, както е показано на фиг. 8.15.а или от импулсен генератор и следващ програмируем делител на честота, както е показано на фиг. 8.15.б.

Управляван от код RC -мултивибратор може да се изгради по схемата от фиг. 8.9, като се използват чакащи мултивибратори чиято продължителност на импулсите се определя от цифров код, например този от фиг. 5.12.

8.5.2. Възстановяване на носеща честота

Едно от основните приложения на FLL техниката е цифрово възстановяване на носеща честота от цифров информационен поток. Съществуват множество решения, приспособени за различен тип входни данни.



Фиг. 8.16. Цифров възстановител на носеща честота.

На фиг. 8.16 е показана блоковата схема на цифров възстановител на носеща честота. За получаване на възстановената изходна тактова честота f_o , честотата на локалния генератор f_c се дели с променлив коефициент. Фазовият компаратор сравнява f_o и f_i и при изоставане на f_o коефициентът на делене се намалява на $N-1$, а при избързване — се увеличава на $N+1$. Ако се означи с m относителната част от времето, през което коефициентът на делене е $N-1$, а с n — относителната част от времето, през което коефициентът на деление е

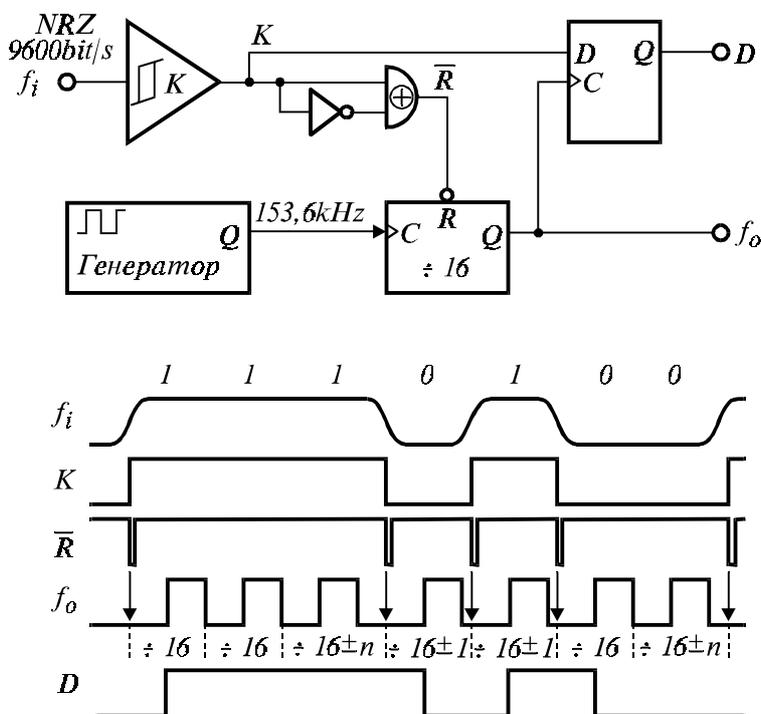
$N+1$ то: $f_i = \frac{f_c}{m(N-1) + n(N+1)} = \frac{f_c}{N-m+n}$, тъй като $m+n=1$.

При $m > n$, $f_i > f_o/N$, а при $m < n$ — $f_i < f_o/N$.

В сравнение с основната схема на FLL, показана на фиг. 8.13, тази от фиг. 8.16 не съдържа цифров интегратор и фазовият компаратор непосредствено управлява DCO, работещ само с два коефициента. Затова и схемата се държи като затворена верига от първи ред. За осигуряване на малка честотна девиация на f_o , е необходимо N да бъде избрано достатъчно голямо.

На фиг. 8.17 е показана конкретна схема за възстановяване на носещата честота от данни тип NRZ (None Return to Zero — код без връщане към нулата) със скорост 9600 bit/s. Компараторът преобразува входната информация в правоъгълни импулси, годни за по-нататъшна обработка. Фронтовете на получения сигнал се използват за създаването на тесни нулеви импулси, което по същество е диференциране на сигнала.

Честотата на локалния генератор е 153,6 kHz (9600×16), но тя не е синхронизирана с входните данни. Изходните тактови импулси (възстановената носеща честота) се получават от изхода на делител на 16, който дели честотата на локалния генератор, но принудително се нулира (синхронизира) с получените тесни импулси от фронтовете на входната честота. Чрез принудителното нулиране, делителят се заставя да дели не на 16, а на по-малко или по-голямо число.



Фиг. 8.17. Схема за възстановяване на носещата честота от данни тип NRZ със скорост 9600 bit/s.

Колкото повече преходи има в постъпващата информация, толкова

по-често ще се синхронизира делителят на 16. Например, при входна информация от вида 0 1 0 1 ..., всеки входящ бит ще предизвика пре-синхронизиране и тогава, ако разликата между действителната носеща честота и тази, за която е настроен локалният генератор е в рамките на $\pm 6\%$, то делителят на 16 ще работи в границите на 16 ± 1 . Ако обаче постъпи дълга последователност от единици или от нули на входа, то те ще генерират само един нулиращ импулс в края на серията. Вътре в серията, коефициентът на деление ще бъде точно 16, но нулиращият импулс ще определи за последния бит, коефициент на делене $16 \pm n$, където n може да е доста голямо число, зависещо от дължината на серията.

9. СМУЩЕНИЯ В ЦИФРОВИТЕ ВЕРИГИ И ПРЕДАВАНЕ НА СИГНАЛИ

При предаване на цифрови сигнали по линии, проводници в рамките на едно устройство или между отделните уреди, възникват специфични проблеми. Важна роля започват да играят такива ефекти, като капацитивното натоварване, синфазните кръстосани смущения, а също и ефектите на "дългата линия". Някои от тези проблеми могат да възникнат дори на отделна печатна платка. За да се осъществи правилно и сигурно предаване, в повечето случаи е необходимо да се използват специални средства и съответни интерфейсни ИС.

Смущенията в цифровите устройства се внасят от различни източници и могат да се проявят в най-разнообразна форма. Всички смущения, които причиняват лъжливо сработване на чувствителните вериги на устройството, могат да се разделят на няколко вида:

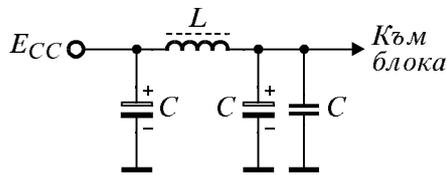
- външни смущения, от различен род излъчватели на електромагнитни сигнали, проникващи в системата от окръжаващата среда, обусловени от действието на електромагнитни и електростатични полета;
- вътрешни комутационни смущения, възникващи в резултат на токови пикове при превключвания на логически елементи и разпространяващи се по захранващите вериги;
- взаимни кръстосани смущения, прехвърляни от едни сигнални линии в други сигнални линии;
- смущения от отразени сигнали в свързващи линии, в следствие на несъгласувани товари.

9.1. Външни смущения.

Захранващите линии сами по себе си се явяват път за въвеждане на външни смущения, а също представляват и антена за излъчване на смущения навън. Мощните стъпала и блокове в една апаратура, представляват най-честите източници на смущения за чувствителни електронни възли.

За защита от външни смущения, проникващи по електромагнитен и електростатичен път, се използва екраниране. Екранирани трябва да бъдат всички чувствителни към смущенията вериги. За защита от електростатичните полета, екранът може да бъде изготвен от алуминий или други метали, а за защита от електромагнитните полета — само от желязо. Всеки от екраниращите кожуси трябва да бъде свързан към общата маса. Ако в самата система се съдържат елементи като ре-

лета, двигатели и други индуктивни товари, създаващи в масата значителни комутационни токове, необходимо е да се използват разделни шини за замасяване.



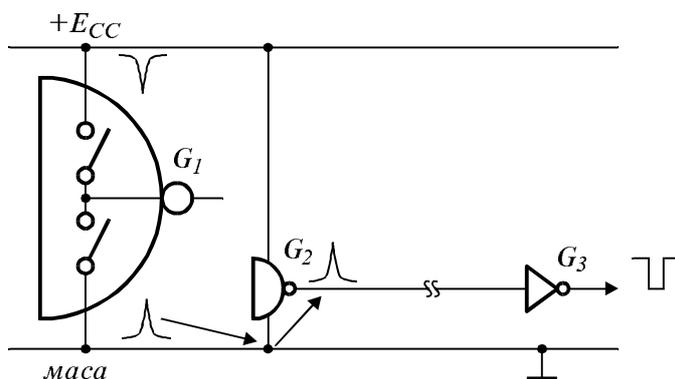
Фиг. 9.1. LC -филтър на входа на захранващите линии в блоковете

смущения в блоковете, така и обратното излъчване на смущения от блоковете навън.

Ефективно средство за защита на цифровите схеми от токови смущения проникващи от захранващия източник по захранващите проводници, е включването на развързващи LC -филтри на входа на захранващите линии в блоковете (фиг. 9.1). Такива филтри блокират както проникването на

9.2. Вътрешни комутационни смущения

Двухактната изходна схема в някои логики, като например TTL и CMOS, се състои от включени между захранването и масата двойка транзистори. Когато състоянието на изхода се изменя, съществува кратък интервал от време, в който двата транзистора се намират в отпушено състояние. В този интервал от $+E_{CC}$ към масата протича определен ток, който създава кратък отрицателен импулс в линията $+E_{CC}$ и кратък положителен импулс в масата. Тази ситуация е показана на фиг. 9.2.



Фиг. 9.2. Генериране на смущаващ импулс при превключване на логически елемент и паразитното му проникване в други елементи.

Когато G_1 променя своето състояние от линията $+E_{CC}$ към маса протича кратковременен ток по указания път (за схеми от F, AC и АСТ сериите токовият импулс може да достигне 100 mA). Този ток, в комбинация с индуктивността на проводниците на $+E_{CC}$ и масата, довежда до появата на кратки паразитни импулси, както е показано

на фигурата. Независимо, че тези паразитни импулси могат да имат малка продължителност ($5 \div 20 \text{ ns}$), те могат да причинят редица неприятности. Например, ако в близост до превключващия елемент се намира друг логически елемент G_2 , управляващ сравнително далече разположения логически елемент G_3 , паразитните импулси могат да рефлектират върху G_3 .

Ако изходното състояние на G_2 е логическа 0 , това може да се интерпретира като отпушен транзисторен ключ в изходното му стъпало, свързващ изхода на елемента към масата. Тогава, полученият паразитен импулс в масата от превключването на G_1 , ще премине през отпушения транзисторен ключ в изходната верига на G_2 и ще се появи в изхода му. Ако амплитудата на паразитния импулс прехвърли прага на превключване на G_3 , в изхода му ще се появи лъжлив, но "пълноценен" импулс. По същия начин, ако изходното състояние на G_2 е логическа 1 , това може да се интерпретира като отпушен транзисторен ключ в изходното му стъпало, свързващ изхода на елемента към $+E_{CC}$ и тогава, полученият паразитен импулс в $+E_{CC}$ от превключването на G_1 ще премине през G_2 и ще се появи в изхода му.

Такива кратки "пълноценни" импулси спокойно могат да превключат тригер или да бъдат отброени от броячно устройство. Най-добрата профилактика против тези явления включва:

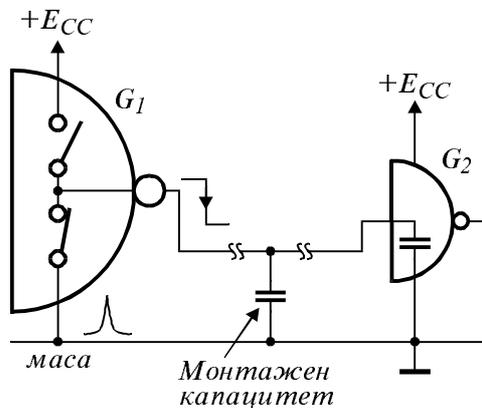
- изграждане на захранващите линии с ниско съпротивление и малка индуктивност;
- обилно използване на развързващи кондензатори по цялата схема.

Ролята на развързващите кондензатори, разположени по цялата платка, се състои в това, че те затварят токовите контури по възможно най-кратките пътища и съществено намаляват амплитудата на паразитните импулси.

Препоръчва се, в близост до всяка интегрална схема да се постави безиндуктивен развързващ кондензатор с капацитет $0,01 \div 0,1 \mu F$, макар че може да се окаже достатъчно един кондензатор на две — три интегрални схеми. Освен това, за осигуряване на енергиен запас, е полезно в платката да се поставят и електролитни кондензатори с голям капацитет. Препоръчва се тези кондензатори да са танталови, с разчет $20 \mu F$ на всеки 10 интегрални схеми.

Освен от превключването на логическите елементи, подобни паразитни импулси могат да се генерират и вследствие на капацитивното натоварване на изходите на елементите — фиг. 9.3. Логическият елемент G_1 понася в изхода си натоварване от входния капацитет на еле-

мента G_2 и от паразитния монтажен капацитет. Тяхната сумарна стойност може да достигне $10 \div 20 \text{ pF}$. За да се осъществи бърз преход от едно състояние в друго състояние, изходът на G_1 трябва да отдаде или приеме ток $I = C(dV/dt)$.



Фиг. 9.3. Генериране на смущаващ паразитен импулс при презаряд на капацитет в изхода на логически елемент.

Нека например G_1 е от серията АС, която може да извърши 5 волтов преход за 3 ns , и изходът му е натоварен с 25 pF капацитет, което съответства на капацитивно натоварване от $3 \div 4$ логически входа. Токът, в момента на логическия преход, ще бъде 40 mA , което представлява почти максималната изходна товароспособност на АС серията. Този ток се връща към масата (при преход от 1 в 0) или към $+E_{CC}$ (при преход от 0 в 1), индуцирайки в техните проводници същите кратки паразитни импулси, за които стана дума в предната постановка.

За да се получи представа за големината на тези паразитни импулси, нека да приемем, че индуктивността на захранващите проводници е 5 nH/cm (това е една доста типична стойност за цифрова платка). Върху неблокиран захранващ проводник с дължина 15 cm , ще се появи паразитен импулс с амплитуда $U = L(di/dt)$, имащ големина 1 V .

В синхронните системи с голям брой едновременно превключващи елементи, ситуацията с паразитните импулси става толкова сериозна, че схемата може да не е в състояние да работи надеждно. Това важи особено за големите печатни платки, с дълги захранващи проводници.

Най-добрият подход при проектирането се състои в това, да се прилага масирано развързване на захранващите линии. Това означава, че захранващите линии трябва да се изграждат максимално дебели и плътни (включително до формирането на специални захранващи слоеве в многослойните платки), захранването трябва да се подава по няколко пътища (създаване на "мрежа" от захранващи проводници) и трябва да се използват развързващи кондензатори.

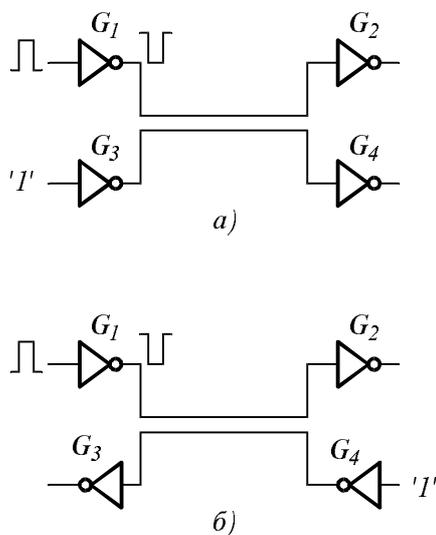
Проблемът не е толкова голям при бавните логически семейства, но при някои серии, като F, AS, АС, АСТ и др., той достига голяма острота. В действителност, сериите АС и АСТ са толкова склонни към генерирането на паразитни комутационни импулси, че някои производители са се отказали от традиционното "ъглово" разположение на

захранващите изводи, в полза на "централното", имащо по-ниска индуктивност на изводите. Те са отишли и по-далеч в стремежа за намаляване на индуктивността на масата, използвайки въвеждането ѝ в чипа през четири съседни извода на корпуса.

Отчитайки тези проблеми, по-добре е бързите серии да не се използват без нужда. Затова например, за общи цели се препоръчва използването на логиката НС а не АС.

9.3. Взаимни кръстосани смущения

Взаимните кръстосани смущения са следствие от въздействието на електромагнитни полета, възникващи в съединителните линии. Тези електромагнитни полета оказват влияние върху близко разположени линии и прехвърлят в тях смущения, които могат да доведат до неправилно функциониране на устройството. Като пример, на фиг. 9.4 са представени двата най-чести случая на възникване на кръстосани смущения.



Фиг. 9.4. Възникване на "кръстосани" смущения в близко разположени линии.

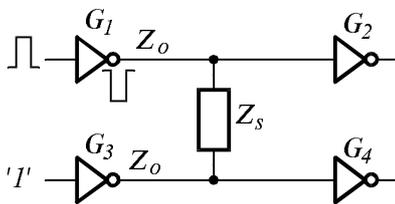
Смущенията могат да предизвикат грешна работа, когато елементът G_1 превключва от 0 в 1, а по това време на линията $G_4 \rightarrow G_3$ има логическа 0 и когато G_1 превключва от 1 в 0, а по същото време на линията $G_4 \rightarrow G_3$ има логическа 1. В тези случаи, на входа на G_3 може да се появи съответно положителен или отрицателен паразитен импулс, който да предизвика грешно сработване на G_3 .

На фиг. фиг. 9.4.а предаването на сигнали се извършва в една и съща посока по паралелно разположени проводници. Проводника, свързващ елементите G_1 и G_2 създава смущения проникващи в линията, свързваща елементите G_3 и G_4 . В този случай, смущенията, въвеждани от превключването на логическия елемент G_1 , са пренебрежимо малки, поради сравнително ниското изходно съпротивление на елемента G_3 .

По-критичен е случаят, изобразен на фиг. 9.4.б, когато посоката на разпространение на сигналите в линиите са противоположни.

При значителна дължина на сигналните линии $G_1 \rightarrow G_2$ и $G_3 \rightarrow G_4$, когато те представляват "дълги линии" трябва да се отчита и тяхното вълново съпротивление. В този случай, еднакво опасни са и двете ситуации на еднопосочно или противоположно предаване на сигналите. Връзката между двете линии може да се представи чрез пълното комплексно съпротивление Z_s , както е показано на фиг. 9.5. Когато свързващите линии имат комплексно вълново съпротивление Z_o , взаимното влияние между тях се изразява чрез коефициента K , имащ вида:

$$K = \frac{1 + Z_s}{Z_o} - 1.$$



Фиг. 9.5. Паразитна връзка между две линии.

Коефициентът K изразява отношението между амплитудата на паразитно генерирания сигнал и амплитудата на сигнала в линията, т.е. каква част от пораждащото напрежение ще се появи като смущение. Както се вижда от формулата, намаляването на Z_o намалява смущенията. Но доколкото линиите с разпределени па-

раметри имат стандартни стойности на вълновото си съпротивление, пътят за намаляването на кръстосаните смущения е преди всичко чрез увеличаване на комплексното съпротивление Z_s . Увеличаването на Z_s може да стане чрез раздалечаване на сигналните линии. Силно увеличаване на Z_s се получава, когато се екранират сигналните линии. Ако сигналните линии са писти от печатна платка, между тях може да се разположи още една писта, свързана към масата.

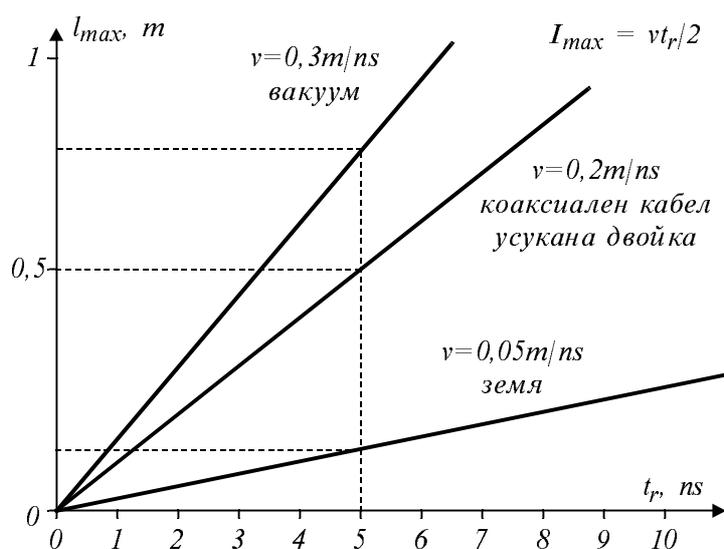
9.4. Смущения в дълги линии

Високочестотните сигнали предявяват някои изисквания върху дължината и вида на линиите по които се пренасят. Предаване на сигнали по обикновени проводници може да се извърши без изкривявания, ако времето за преминаване на сигнала по проводника е на порядък по-малко от времетраенето на неговия фронт.

9.4.1. Критерий за дълги линии при предаването на цифрови сигнали

Линията, по която се предават цифровите сигнали, трябва да се

третира като дълга линия в съответствие с теорията за тези линии, тогава когато удвоеното време за преминаването на сигнала по линията е по-голямо от времето на фронта на сигнала. Тогава отразената вълна пристига обратно в предавателя след отминаването на фронта на импулса. Времето за разпространението на сигнала зависи от скоростта на електрическото поле в съответната среда. На фиг. 9.6. е показана графика, от която може да се определи максималната дължина на линията, над която тя трябва да бъде третирана като дълга линия.



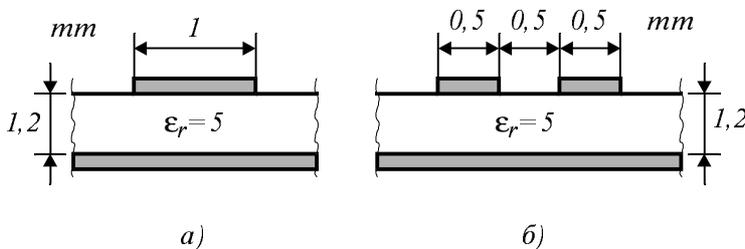
Фиг. 9.6. Диаграма на критерий за дълга линия.

Скоростта на разпространение на електрическото поле по меден проводник, което важи включително и за проводници с разпределени параметри (коаксиален кабел, усукана двойка и др.) е $v = 0,2 \text{ m/ns}$. За сравнение са дадени и скоростите на електрическото поле във вакуум ($v = 0,3 \text{ m/ns}$) и в земята ($v = 0,05 \text{ m/ns}$). Максималната дължина на “къса” линия се определя от уравнение $l_{max} = vt_f/2$. Оттук произлиза следното практическо ограничение за използването на обикновени проводници: максималната дължина се ограничава на 10 cm за 1 ns от фронта на сигнала.

Когато проводникът по който се предава цифровия сигнал е по-дълъг (отговаря на критерия за дълга линия), той се изгражда с линии с разпределени параметри, като се взимат специални мерки за съгласуването ѝ.

Вълновото съпротивление на използваните линии с разпределени параметри е стандартизирано и се намира в границите $50 \div 600 \ \Omega$. Линии с разпределени параметри могат да се изграждат и върху печатни платки. Например за да се изгради несиметрична линия, се постъпва по следния начин: Сигналните писти се изграждат от едната страна на печатната платка (страна спойки), а страна елементи се металзира

изцяло. Ако печатната платка има диелектрическа константа $\epsilon_r = 5$ и е с дебелина $1,2 \text{ mm}$, то при широчина на сигналната писта 1 mm и отстояниета до други писти е по-голямо от 1 mm , вълновото съпротивление ще бъде 75Ω — фиг. 9.7.а.



Фиг. 9.7. Линии с разпределени параметри, формирани върху двуслойна печатна платка.

По подобен начин се изграждат и симетрични линии с разпределени параметри върху печатна платка. Такава примерна линия е показана на фиг. 9.7.б. имаща вълново съпротивление 110Ω . При невъзможност да се изгради линия с разпределени параметри върху печатната платка, сигналите се прекарват по допълнително поставени линии (коаксиален кабел, усукана двойка, плоска линия и др.).

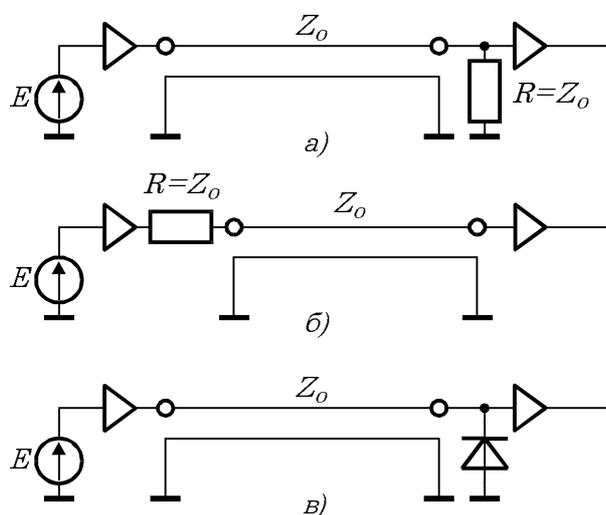
9.4.2. Подтискане на смущения при дълги линии

Използването на линии с разпределени параметри за пренасянето на цифрови сигнали изисква взимането на специални мерки за елиминиране на изкривяванията, които се изразяват основно в появата на отражения и слабо или силно затихващи трептения ("звънене").

На фиг. 9.8. са показани основните подходи за подтискането на смущения при предаването на цифрови сигнали по дълга линия. На фиг. 9.8.а предавателната линия е натоварена в края с терминиращ резистор. Стойността на натоварващия резистор трябва да бъде равен на характеристичния импеданс Z_0 на линията ($R = Z_0$). Само тогава сигналът, разпространяващ се по линията, се поглъща напълно без всякакви отражения. Всяка друга стойност на товара, включително и празният ход, предизвиква появата на отразени вълни, чиято амплитуда и фаза зависят от разсъгласуването на импедансите.

Еlegantен метод за избягване на положителните и отрицателните отскоци на сигналите във входа на приемника е последователното поставяне на резистор в изхода на предавателя, както е показано на фиг. 9.8.б. Стойността на резистора трябва да бъде равна на импеданса на линията ($R = Z_0$). Когато предавателят има собствено, различно от 0 изходно съпротивление R_G , неговата стойност трябва да се извади от R , за да се удовлетвори равенството $R_G + R = Z_0$. Понякога това терминиране трудно се изпълнява, най-вече защото обикновено предава-

телите имат различен изходен импеданс при 0 и при 1. Тази техника на съгласуване може да се използва при еднопосочно или двупосочно предаване “от точка до точка”, но не се препоръчва при наличието на повече от два кореспондента в една линия.



Фиг. 9.8. отстраняване на нежелателни явления при дълги линии.

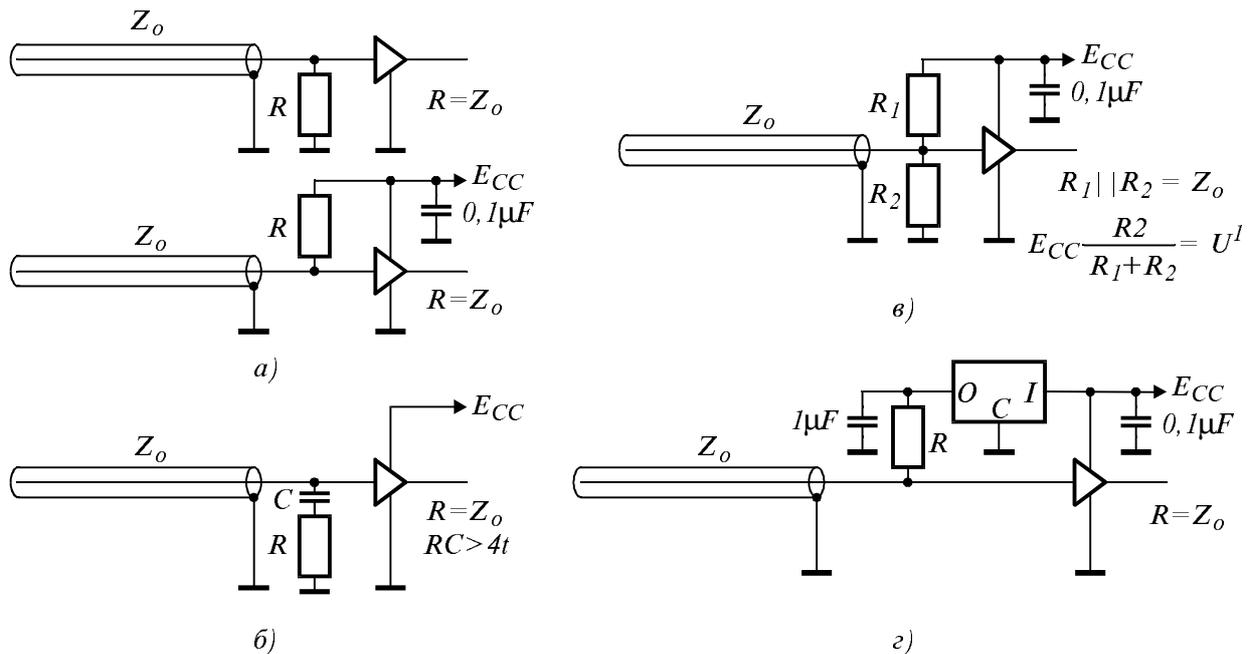
Ефективно отстраняване на положителните и отрицателните отскоци на сигнала в края на линията може да се постигне със защитни диоди (фиг. 9.8.в). Спадащ фронт на сигнала в края на линията би предизвикал отрицателен отскок под нулевата линия. Диодът обаче ограничава неговата амплитуда до $\approx 0,7 V$, поглъщайки енергията му. Тъй като не цялата енергия на отскока се поглъща, остават движещи се напред и назад по линията затихващи вълни, чиято амплитуда обаче не превишава $100 mV$. Най-често защитните диоди се комбинират с резистивно терминиране на линията. Благодарение на позитивното влияние на тези диоди, те се вграждат във всички логически схеми. При CMOS схемите, където размахът на изходните сигнали е в целия диапазон на захранващото напрежение и могат да се получат отскоци и над захранването, се вграждат защитни диоди и към маса и към захранване.

9.4.3. Терминиране на линии с разпределени параметри

Основните техники при терминирането на синфазни линии за предаване на цифрови сигнали са показани на фиг. 9.9. Най-често те се терминират чрез поставянето на резистор между сигналната линия и масата, както е показано на фиг. 9.9.а. Ако товарната способност на логическата 1 на предавателя не е достатъчна, терминиращият резистор може да се постави между сигналния проводник и захранването. По ниски честоти, захранването е свързано с масата през стабилизиращото устройство. По високи честоти свързването на захранването с масата се осъществява през развързващ капацитет с типична стойност $0,1 \mu F$.

Често при CMOS устройства се прилага терминиране по променлив ток, състоящо се от последователна верига с кондензатор и резистор, свързана между линията и масата (фиг. 9.9.б). Така се блокира

постоянният ток през терминацията резистор и се намалява консумирания ток. Стойността на резистора R се избира равна на характеристичния импеданс на линията, а стойността на кондензатора C се избира от съображения той да има ниско капацитивно съпротивление за честотите на предаваните сигнали. Когато времеконстантата RC е около 4 пъти по голяма от периода на сигнала t , терминарането е напълно достатъчно.

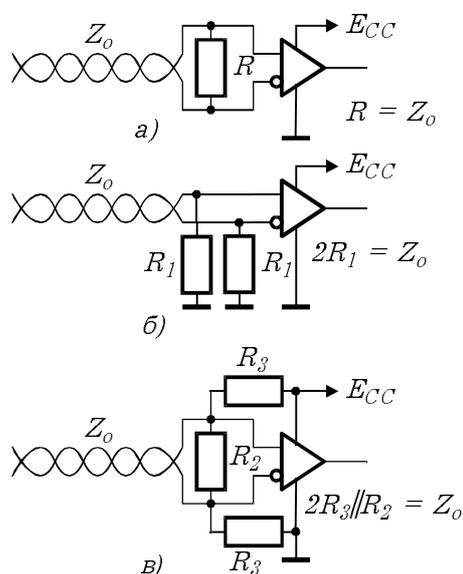


Фиг. 9.9. Терминаране на несиметрични линии с разпределени параметри.

Един от най-разпространените начини за натоварване на линии с разпределени параметри, когато сигналът се пренася с TTL нива, е включването на делител на напрежение между захранването и масата (фиг. 9.9.в). Нивото на логическата 1 се фиксира на напрежението U^1 на логическата 1 (около 3 V). Двата резистора служат за товар на линията и тяхната паралелна стойност трябва да бъде равна на характеристичния импеданс на линията. Недостатък е значителния постоянен ток, протичащ през резистивния делител.

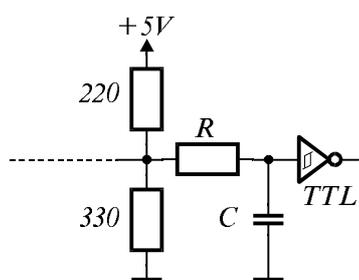
В усъвършенстваните интерфейси се среща т.нар. “активно терминаране” (фиг. 9.9.г). Терминаращият резистор се поставя между сигналната линия и допълнителен източник, с напрежение $2,5 \div 3\text{ V}$. Тъй като средно 50% от времето линията се намира в състояние на 1 , консумирания ток се намалява значително. Тази техника се използва и при терминаране на магистрали, където през повечето от оперативното време предавателите са във високоимпедансно състояние и допълнителният източник поддържа линията в “неплуващо” състояние.

Терминиране на симетрични линии (усукана двойка, плоска линия) е показано на фиг. 9.10. То може да бъде общо, разделно и комбинирано.



Фиг. 9.10. Терминиране на симетрична линия.

когато на сигналните линии трябва да се поддържа определен потенциал, особено в случаите когато предавателите са в трето състояние.



Фиг. 9.11. Приемане на сигнал при условия на високи шумове.

Общото терминиране (фиг. 9.10.а) се използва най-често и се изразява във включването на терминиращ резистор между двата сигнални проводника. За намаляване на консумацията може последователно на резистора да се включи кондензатор, както на фиг. 9.9.б.

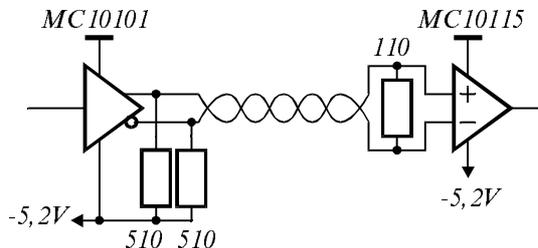
Разделното терминиране (фиг. 9.10.б) е по-сложно и то изисква поотделно терминиране на двата сигнални проводника. Може да се извърши по всички техники от фиг. 9.9.

Комбинираното терминиране (фиг. 9.10.в) се използва по-често от разделното. То се прилага,

когато нивото на шума е високо, може да се използва допълнителна филтрираща RC верига, чиято времеконстанта се избира съобразно конкретната обстановка (пример е показан на фиг. 9.11.) Трябва да се има предвид, че включването на RC -верига забавя скоростта на предаване. В тази схема, приемният буфер трябва да има във входа си тригер на Шмит.

За предаване на цифрови сигнали по допълнително поставени в устройствата линии с разпределени параметри, в различните серии има разработени специални буфери. Макар, че за предаването на сигналите могат да се използват схеми с общо предназначение, използването на специализирани буфери е препоръчително. Дългите линии не трябва да се управляват от небуферирани тактувани елементи (тригери, мултивибратори, броячи, регистри и др.), тъй като капацитив-

ният товар и ефектите на "дългите линии" могат да рефлектират обратно във вътрешната структура на елементите и да предизвикат неправилната им работа.

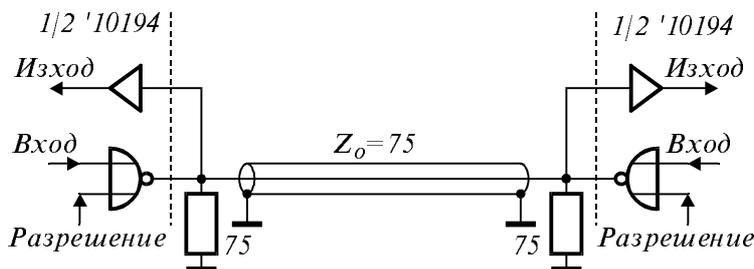


Фиг. 9.12. Еднопосочно предаване на сигнал от точка до точка.

Предаването на сигналите може да се осъществи само между два кореспондента (предаване от точка до точка - 'point to point'). Когато предаването е само еднопосочно, т.е. единият кореспондент е предавател, а другия - приемник, терминирането на линията се осъществява при приемника. Такова примерно предаване по усукана двойка с приложение

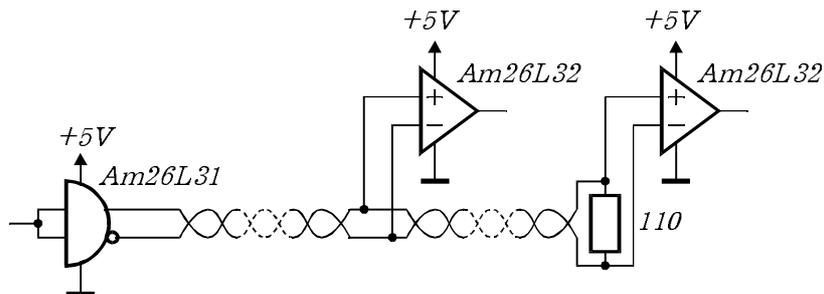
на специализирани ECL буфери на Motorola е показано на фиг. 9.12.

Тогава, когато предаването е двупосочно (дуплексно), т.е. и двата кореспондента разполагат с предаватели и приемници, терминиране се извършва и в двата края на линията при двата кореспондента.



Фиг. 9.13. Реализиране на дуплексна връзка 'point to point' по коаксиален кабел.

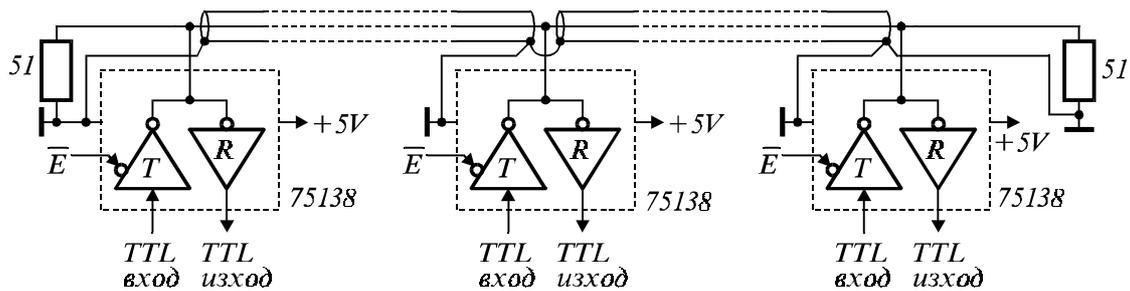
Пример за дуплексно предаване от точка до точка е показано на фиг. 9.13. Използуван е ECL приемо-предавател '10194, чиято товароспособност позволява предаване по коаксиален кабел с ниско характеристично съпротивление. Интегралната схема '10194 може да осъществява предаване и едновременно приемане в асинхронен режим със скорост над 100 MHz.



Фиг. 9.14. Предаване на сигнал от един предавател към няколко приемника.

В обмена на информацията могат да участват няколко (повече от два) кореспондента. Такова предаване е магистрално. Когато в магистралата е налице само един предавател, а всички останали са само приемници, терминирането на линията се извършва в края ѝ при най-отдалечения приемник. Пример за магистрално еднопосочно предаване на сигнали по усукана двойка е показано на фиг. 9.14, с използването на специализирани TTL буфери на Advanced Micro Devices.

При дуплексна магистрална връзка между повече от два кореспондента, линията се терминира в двата си края (обикновено при двата най-крайни кореспонденти). На фиг. 9.15 е показано примерно включване на няколко кореспондента в магистрална линия, изградена с коаксиален кабел. Използван е интегралният приемопредавател 75138. Той притежава мощен изход (до 100 mA) с отворен колектор, способен да работи с 50 Ω коаксиален кабел. Това, заедно с високото входно съпротивление на приемника, дава възможност в линията да бъдат включени до около сто кореспондента



Фиг. 9.15. Терминиране на дуплексна линия с няколко кореспондента.

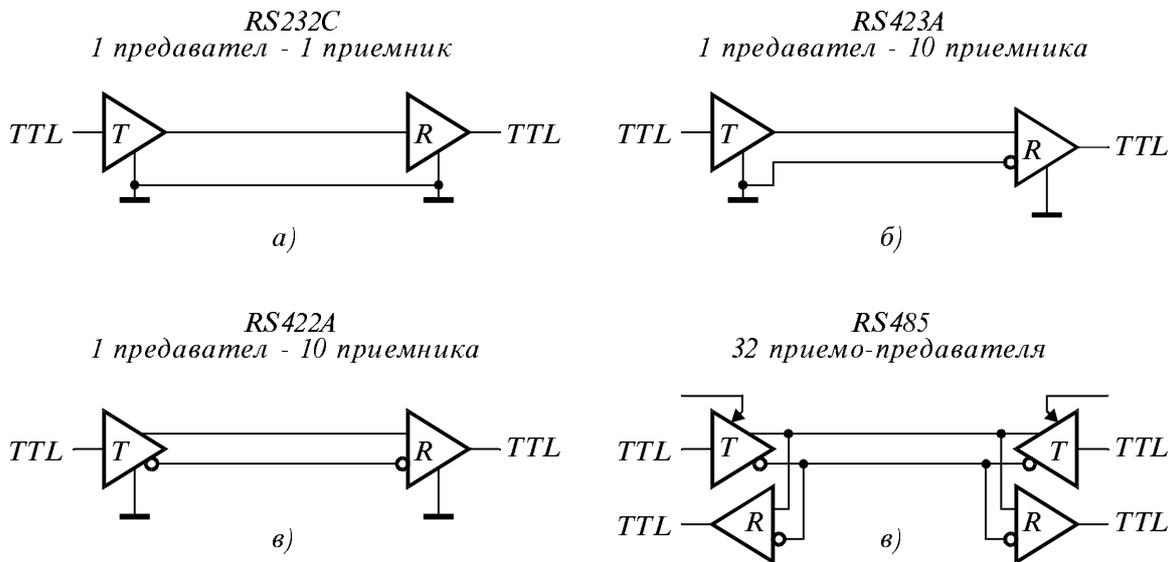
В цифровата схемотехника съществуват специализирани интегрални интерфейсни схеми, облекчаващи работата на конструктора. Една такава серия интерфейсни схеми представлява произвежданата от много фирми биполярна серия 75xxx, съдържаща в състава си приемници и предаватели за съществуващите стандарти, имащи възможност за непосредствена работа с многожилни кабели, коаксиални кабели, усукани двойки, плоски линии и все по-често и с оптични кабели.

Като цяло, коаксиалните кабели имат много добра защита от смущения. Макар, че те се използват основно за несиметрично предаване, за организирането на симетрични линии, могат да се използват сдвоени коаксиални кабели.

9.5. Предаване на цифрови сигнали по стандарти на EIA

Цифровата системотехника постоянно се сблъсква с проблема за

предаване на цифрови данни от една система в друга и проблемът се състои не в осъществяването на физическата връзка, а в реализирането на съвместимост между устройства от различни потребители. За реализирането на физическата връзка е препоръчително да се прилагат стандартизирани интерфейси.



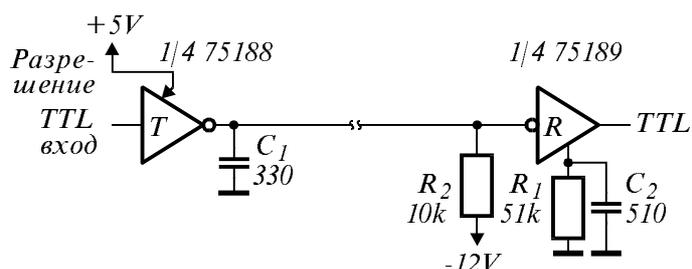
Фиг. 9.16. Стандарти на EIA за предаване на цифрови сигнали.

Най-широко разпространение в световен мащаб са добили стандартите на Асоциацията за електронна промишленост (EIA). Четири от тях са показани на фиг. 9.16.

Предаването бива небалансирано (несиметрично) и балансирано (симетрично). При небалансираното предаване, сигналният проводник е един, а масата служи за втори проводник. При балансираното предаване се използват два проводника за предаване на сигналите. По двата проводника се предават еднакви, но противофазни сигнали, а като приемно устройство се използва компаратор. Информацията се различава не по абсолютната стойност на напрежението, а по полярността на диференциалното напрежение. Този начин на диференциално предаване на сигнали е значително по-шумоустойчив от несиметричния, тъй като евентуално импулсно смущение предизвиква само синфазно отклонение на сигналите и в двете линии, което благодарение на диференциалния компаратор в приемната част се компенсира и не се отчита.

За сравнително бавно предаване на сигнали (няколко хиляди бита в секунда) по многожилни кабели, обикновено се използва стандартът RS-232C (или по-новия RS-232D). Стандартът определя биполярни логически нива: за логическата 0 — от +5 до +15 V, а за логичес-

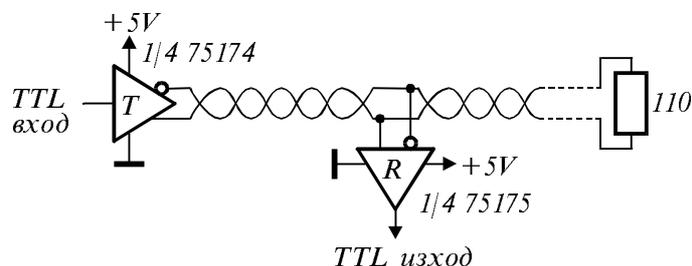
ката I — от -5 до -15 V (за предавателите е необходимо положително и отрицателно захранващо напрежение, докато приемниците се захранват само с положително). Като правило, приемниците за RS-232 допускат управление на хистерезиса и времето на реакция. За работа с RS-232 може да се използва обикновен многожилен кабел без всякаква екранировка, тъй като максималната скорост на промяна на напрежението в изходите на предавателите е ограничено на 30 V/ μ s, за намаляване на кръстосаните смущения.



Фиг. 9.17. Предаване на цифрови сигнали по EIA стандарта RS-232C.

Типична схема за предаване по RS-232C е показана на фиг. 9.17. Кондензаторът C_1 ограничава максималната скорост на напрежението в изходите. R_1 определя хистерезиса на входния буфер, а C_2 служи за увеличаване на шумоустойчивостта.

Стандартът RS-422/423 е разработен да замени разпространения стандарт RS-232 и е предназначен да работи преди всичко с усукана двойка или плоска линия. Един предавател може да управлява до 10 приемника, като линията се натоварва с характеристичното си съпротивление само при най-отдалечения приемник. Всъщност, RS-422 и RS-423 са две разновидности на един стандарт, използващ диференциален приемник.

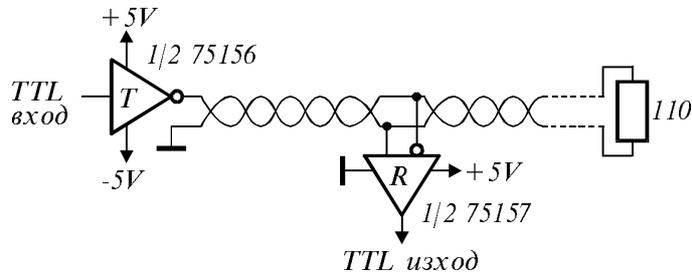


Фиг. 9.18. Предаване на цифрови сигнали по EIA стандарта RS-422.

Балансираният стандарт RS-422 използва диференциален предавател и работи с еднополярни сигнали в диапазона от $+2$ до $+5$ V, без ограничаване скоростта на нарастване на напрежението. Чрез него се достига максимална скорост на предаване 10 Mbit/s. Примерна схема за организиране на RS-422 е показана на фиг. 9.18.

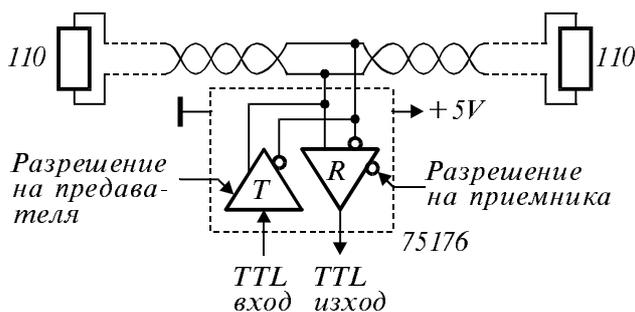
Небалансираният стандарт RS-423 използва еднофазен предавател

и работи с биполярни сигнали в диапазона от ± 3 до ± 6 V, което твърдо определя двуполярно захранване на предавателите. С него може да се достигне максимална скорост на предаване 100 Kbit/s. Типична схема за работа по RS-423 е показана на фиг. 9.19.



Фиг. 9.19. Предаване на цифрови сигнали по EIA стандарта RS-423.

Стандартът RS-485 е предназначен за еднополярно диференциално приемане и предаване на цифрова информация (както при RS-422). За разлика от предишните стандарти, които позволяваха включване в линията само на един предавател, при RS-485 могат да се включат за работа до 32 предаватели и 32 приемника, т.е. в линията могат да участват до 32 кореспондента, със скорост на обмен до 4 Mbit/s. Това изисква по-специално отношение към буфериращите схеми, усигуряващи интерфейса на цифровите сигнали към и от RS-485. На първо място, приемниците имат по-голямо входно съпротивление — минимум 12 k Ω . На второ място, са взети мерки за ненатоварване на линията от буфер, когато му отпадне захранването.



Фиг. 9.20. Обмен на цифрова информация по EIA стандарта RS-485.

Предавателят задължително има вход за разрешение, чрез който се управлява неговото включване в линията и защита по ток от конфликтна ситуация, когато повече от един предавател се опитат да предават едновременно. На фиг. 9.20 е показано включването на кореспондент в RS-485 линия. Линията е натоварена в двата си края, при най-отдалечените приемо-предаватели, с характеристичното си съпротивление.

ЛИТЕРАТУРА

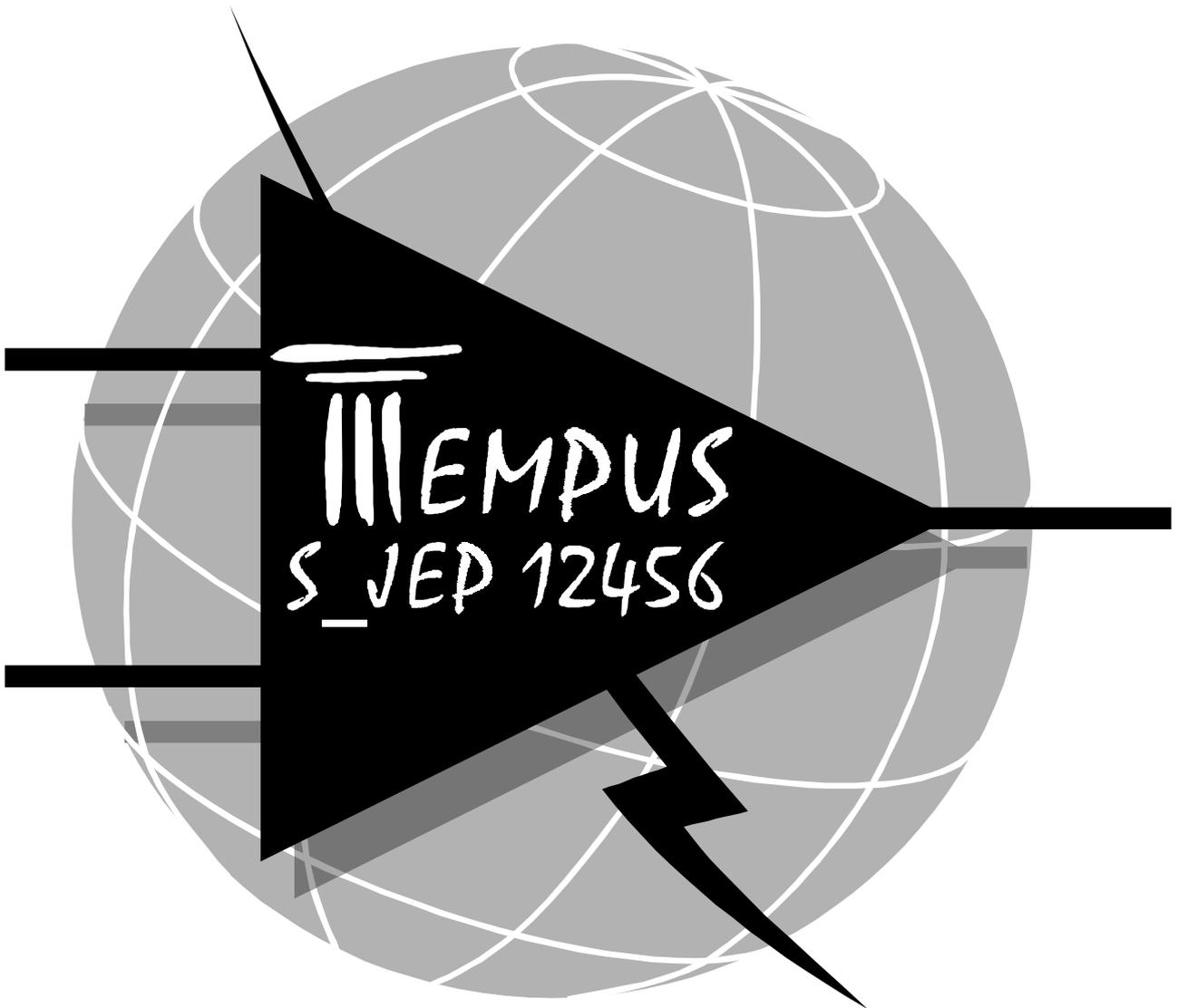
1. Боянов, К., С. Сребрев, И. Обретенов. Сборник приложни схеми от цифровата електроника. София, Техника, 1979.
2. Данаилов, Р., С. Ельцова, Ю. Иванов и др. Применение интегральных микросхем в электронной вычислительной технике. Москва, Радио и связь, 1986.
3. Димитрова, М. И. Ванков. Импулсни схеми и устройства — в 2 тома. София, Техника, 1987.
4. Димитрова, М., И. Ванков. CMOS интегрални схеми — в 2 тома. София, Техника, 1988.
7. Конов, К. Импулсни и цифрови схеми с интегрални TTL елементи. София, Техника, 1988.
9. Михов, Г. Цифрова схемотехника. С., ТУ — София, 1997.
8. Соклоф, С. Приложение на аналогови интегрални схеми. София, Техника, 1990.
9. Титце, У., К. Шенк. Полупроводниковая схемотехника. Москва, Мир, 1982.
10. Токхейм, Р. Основы цифровой электроники. М., Мир, 1988.
11. Уильямс, А. Применение интегральных схем — в 2 книгах. Москва, Мир, 1987.
12. Хоровиц, П., У. Хилл. Искусство схемотехники — в 3-х томах. Москва, Мир, 1992.
14. Якубовски, С., Н. Барканов, Л. Нисельсон и др. Аналоговые и цифровые микросхемы. Москва, Радио и связь, 1984.
15. Янсен, Й. Курс цифровой электроники — в 4-х томах. Москва, Мир, 1987.
16. Floyd, T. Digital Fundamentals. New York, Macmillan Publishing Company, 1990.
17. Bursky, D. A Tidal Wave Of 3-V ICs Up Many Options. Electronic Design, August 20, 1992.
18. CMOS Commodity Logic ICs — New pinouts for ACL ICs. Philips, 1988.
19. Integrated circuits, Book IC15 — FAST TTL Logic series. Philips, 1988.
20. Programmable Logic Design Guide. National Semiconductor Corp. 1985.
21. Data Transmission Seminar '96. Texas Instruments Inc. 1997.

СЪДЪРЖАНИЕ

| | |
|---|-----------|
| ЦИФРОВА СХЕМОТЕХНИКА за бакалавър-инженер по Електроника | |
| 1. ЛОГИЧЕСКИ ЕЛЕМЕНТИ | 3 |
| 1.1. Логически нива..... | 3 |
| 1.2. Шумоустойчивост на логическите елементи..... | 4 |
| 1.3. Цифрови импулси..... | 6 |
| 1.4. Логически вентили..... | 8 |
| 2. ЛОГИЧЕСКИ СЕМЕЙСТВА | 11 |
| 2.1. Транзисторен ключ, резисторно транзисторна логика — RTL и транзисторно резисторна логика — TRL..... | 11 |
| 2.2. Диодна логика и диодно-транзисторна логика — DTL..... | 12 |
| 2.3. Логически схеми с висока шумоустойчивост — HiNIL..... | 13 |
| 2.4. Транзисторно-транзисторна логика — TTL..... | 14 |
| 2.4.1. Основна логическа клетка на TTL..... | 14 |
| 2.4.2. Статични характеристики на TTL..... | 15 |
| 2.4.3. Разновидности на TTL елементи..... | 19 |
| 2.4.4. TTL серии..... | 23 |
| 2.4.5. Усъвършенствани TTL серии ALS, AS и F..... | 26 |
| 2.5. Логически схеми с MOS транзистори..... | 30 |
| 2.5.1. N-канална MOS логика..... | 30 |
| 2.5.2. Комплементарна MOS логика — CMOS..... | 32 |
| 2.5.3. CMOS интегрални схеми..... | 35 |
| 2.5.4. Усъвършенствани CMOS серии..... | 39 |
| 2.6. Емитерно-свързана логика — ECL..... | 42 |
| 2.7. Интегрална инжекционна логика — I ² L..... | 46 |
| 2.8. Интегрирана биполярна и MOS логика — BiCMOS..... | 47 |
| 2.9. Съвместимост между логическите семейства и серии..... | 50 |
| 3. КОМБИНАЦИОННИ ЛОГИЧЕСКИ СХЕМИ | 55 |
| 3.1. Дешифратори и шифратори..... | 55 |
| 3.2. Мултиплексори и демултиплексори..... | 62 |
| 3.3. Кодови преобразуватели..... | 66 |
| 3.4. Цифрови компаратори..... | 69 |
| 3.5. Суматори и други аритметични устройства..... | 72 |
| 3.6. Програмируема комбинационна логика..... | 76 |
| 3.6.1. Програмируема постоянна памет — PROM..... | 78 |
| 3.6.2. Програмируеми логически матрици — PLA..... | 80 |
| 3.6.3. Програмируема матрична логика — PAL..... | 81 |
| 4. ПОСЛЕДОВАТЕЛНОСТНИ ЛОГИЧЕСКИ СХЕМИ | 83 |
| 4.1. Тригери..... | 83 |

| | |
|---|------------|
| 4.1.1. Видове тригери и параметри..... | 83 |
| 4.1.2. SR-тригери..... | 85 |
| 4.1.3. JK-тригери..... | 90 |
| 4.1.4. D-тригери..... | 91 |
| 4.1.5. T-тригери..... | 93 |
| 4.2. Броячи..... | 94 |
| 4.2.1. Класификация и параметри на броячите..... | 95 |
| 4.2.2. Асинхронни броячи..... | 96 |
| 4.2.3. Синхронни броячи..... | 98 |
| 4.2.4. Нулиране и зареждане на броячите..... | 102 |
| 4.2.5. Нарастване на броячите..... | 104 |
| 4.2.6. Двоично-десетични броячи..... | 109 |
| 4.2.7. Съкратени броячи и делители на честота..... | 111 |
| 4.3. Регистри..... | 116 |
| 4.3.1. Паралелни регистри..... | 116 |
| 4.3.2. Преместващи регистри..... | 117 |
| 4.3.3. Кръгов преместващ регистър и брояч на Джонсън..... | 120 |
| 4.3.4. Генератори на псевдослучайни последователности..... | 122 |
| 4.4. Регистрова програмируема матрична логика..... | 124 |
| 5. ФОРМИРОВАТЕЛНИ И РЕЛАКСАЦИОННИ СХЕМИ | 127 |
| 5.1. Формирователи на импулси без обратна връзка..... | 127 |
| 5.2. Чакащи мултивибратори..... | 131 |
| 5.3. Тригери на Шмит..... | 137 |
| 5.4. Релаксатори..... | 141 |
| 5.4.1. RC-релаксатори..... | 141 |
| 5.4.2. Релаксатор с тригер на Шмит..... | 143 |
| 5.4.3. Релаксатор със закъснителна линия..... | 143 |
| 5.4.4. Кварцово стабилизиращи релаксатори..... | 144 |
| 5.4.5. Интегрални релаксатори..... | 149 |
| 6. ИНДИКАЦИИ | 153 |
| 6.1. Управление на индикатори..... | 153 |
| 6.2. Организиране на статична индикация..... | 159 |
| 6.3. Организиране на динамична индикация..... | 162 |
| 6.4. Управление на точково-матрични индикатори..... | 164 |
| 6.5. Скални индикатори..... | 166 |
| 7. ЦИФРОВО-АНАЛОГОВИ И АНАЛОГОВО-ЦИФРОВИ ПРЕОБРАЗОВАТЕЛИ | 169 |
| 7.1. Предавателна характеристика и грешки..... | 169 |
| 7.2. Цифрово-аналогови преобразователи..... | 170 |
| 7.2.1. ЦАП със сумиране на токовете..... | 171 |
| 7.2.2. ЦАП със сумиране на токовете, с резисторна матрица.... | 173 |
| 7.2.3. Двоично-десетични ЦАП..... | 174 |

| | |
|---|------------|
| 7.2.4. ЦАП със сумиране на напреженията | 175 |
| 7.2.5. Двуквадрантни ЦАП и обработка на числа със знак..... | 177 |
| 7.2.6. Четириквадрантни ЦАП и умножителни ЦАП | 180 |
| 7.3. Аналогово цифрови преобразуватели..... | 181 |
| 7.3.1. Шум и апертурна грешка | 181 |
| 7.3.2. Паралелни аналогово-цифрови преобразуватели..... | 184 |
| 7.3.3. Паралелно-последователен метод за аналогово-цифрово преобразуване | 187 |
| 7.3.4. Тегловен метод за аналогово-цифрово преобразуване и АЦП със зарядно преразпределение | 188 |
| 7.3.5. Преброителен метод за аналогово-цифрово преобразуване | 192 |
| 8. ФАЗОВИ И ЧЕСТОТНИ СИНХРОНИЗАТОРИ | 197 |
| 8.1. Предавателна характеристика и устойчивост на ФАПЧ..... | 197 |
| 8.2. Цифрови фазови детектори | 200 |
| 8.2.1. Фазови детектори за регулярни входни величини | 200 |
| 8.2.2. Фазови детектори за случайни входни величини..... | 205 |
| 8.2.3. Фазов детектор с произволен диапазон на работа | 208 |
| 8.3. Генератори, управлявани от напрежение | 209 |
| 8.4. Честотни синтезатори | 211 |
| 8.5. Цифрови фазови синхронизатори..... | 213 |
| 8.5.1. Структура на цифров фазов синхронизатор | 214 |
| 8.5.2. Възстановяване на носеща честота..... | 216 |
| 9. СМУЩЕНИЯ В ЦИФРОВИТЕ ВЕРИГИ И ПРЕДАВАНЕ НА СИГНАЛИ | 219 |
| 9.1. Външни смущения | 219 |
| 9.2. Вътрешни комутационни смущения | 220 |
| 9.3. Взаимни кръстосани смущения..... | 223 |
| 9.4. Смущения в дълги линии | 224 |
| 9.4.1. Критерий за дълги линии при предаването на цифрови сигнали..... | 224 |
| 9.4.2. Подтискане на смущения при дълги линии | 226 |
| 9.4.3. Терминиране на линии с разпределени параметри..... | 227 |
| 9.5. Предаване на цифрови сигнали по стандарти на ЕІА..... | 231 |
| ЛИТЕРАТУРА | 235 |



ЦИФРОВА СХЕМОТЕХНИКА
за бакалавър-инженер по Електроника

Автор: **доц. д-р инж. ГЕОРГИ СЛАВЧЕВ МИХОВ**
Рецензент: доц. д-р инж. Рачо Маринов Иванов

Дадена за набор м. декември 1998
Подписана за печат м. декември 1998

Излязла от печат м. януари 1999
Тираж: 200+5 Формат: 60×84/16

Печатни коли 15

Цена: Безплатно

ISBN 954-438-238-0

ИПК на ТУ — София

