

Доц. д-р инж. Георги Славчев Михов

ЦИФРОВА СХЕМОТЕХНИКА

РЪКОВОДСТВО
ЗА СЕМИНАРНИ УПРАЖНЕНИЯ

Технически Университет — София
1998

ЦСТ

ръководство
сем. упр.

В ръководството са изложени въпроси, свързани с практическите аспекти на изграждането на схеми и устройства от цифровата електроника. То е предназначено да даде допълнителни познания върху основните цифрови схеми и върху методите на проектирането и изчисляването им.

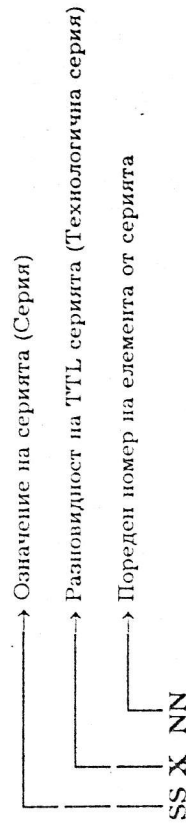
Разгледани са особеностите при работа с основните елементи на цифровата електроника, изграждането на устройства с комбинационна и последователна логика, построяването на формирователни и релаксационни схеми. Вниманието е обърнато на приложението на устройства с комбинирано цифрово и аналогово действие, като цифрово-аналогови и аналогово-цифрови преобразуватели и фазови синхронизатори. Застъпени са въпроси, свързани с шумовете в цифровите устройства и предаването на цифрова информация между устройствата и системите.

Ръководството е предназначено за студентите от специалност "Електроника" към Факултета по електроника на техника и технологии на ТУ — София. Той може да бъде използван и от студенти от други специалности, от други висши учебни заведения, както и от специалисти, работещи в тази област.

ОСОБЕНОСТИ ПРИ РАБОТА С TTL СХЕМИ

1.1. TTL елементи.

Понастоящем TTL схемите са едни от най-широко разпространените схеми в цифровата електроника. За пръв път през юни 1966 г. бе съобщено за пускането в серийно производство на интегралните схеми от серията SN74N на фирмата Texas Instruments. Първоначално серията съдържаше 12 разновидности и поради своето удобство бързо се наложи на пазара. Почти веднага още няколко други фирми започнаха производството на TTL схеми. Много от фирмите поставиха собствена система на означаване на TTL схемите си, но в последствие (с малки изключения) ги оседнавиха с вече утвърдилата се веред потребителите система на означение, наложена от фирмата първопроизводител Texas Instruments. Най-важните елементи на тази система са дадени на фиг. 1.1.



Фиг. 1.1. Означение на TTL схемите.

Първият елемент SS (Означение на серията — Серия) е число, което указва определени експлоатационни характеристики на TTL сериите. Съответствието му с диапазона на температурата на околната среда при експлоатация и диапазона на захранващото напрежение са дадени в табл. 1.1. От указаните серии, в момента се произвеждат само 74 (индустриална) и 54 (военна) серии.

Табл. 1.1. Съответствие между означението на серията и допустимия работен диапазон на температурата на околната среда и на захранващото напрежение.

SS (Серия)	Температура на околната среда, °C	Захранващо напрежение, V	Забележка
54	-55 ÷ +125	4,5 ÷ 5,5	Военна серия
64	-40 ÷ +85	4,75 ÷ 5,25	
74	0 ÷ +70	4,75 ÷ 5,25	Индустриална серия
84	-25 ÷ +85	4,75 ÷ 5,25	

Вторият елемент X (Разновидност на TTL серията — Технология-чна серия) указва технологията на производство на серията. В табл. 1.2. са дадени технологиите за изработка на TTL сериите. Остарелите серии вече не се произвеждат. С малки изключения, не се произвеждат и елементи от нормалната и Шотки (S) сериите.

Табл. 1.2. Съответствие между разновидностите на TTL сериите и технологиите им на изработка.

X	Технология на изработка на логическите серии									
	Normal	Нормална	Нормална	Нормална	Нормална	Нормална	Нормална	Нормална	Нормална	Нормална
L	Low-power	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна
H	High-speed	Бързодействаща	Бързодействаща	Бързодействаща	Бързодействаща	Бързодействаща	Бързодействаща	Бързодействаща	Бързодействаща	Бързодействаща
S	Schottky	Шотки	Шотки	Шотки	Шотки	Шотки	Шотки	Шотки	Шотки	Шотки
LS	Low-power Schottky	Маломощна Шотки	Маломощна Шотки	Маломощна Шотки	Маломощна Шотки	Маломощна Шотки	Маломощна Шотки	Маломощна Шотки	Маломощна Шотки	Маломощна Шотки
AS	Advanced Schottky	Усъвършенствана	Усъвършенствана	Усъвършенствана	Усъвършенствана	Усъвършенствана	Усъвършенствана	Усъвършенствана	Усъвършенствана	Усъвършенствана
ALS	Advanced Low-power Schottky	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна	Маломощна
FAST	(Fairchild Advanced Schottky TTL)	Om Fairchild	Om Fairchild	Om Fairchild	Om Fairchild	Om Fairchild	Om Fairchild	Om Fairchild	Om Fairchild	Om Fairchild

Технологичните серии LS, AS, ALS и F съдържат диодна логика във входа си и по този принцип те принадлежат към диодно-транзисторната логика, но по исторически и традиционни фактори се причисляват към транзисторно-транзисторната логика.

Третият елемент NN е поредния номер на TTL схемата. Номерата от 00 до 99 са присвоени последователно на TTL схемите. За по-горните номера е търсено някакво функционално съответствие — напр. '83 и '183 са суматори. Приложение А показва състава на 74/54 серия. Пример за означаване: 7400, 54S125, 74ALS139, 74F10 и т.н.

За основен логически елемент от всяка серия се приема елементът И-НЕ с пореден номер 00 и статичните параметри на серията се специфицират спрямо него: 7400, 74L00, 74H00, 74S00, 74ALS00, 74F00. Динамичните параметри на TTL елементите се специфицират поотделно за логически вентил (елемент с пореден номер '00) и тригер (елемент с пореден номер '74).

Табл. 1.3. Време на превключване и консумирана мощност на единичен 2И-НЕ елемент '00 и максимална тактова честота на тригер '74 от TTL серията 54/74.

Параметри		Серии 54/74							
		L	H	S	LS	ALS	AS	F	
Време на превключване на логически вентил '00, ns	9	33	6	3	9,5	4	1,75	3	
Консумирана мощност на логически вентил '00, mW	10	1	22	19	2	1,2	8	4	
Максимална тактова честота на тригер '74, MHz	15	2,5	35	75	25	34	105	100	

1.2. Свързване във входа на TTL елемент.

Подаването на входен сигнал за TTL и свързването на елементи във входовете на TTL схемите е свързано с отчитането на някои особености:

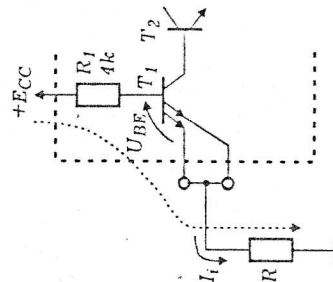
— При отрицателни входни напрежения, входният ток нараства и схемата може да се повреди поради превишаване на максимално допустимата мощност или поради разрушаване на p-n преходите, през които протича тока. Ето защо е недопустимо директно подаване на входно напрежение по-отрицателно от 0,7 V. Усъвършенстваните TTL елементи имат вградени във входовете си защитни Шотки диоди. За тях допустимото входно напрежение е -0,4 V.

— При входно напрежение по-високо от 7,5 V, входният ток рязко нараства, тъй като настъпва ценов пробив във входния транзистор. В TTL елементите, използващи диодна логика на входа си, може да настъпи пробив във входните диоди. Затова не се допуска директно подаване във входа на напрежение по-високо от 5,5 V.

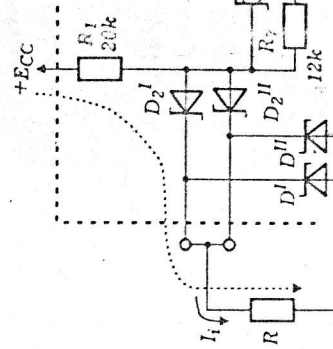
— При възможност е желателно входовете на използваните логически елементи да се свържат към маса. Това намалява консумацията им около три пъти, в сравнение със случаите, когато входовете остават свободни.

— Невсвързан вход на TTL елемент се държи както ако на него има подадена логическа 1.

а) Свързване на резистор във входа на TTL.



а)



б)

Фиг. 1.2. Свързване на резистор във входа на TTL елемент: а) — с многосмесителен транзистор на входа; б) — с диодна логика на входа.

Често срещано приложение е свързването на резистор във входа на TTL към маса или към източник на сигнал с малко изходно съпротивление. Протичащият входен ток I_i не трябва да създава върху

R пад на напрежение по-голям от диапазона на входната логическа 0.

$$\frac{E_{CC} - U_{BE}}{R + R_1} \cdot R < U_{i0}$$
Където U_{i0} е най-високото допустимо напрежение на входната логическа 0.

За стойността на включвания във входа резистор R може да се използва следното практическо правило:

$$R, k\Omega < \frac{0,8 \cdot V}{I_{i0}, mA}$$

където I_{i0} е входният ток ток на логическата 0 на TTL елемента.
 Например, за $7400 I_{i0} = 1,6 \text{ mA}$, откъдето $R < 500 \Omega$.

От табл. 1.4. могат да се изчислят максималните стойности на допустимите R , включени към маса във входовете на елементите от различните TTL серии.

Табл. 1.4. Максимални токове на входната логическа 0 и 1 за различните серии TTL елементи.

Параметър	L	H	S	LS	ALS	AS	F
Максимален входен ток при 0, mA	1,6	0,2	2,0	0,4	0,01	0,05	0,6
Максимален входен ток при 1, μA	40	10	50	20	20	20	20

Същото правило се прилага, когато резисторът е свързан към източник на сигнал с нулево изходно съпротивление. Ако източникът на сигнала е вътрешно съпротивление R_g , което не е пренебрежимо малко, то стойността на R се намалява със стойността на R_g .
 При свързването на резистор към E_{CC} във входа на TTL елемент се спазват следните правила:

— Не е желателно директното свързване на TTL вход към E_{CC} . При евентуални пикове в захранването, такива входове могат да бъдат повредени.

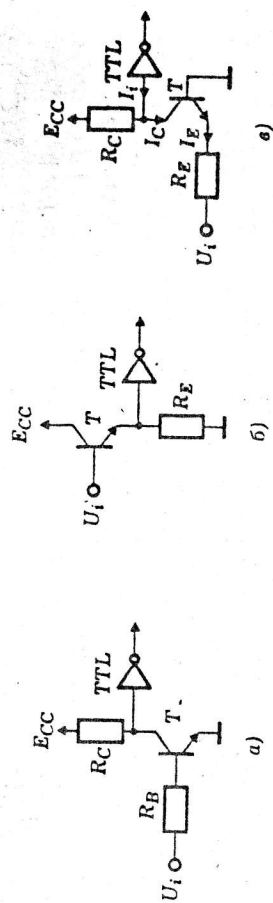
— Подаването на логическа 1 към вход на TTL от E_{CC} се препоръчва да става през съпротивление със стойност $1 \text{ k}\Omega$. Ако към такъв вход се подава сигнал, стойността на резистора може да бъде и много по-голяма. Не се препоръчва вход, на който трябва да има 1 да се остави свободен (от съображения за шумоустойчивост)

б) Свързване на транзистори във входа на TTL елемент.

Подаването на сигнал чрез NPN транзистор е илюстрирано от показаните на фиг. 1.3 три схеми.

За схемата от фиг. 1.3.а, транзисторът T представлява инвертор за входния сигнал U_i . Резисторът R_C отговаря на условията в точка

а, за свързването на резистор във входа на TTL към E_{CC} . Резисторът R_B осигурява базовия ток на T .



Фиг. 1.3. Подаване на входен сигнал през NPN транзистор във входа на TTL елемент.

За схемата от фиг. 1.3.б, транзисторът T е емитерен повторител. Диапазонът на U_i е от 0 до E_{CC} . Резисторът R_E отговаря на условията в точка а за свързването на резистор във входа на TTL към маса. Поради необходимостта от ниска стойност за R_E , тази схема се използва сравнително рядко.

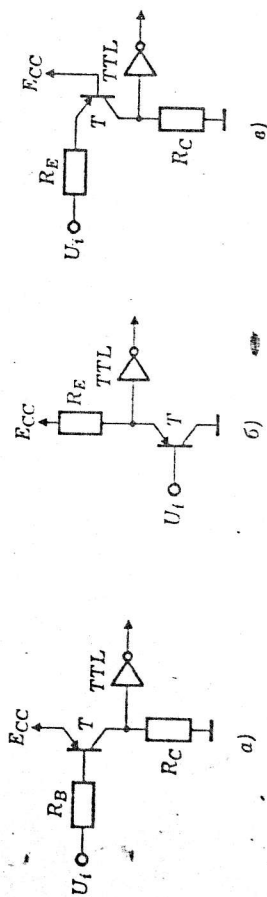
За схемата от фиг. 1.3.в, транзисторът T е включен по схема обичайна база. Схемата се използва като транслятор на логически нива. Диапазонът на входното напрежение е отрицателен — от 0 до $-U_i$. R_C отговаря на условията в т. а. Резисторът R_E трябва да осигури както тока през R_C , така и да поеме I_{i0} от TTL елемента.

$$I_E = \frac{|U_i| - U_{BE}}{R_E}, I_C = \frac{E_{CC}}{R_C}, I_E > I_C + I_{i0}$$

$$R_E < \frac{|U_i| - U_{BE}}{\frac{E_{CC}}{R_C} + I_{i0}}$$

Подаването на сигнал във входа на TTL чрез PNP транзистор е илюстрирано от трите схеми на фиг. 1.4.

За схемата от фиг. 1.4.а, транзисторът T представлява инвертор за входния сигнал U_i . Резисторът R_C отговаря на условията в точка а. Тази схема също се използва сравнително рядко, поради сравнително ниската стойност на R_C . За схемата от фиг. 1.4.б, T е емитерен повторител. Диапазонът на U_i е от 0 до E_{CC} . Резисторът R_E отговаря на условията в т. а. При прилагането на схемата трябва да се има предвид, че постъпващият входен сигнал се транслира във входа на TTL с U_{BE} на T . Например, при $U_i = 0 \text{ V}$, логическата 0 във входа на TTL се получава $0,7 \text{ V}$, което влошава статичната шумоустойчивост.



Фиг. 1.4. Подаване на входен сигнал през NPN транзистор във входа на TTL елемент.

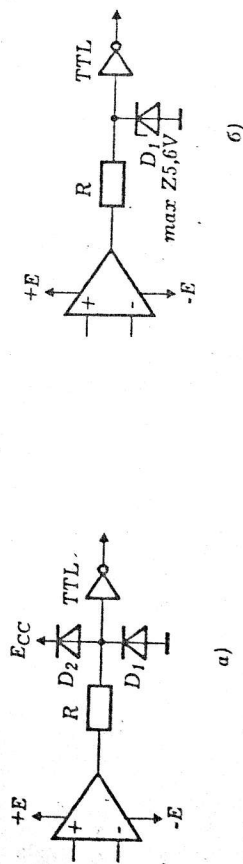
За схемата от фиг. 1.4.в, транзисторът T е включен по схема об-ща база. Диапазонът на входното напрежение е $U_i > E_{CC}$. R_C отгова-ря на условията в т. а. R_E трябва да отговаря на условието:

$$R_E < \frac{U_i - E_{CC}}{E_{CC}} R_C$$

Схемата представлява транслатор на логически нива, но поради срав-нително ниската стойност на R_C рядко се използва.

г) Свързване на операционен усилвател към входа на TTL.

Когато се налага подаването на сигнал във входа на TTL от из-хода на аналогов компаратор или операционен усилвател, е необходи-мо да се ограничи амплитудата на сигнала. Това се извършва при-мерно по показаните на фиг. 1.5. начини.



Фиг. 1.5. Свързване на ОУ към вход на TTL елемент.

Изходното напрежение на ОУ се изменя в границите от U_o^+ до U_o^- . Резисторът R се избира от условието: $R \leq \frac{U_o^-}{I_{i0}}$.

1.3. Свързване в изхода на TTL елемент.

При натоварването на изхода на TTL елемент трябва да се имат

предвид неговите изходни параметри, дадени за различните серии в табл. 1.5. Изходите на TTL понасят късо съединение с масата, поради наличието на токоограничаващ резистор в колектора на един от тран-зисторите в крайното стъпъло (T_4). Късо съединение със захранва-щия проводника обаче, е недопустимо и изходът на TTL се поврежда.

Табл. 1.5. Изходни токове на логическите елементи от 74/54 TTL серии (в скоби са дадени различията за 54 серия).

Изходни токове, mA	-	L	II	S	LS	ALS	AS	F
Ток на изход-ната 0	16	4(2)	20	20	8(4)	8(4)	20	20
Ток на изход-ната 1	0,4	0,2(0,1)	0,5	1,0	0,4	0,4	2,0	15
Ток на к.с. с масата	20÷55	3÷15	40÷100	40÷100	30÷130	60	125	100

а) Свързване на други TTL елементи.

Често в схемите се налага свързване на няколко логически еле-мента към изход на един елемент. Свързването се определя от т.нар. коефициент на натоварване N_Q , който определя броя на входовете, които могат да се включат към един изход. Той се определя като от-ношение на изходния ток в състояние 0 и 1 и входния ток на логиче-ския елемент 74X(0) от същата серия, съответно в състояние 0 и 1.

$$N_{Q0} = \frac{I_{o0}}{I_{i0}(3a-74X00)} \text{ и } N_{Q1} = \frac{I_{o1}}{I_{i1}(3a-74X00)}$$

$$\text{Например за серията 74LS } N_{Q0} = \frac{8}{0,4} = 20; N_{Q1} = \frac{400}{20} = 20.$$

Когато се свързват елементи от различни технологични серии е необходимо поотделно да се пресметне броят на входовете за които даден изход може да осигури тока на логическата 0 и броят на входо-вете, за които същият изход може да осигури тока на логическата 1 и да се вземе по-малкото от двете числа. Например, да се определи колко S входа могат да се управляват от един LS изход:

$$N_0 = \frac{I_{o0}(LS00)}{I_{i0}(LS00)} = \frac{8}{2} = 4, N_1 = \frac{I_{o1}(LS00)}{I_{i1}(LS00)} = \frac{0,4}{0,05} = 8,$$

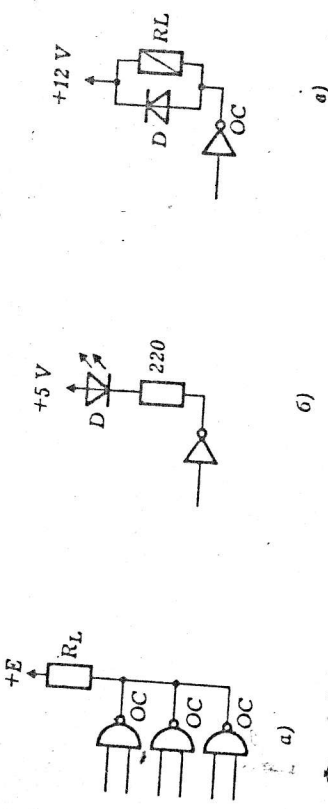
$$N = \min[N_0, N_1] = 4$$

Направените до тук разчети осигуряват статичната съвмести-мост между свързаните логически елементи. Когато няколко входа се свързват накъсо, техните capacitети се сумират, което натоварва захранващия ги изход и бързодействието намалява.

б) Непосредствено управление на товар.

На фиг. 1.6 са показани някои случаи на непосредствено управ-

Линиите на товар от изхода на TTL елемент. Най-често използваните за тези случаи са елементите с отворен колектор.



Фиг. 1.6. Непосредствено управление на товар от изход на TTL.

Фиг. 1.6.а показва управление по схема "жично ИЛИ" на товар от няколко изхода с отворен колектор. Захранващото напрежение $+E$ се определя от допустимото напрежение на изходните транзистори на TTL елементите. На фиг. 1.6.б е показано типично управление на светодиода (или на оптронен светодиод). Токозадаващото съпротивление 220Ω осигурява 16 mA ток през светодиода. TTL елементът може да не е с отворен колектор. Фиг. 1.6.в показва управление на индуктивен товар RL (реле) от изход на елемент с отворен колектор. Диодът D предпазва изхода от пренапрежение при комутирането на индуктивния товар. Логическият елемент трябва да отговаря по ток и напрежение на използваното реле. Подходящи за целта са елементите 7406.

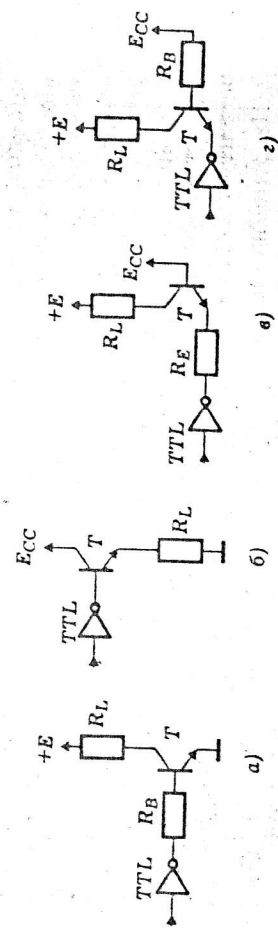
б) Управление на транзистор с TTL елемент.

В случаите, когато изходът на логическият елемент не е способен да поеме товара (не може да осигури необходимото напрежение и/или ток), се включва допълнителен транзистор. Фиг. 1.7. показва управление на товар през PNP транзистор.

Двете най-често използвани схеми са тези на фиг. 1.7.а и б. В първата, транзисторът T е включен в схема общ емитер. Логическият елемент трябва да осигури необходимия базов ток на T . Напрежението върху R_L и токът през него се осигуряват от параметрите на транзистора. Във втората схема, транзисторът T е включен като емитерен повторител. Напрежението върху R_L е максимално $U_{01} - U_{BE}$. Токът през R_L се осигурява от параметрите на транзистора.

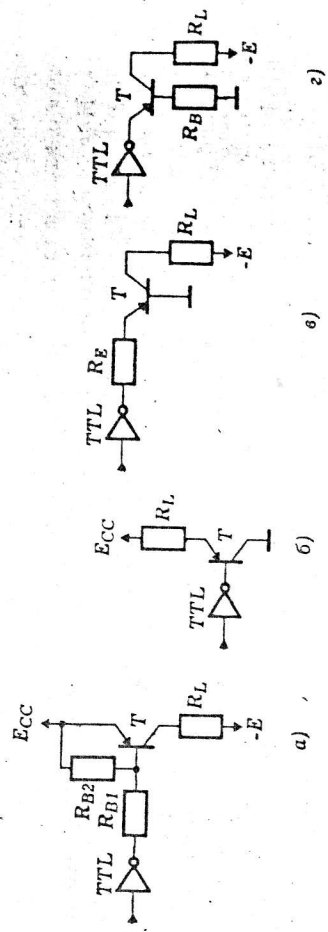
В схемите от фиг. 1.5.в и г, транзисторът T работи в схема обща база. Тези схеми се използват основно като транслатори на напрежение — токът през товара не може да превишава максималния изходен ток на елемента в състояние на логическа 0. Ако това е необходимо

димо, допълнително в изхода на елемента трябва да се включи емитерен повторител. Схемата от фиг. 1.7.в се използва по-рядко — при нея напрежението върху товара може да се променя от $+E$ до $E_{CC} - U_{BE}$. Резисторът R_E се определя от: $R_E \geq (E_{CC} - U_{BE})/I_{00}$. За схемата от фиг. 1.7.г, напрежението върху товара се превключва от $+E$ до 0 V .



Фиг. 1.7. Управление на товар чрез PNP транзистор.

Четири подобни схеми на фиг. 1.8. показват управление на товар от TTL елемент през PNP транзистор.



Фиг. 1.8. Управление на PNP транзистор с TTL елемент.

Най-често използваната схема е тази от фиг. 1.8.а (например при управление на динамична индикация). Вместо към напрежение E , товарът може да бъде свързан към маса. Резисторът R_{B1} осигурява базов ток на T и се определя от $R_{B1} \geq (E_{CC} - U_{BE})/I_{00}$. Резисторът R_{B2} осигурява сигурно запущане на T (изходът на TTL не достига E_{CC}), като стойността му е около $10 \text{ k}\Omega$.

Схемите от фиг. 1.8. в и г са транслатори на напрежение. Токът през товара не може да превишава максималния ток на логическа 1 в изхода на TTL. Тъй като TTL елементът може да работи в режим на

ОСОБЕНОСТИ ПРИ РАБОТА СЪС CMOS CXHEMI

1.4. Заключение.

Направените разглеждания се базираха на параметрите на основния логически елемент от съответната серия 74X00. Всяка от серията обаче включва елементи, чиито параметри значително се различават от тези на основния. Тези различия могат да се специфицират в следното:

1. Наличие на елементи с повишени изходни токове (повишена товароспособност, т.е. повишен коефициент на натоварване). Например елемента 74LS40 притежава $N_{Q0} = 60$.
2. Наличие на елементи с отворен колектор на изхода, чиито изходни транзистори могат да работят при напрежения по-големи от +5 V. Например изходните транзистори на инверторите в 7406 могат да работят с напрежения до +30 V.
3. В някои входове на логически елементи са въведени схематични изменения, отличаващи ги от основния по параметри. Например, информационните входове на 74LS244 имат $I_{i0} = 0,2 \text{ mA}$ (двойно по-малък от $I_{i0} = 0,4 \text{ mA}$ на 74LS00).
4. Какъсо свързани два или повече входа на един и същ логически елемент с И входна структура се възприемат като един вход, докато какъсо свързани входове на един и същи логически елемент с ИЛИ входна структура се възприемат като отделни. Например свързани какъсо два входа на елемент 74LS02 ще формират входен ток $I_{i0} = 0,8 \text{ mA}$, докато два какъсо свързани входа на елемент 74LS00 ще формират ток $I_{i0} = 0,4 \text{ mA}$, както на един вход.

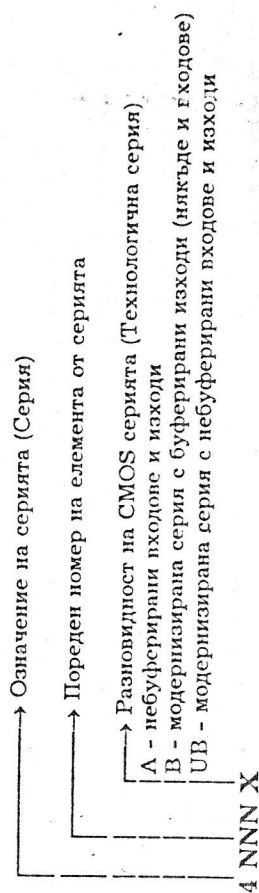
5. В по-сложните логически елементи някои от входовете са свързани вътрешно към повече от един елемент. Поради това те имат по-големи входни токове (по-голям коефициент на натоварване). Например входът R (нулиране) на 74LS74 има $I_{i0} = 1,2 \text{ mA}$ (четири пъти по-голям от $I_{i0} = 0,4 \text{ mA}$ за 74LS00).

Затова при проектиране трябва да се работи с реалните параметри на конкретните TTL схеми.

Входните параметри на основния логически елемент от нормалната серия 7400 ($I_{i0} = 1,6 \text{ mA}$ и $I_{i1} = 40 \mu\text{A}$) дефинират т. нар. *Стандартен TTL товар*.

2.1. CMOS елементи.

Производството на CMOS цифрови интегрални схеми започва през 1971 г. с известната серия 4000 на фирмата RCA. В основни линии, фирмите производители на CMOS интегрални схеми са възприели единната система на означаване, наложена от фирмата първопроизводител. Тя е представена на фиг. 2.1.



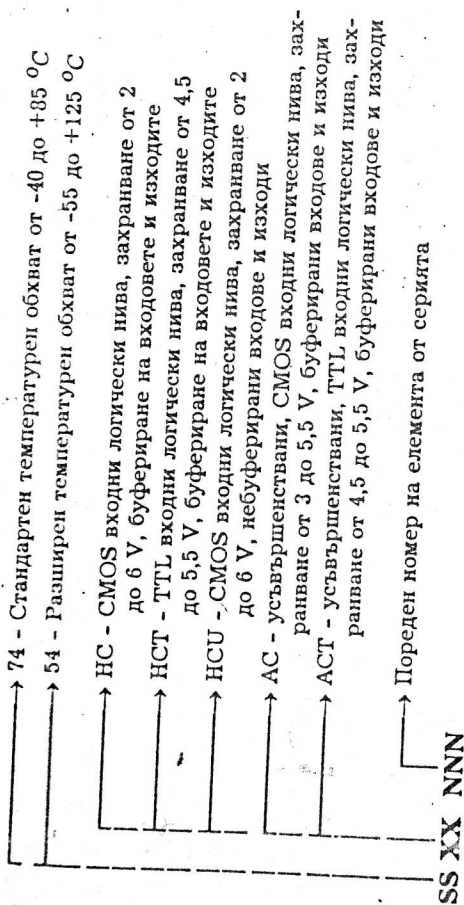
Фиг. 1.1. Означение на CMOS схемите от серия 4000.

Серия 4000 има собствено разположение на елементите в корпуса, различно от това на TTL. Състава на серия 4000 е даден в приложение Б. За удобство на разработчиците, които вече са свикнали с TTL елементите, се появява CMOS серията 74C, която е технологично близка до UB, като използва означенията и разположението на изводите, както при TTL схемите. Характерна особеност на CMOS схемите е широкият обхват на захранващото напрежение, при което те функционират нормално. Този обхват е даден в табл. 2.1.

Табл. 2.1. Обхват на захранващото напрежение на CMOS схемите (серия 4000).

CMOS серия	Минимално E_{DDmin}, V	Максимално E_{DDmax}, V	Работно E_{DD}, V
A	-0,5	15	3 + 12
B	-0,5	18	3 + 15
UB	-0,5	18	3 + 15
74C	-0,3	18	3 + 15

Бързодействащите и усъвършенствани CMOS схеми запазват системата на означаване и разположението на елементите в корпусите, както при TTL. Означаването е дадено на фиг. 2.2.



Фиг. 2.2. Означение на бързодействащите и усъвършенствани CMOS схеми.

Пример: 54НС00, 74НСU04, 74НСТ245, 74АС74, 74АСТ02 и т.н.
 По бързодействащите и усъвършенствани CMOS технологии се произвеждат и CMOS схеми, които схематехнично произхождат от серия 4000 и нямат еквивалент в TTL изпълнение. Такива схеми запазват в означението си номера от серия 4000. Например 74НС4040 е 12-разреден двоичен брояч. Среца се и обратната транслация — по технология на серия 4000 се произвеждат елементи, които схематехнично са заимствани от TTL сериите и носят този си номер, с допълнителна 0 след 4. Например 40373 е 8-разреден паралелен регистър-памет.

Усъвършенстваните AC и ACT серии се произвеждат и във вариант с централно разположение на захранващите изводи в корпуса. Номерът в тяхното означение се предшества от цифрите 11. Например 74АС11074 са същите два D-тригера, както 74АСТ74 (с традиционно диагонално разположение на захранващите изводи), но с централно разположение на захранващите изводи.

Табл. 2.2. Сравнителна таблица за параметри на CMOS интегрални схеми.

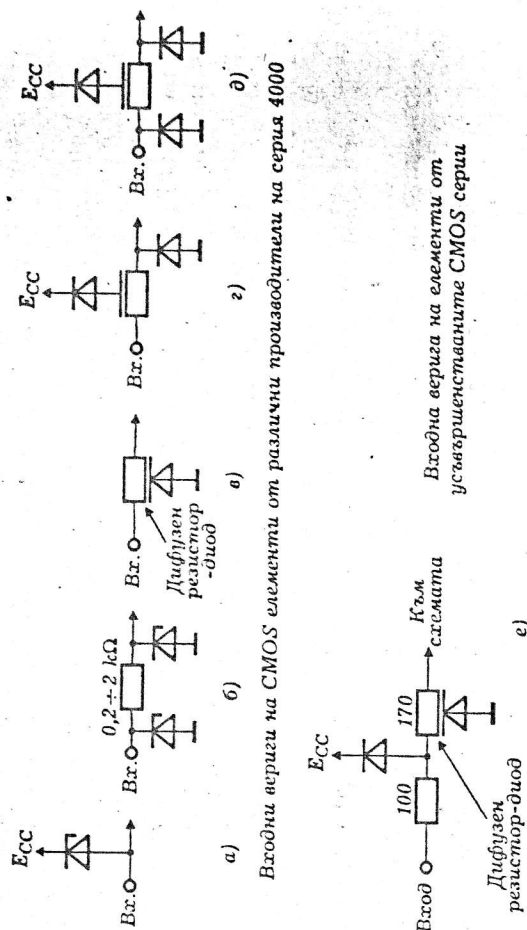
Параметри	4000/74С	НС/НСТ	АС/АСТ	LS
Време на превключване на логически вентил, ns	40	7	5	9,5
Максимална тактова честота за тригер, MHz	12	55	150	33
Изходен ток (стандартен изход), mA	0,8	4	24	8

По-важните параметри на CMOS сериите са дадени в табл. 2.2 (за сравнение са дадени същите параметри и на LS TTL сериите).

2.2. Свързване във входа на CMOS елементите.

Подаването на входен сигнал за CMOS и свързването на елементи във входовете им е свързано с отчитането на някои особености:

— Във входовете на CMOS елементите има вградени защитни диоди за предпазване от статичното електричество. Тези диоди се отпускат при $U_i < -0,5 \text{ V}$ и $U_i > E_{CC} + 0,5 \text{ V}$ и ограничават обхвата на подаваните входни напрежения. Максималните токове през защитните диоди са 10 mA за серия 4000 и 20 mA за усъвършенстваните серии. На фиг. 2.3 са показани типичните входни вериги на CMOS елементите от различните серии.



Фиг. 2.3. Защитни входни вериги на CMOS елементи.

Защитните диоди във входните вериги решават проблема за предпазване на CMOS-елементите от статично електричество, но те не трябва да се претоварват по ток. Ако съществува опасност входните напрежения да надхвърлят обхвата от -0,5 V до $E_{CC} + 0,5 \text{ V}$, последователно на входа трябва да се сложи външно ограничително съпротивление, така че входният ток да не превишава максимално допустимата стойност за защитните диоди.

Наличието на защитни диоди в интегралната структура, свързани между входа и изводите на захранващото напрежение на елементите

та, обуславя още една особеност на CMOS схемите — при прекъсване на някой от захранващите проводници схемата може да получи захранване през входната верига от изхода на CMOS схемата, която по-дава входния сигнал.

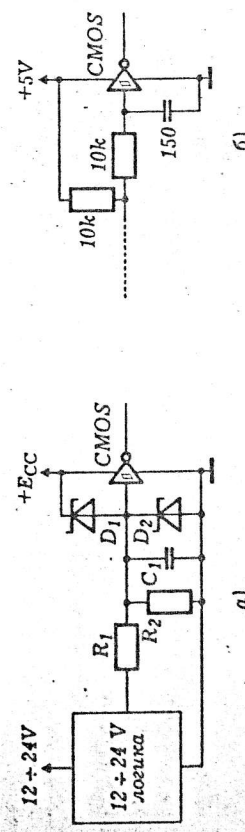
— Входното съпротивление на CMOS схемите е твърде голямо ($R_i \approx 10^9 \Omega$ при схеми със защитни диоди), затова практически не съществуват ограничения при свързването на резистор във входа на CMOS елемент. От съображения за шумоустойчивост и бързодействие се препоръчва такъв резистор да не надвишава стойността $1 M\Omega$.

— CMOS схемите притежават определен входен капацитет, който трябва да се взема предвид, особено когато много входове се свързват заедно. Той е $5 + 10 pF$ за серия 4000, $3 + 4 pF$ за HC, $4 + 5 pF$ за HCT и $2 + 3 pF$ за AC/ACT сериите. Свързан във входа на CMOS елемент резистор формира с входния капацитет на схемата време-константа, която трябва да се отчита при подаването на сигнали.

— Неизползуваните CMOS входове задължително се свързват към маса или $+E_{CC}$, според логическото ниво, което трябва да им бъде подадено. Свързването се извършва непосредствено. Несвързан вход на CMOS елемент се държи непредсказуемо. Трябва да се обърне внимание и на входовете на CMOS елементите, които получават сигнал от друга печатна платка или блок. При евентуално изваждане на платката или блока, те ще останат несвързани. Препоръчва се такива входове да се свържат през резистор (със стойност $0.1 + 1 M\Omega$) към $+E_{CC}$ или маса.

Всички схеми на свързване във входа на TTL елементи, представени в предишното упражнение могат да се приложат и за CMOS елементи, като се отхвърлят ограниченията на TTL входовете и се съблюдават особеностите на CMOS входовете.

Типични приложения на CMOS схемите е да поемат сигнали от "нестандартна" логика (работеща със захранване и нива от 12 до 24 V — напр. изходни сигнали от датчици в промишлени контролери). Фиг. 2.4 показва две такива свързвания.

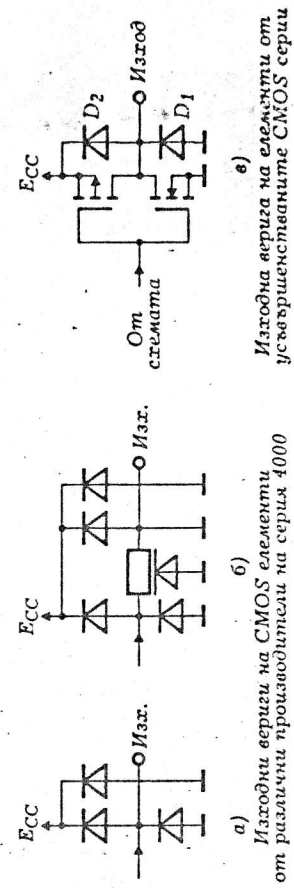


Фиг. 2.4. Подаване на "нестандартни" нива във входа на CMOS.

2.3. Свързване в изхода на CMOS елемент.

При наговарването на изхода на CMOS елемент трябва да се имат предвид следните техни особености:

— Изходните вериги на CMOS притежават защитни диоди, пре-дпазващи ги от статично електричество. Както при входовете, максимално допустимият ток за защитните диоди е $10 mA$ за серия 4000 и $20 mA$ за усъвършенстваните серии. На фиг. 2.5 са дадени някои схеми на изходните вериги на CMOS елементите.



Фиг. 2.5. Защитни изходни вериги на CMOS елементи.

— Изходните токове от CMOS елементите са симетрични, т.е. товароспособността на изходите им към маса и към захранващото напрежение е еднаква. В табл. 2.3 са дадени техните стойности и припазване на логическите състояния и максималните (при късо съединение с масата или захранващия проводник).

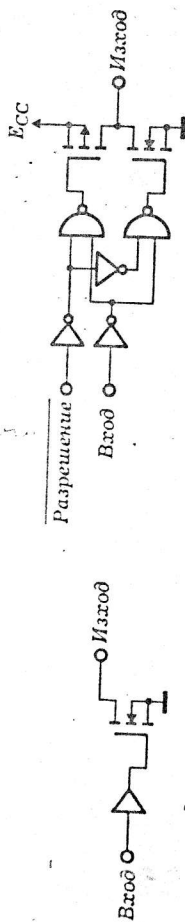
Табл. 2.3. Изходни токове на логическите елементи от CMOS сериите.

Изходни токове, mA	Серия	4000/74	4000/74C	HC/HCT	AC/ACT
Ток на нормален изход	C (15V)	1.3	0.5	4	24
Ток на късо съединение		10		25	56

— Изходите на CMOS елементите понасят неограничено време късо съединение с масата или захранващия проводник.

— Времето на превключване на CMOS елементите се увеличава с увеличаването на товарния капацитет (с увеличаване броя на паралелно управляваните входове).

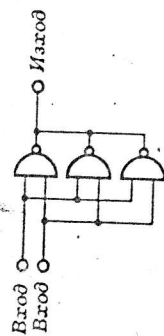
Подобно на TTL, в CMOS изпълнение също съществуват логически елементи с повишена изходна товароспособност, чиито изходни токове превишават дадените в горната таблица. CMOS сериите разполагат и с елементи с несиметричен изход с отворен дрейф, както и елементи с три изходни състояния (фиг. 2.6).



а) - инвертор с отворен дрейн

б) - инвертор с три изходни състояния

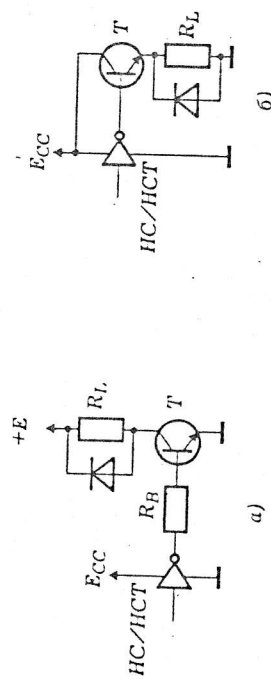
Фиг. 2.6. CMOS изходи с отворен колектор и с три състояния.



Фиг. 2.7. Паралелно свързване на CMOS елементи.

Свързването на "нестандартна" $12 \div 24$ V логика към изхода на CMOS елемент е показана на фиг. 2.8. То се извършва най-често с използването на допълнителен транзистор.

Управлението на индуктивни товари (релета) е показано на фиг. 2.9. За увеличаване товароспособността на елементите е включен допълнителен биполярен транзистор.



Фиг. 2.9. Управление на индуктивни товари със CMOS елементи.

В схемата от фиг. 2.9 а, допустимото напрежение върху товара

се определя само от параметрите на биполярния транзистор, докато при фиг. 2.9 б то се определя от стойността на изходното напрежение на логическата 1 на CMOS.

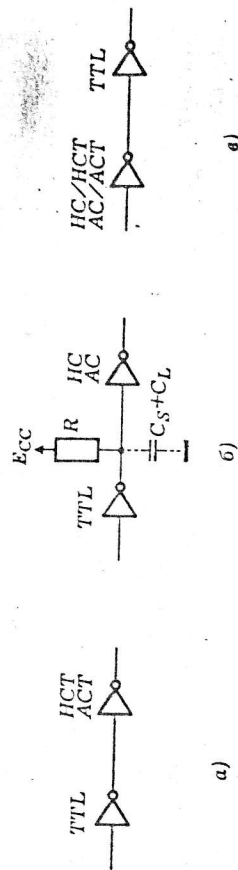
2.4. Свързване на CMOS с логически елементи от други серии.

а) Свързване с TTL елементи.

Когато CMOS и TTL схемите се захранват от едно и също напрежение, не възникват проблеми при свързването на TTL изход с входове на HCT и ACT и то се извършва директно (фиг. 2.10 а).

Не може да се извърши директно свързване на TTL изход с вход на HC или AC схеми, тъй като в най-лошия случай, минималното ниво на изходната логическа 1 на TTL е $U_{o1min} = 2,4$ V, докато минималното ниво на входната логическа 1 за HC и AC схемите е $U_{i1min} = 3,85$ V. В този случай се препоръчва поставянето на допълнителен резистор R (например със стойност $4,7$ k Ω), повдигащ логическата 1 в изхода на TTL (фиг. 2.10 б). Трябва да се има предвид времеконстантата, която се образува от резистора R и допълнителния кондензатор, формиран от паразитния кондензатор C_S и товарния кондензатор на схемата C_L . Малка стойност на R ще намали тази времеконстанта, но ще увеличи консумацията в схемата.

Свързването на CMOS изход към TTL вход, при захранване на схемите от едно и също напрежение, се извършва директно (фиг. 2.9 в). Необходимо е да се направи проверка, дали изходната товароспособност на използвания CMOS елемент е достатъчна за осигуряване на входните токове на включените към него TTL входове.



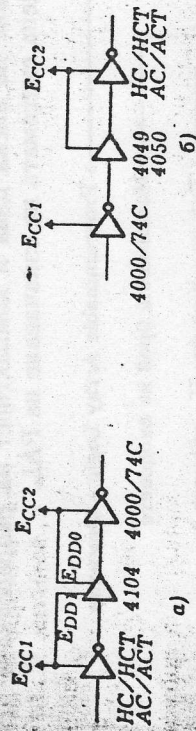
Фиг. 2.10. Свързване между TTL и CMOS при общо захранване.

б) Свързване на усъвършенстваните CMOS схеми със схеми от серията 4000/74С.

HC/HCT и AC/ACT схемите могат директно да бъдат свързани към стандартните 4000/74С серии, ако те работят с едно и също захранване. Ако обаче те използват различни захранващи напрежения, е необходимо транслиране на логическите нива (всъщност е необходимо транслиране само на логическата 1). За целта се използват

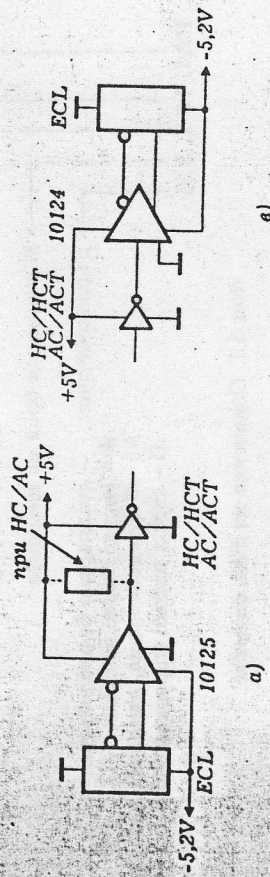
специализирани интегрални схеми — транслатори на логически нива (фиг. 2.11).

На фиг. 2.11.а, е показано транслирането на изходните нива от НС/АС сериите към входни нива на серията 4000/74С. То е възможно при $E_{CC1} < E_{CC2} + 0.7 \text{ V}$. На фиг. 2.11.б, е показано транслирането на изходните нива от 4000/74С сериите към входни нива на серията НС/АС. Транслиращите буфери нямат входни защитни диоди към $+E_{CC}$.



Фиг. 2.11. Свързване между CMOS сериите НС/НСТ/АС/АСТ и 4000/74С.

в) Свързване на CMOS с ECL.



Фиг. 2.12. Свързване между CMOS и ECL.

За връзка между НС/НСТ/АС/АСТ CMOS серии и ECL е необходимо използването на транслатори на нива. Такава връзка е показана на фиг. 2.12, с използването на специализирани транслатори (например 10125 от ECL към TTL и 10124 от TTL към ECL). Тъй като транслаторите са TTL съвместими, при използването на 10125 за връзка с НС и АС схеми допълнително се поставя резистор за повишаване на напрежението на логическата 1 (фиг. 2.12.а).

2.5. Предаване на сигнали с използването на CMOS.

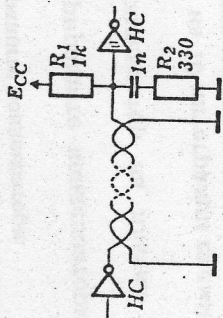
CMOS схемите предлагат много добро решение за предаване и приемане на сигнали по линии с разпределени параметри (дълги линии). Те осигуряват работа в по-широк диапазон на температурата и на

захранващото напрежение спрямо TTL при по-малка консумирана мощност и подобно бързодействие. НС и АС схемите предлагат по-голяма шумоустойчивост от тази на TTL, а шумоустойчивостта на НСТ и АСТ е същата както на TTL.

Предаване на сигнали по линия с разпределени параметри със CMOS елементи от НС серията е показано на фиг. 2.13. Натоварването на линията е извършено при приемника, като по постоянен ток тя е натоварена само с R_1 , а по променлив ток — с $R_1 \parallel R_2$. За правилно съгласуване на линията е необходимо $Z = R_1 \parallel R_2$, където Z е характеристикното съпротивление на линията. Показаните стойности на резисторите са за характеристикно съпротивление на линията 240Ω . Постояннотоково разделение на пълния товар позволява нивото на логическата 1 да остане равно на E_{CC} , при съществуващата товарна способност на изходите на НС.

За повишаване на шумоустойчивостта е необходимо приемника на сигнала да притежава вграден във входа си тригер на Шмит. Подходящи за такава цел са комбинационните схеми НС/НСТ14 и 132. Някои тригерни схеми, като НС/НСТ73, 74, 107, 109 и 112 също притежават вграден тригер на Шмит в тактовия си вход.

АС/АСТ схемите притежават повишена изходна товароспособност. Някои драйверни схеми от тях могат непосредствено да управляват дълги линии с характеристикно съпротивление от 50 и 75Ω .



Фиг. 2.13. Предаване на сигнали със CMOS елементи.

2.6. Особенности при проектиране на печатни платки със CMOS.

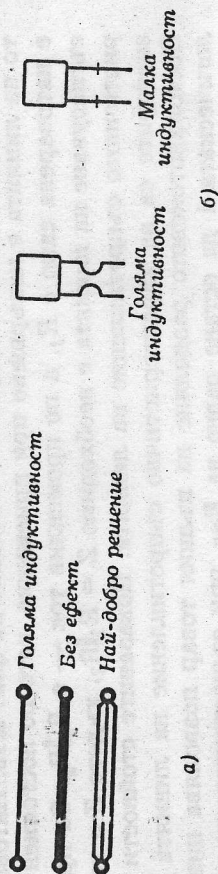
CMOS схемите притежават редица особености, отличаващи ги от другите технологични серии, които трябва да се имат предвид при изграждането на електронни устройства с тях.

CMOS схемите се характеризират с нищожна консумация в статичен режим и непренебрежима консумация в момент на превключване. Отношението на консумацията при превключване спрямо консумацията в статичен режим е много голямо. Това обуславя голямо динамично натоварване на захранващия източник. Допълнително утежняване на динамичното натоварване е презаряд на паразитните кондензатори в момент на превключване, особено при бързите CMOS.

Това налага внимателно подхождане към опроводяването на захранващите линии в платките, изпълнени със CMOS схеми. Те трябва да бъдат максимално къси и с възможна минимална индуктивност и съпротивление. При НСТ и АСТ схемите по-голямо внимание трябва

да се обърне на опроводяването на масата, а при сериите НС и АС — в еднаква степен и на двата захранващи проводника.

Задължително е поставянето на филтриращи кондензатори между захранващите проводници в максимална близост до интегралните схеми, като се вземат мерки за минимална индуктивност на техните изводи. Фиг. 2.14 показва някои мерки за намаляване индуктивността на захранващите проводници и изводите на филтриращите кондензатори.



Фиг. 2.14. Мерки за намаляване на индуктивността на а) — захранващите проводници, б) — изводите на филтриращите кондензатори.

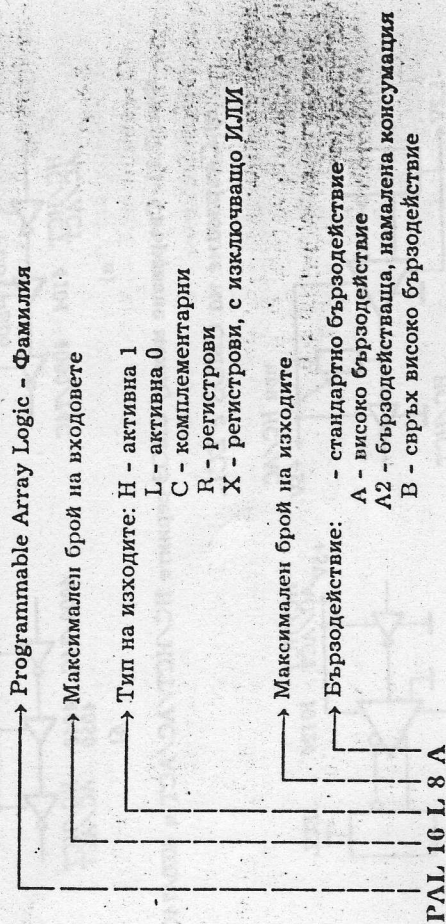
За минималните стойности на филтриращите кондензатори се дават следните препоръки:

- по един $47 \mu\text{F}$ електролитен кондензатор на платка тип Eurocard (площ $150 \times 100 \text{ mm}$);
- по един $1 \mu\text{F}$ танталов кондензатор на 10 интегрални схеми;
- по един 22 nF керамичен кондензатор на всяка схема от осцилаторен или от тригерен тип (брояч, регистри и др.);
- по един 22 nF керамичен кондензатор на всеки 4 интегрални схеми от комбинационен тип.

РАБОТА С КОМБИНАЦИОННА ПРОГРАМИРУЕМА МАТРИЧНА ЛОГИКА (PAL)

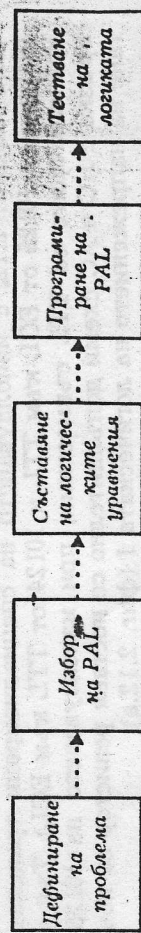
3.1. PAL схеми.

Схемите от PAL фамилията са проектирани да покриват целия спектър от логически функции, необходими на проектанта, при проектиране на ниска цена и компактност на разработката. На фиг. 3.1. е дадена системата на означаване на PAL.



Фиг. 3.1. Означение на PAL схемите.

Основните приложения на PAL схемите са две. Едното е заместването на вече проектирана с отделни чипове логика. Нормално, чрез един PAL могат да се заменят от 3 до 8 TTL чипа. Другото приложение на PAL е за проектиране на изцяло нова логическа структура.



Фиг. 3.2. Последователност при проектирането с използване на PAL.

Всяка схема е индивидуална, но процедурите при проектиране

са подобни. Фиг. 3.2. показва типична проектанска последователност.

3.2. Постановка на проблема при проектиране с PAL.

На първо място трябва да се определи функцията на логическата схема — дали тя е комбинационна или последователностна. Комбинационната логика не включва елементи на памет (тригери). Чрез нея се изграждат мултиплексорите и демултиплексорите на сигнали, адресните декодери, преобразувателите на код и др. Чрез последователностна логика се изграждат броячи на импулси и преместващи регистри, генератори на различни сигнални последователности и др.

След това е необходимо да се реши какъв ще бъде вида на логическата схема — дали тя ще бъде чисто комбинационна, последователностна или смесена.

3.3. Избор на PAL схема.

Следващият въпрос е коя PAL схема да бъде избрана за изграждане на логиката, така че да се оптимизира нейното използване и цена. Отговорът се дава след преценка на три съображения.

Първото съображение обхваща броя на входовете и изходите и активното ниво на изходните сигнали — 0 или 1. Например, ако за проектираната логика са необходими 10 входа и 7 изхода и повечето от изходите са с активна 0, най-добрият избор ще бъде PAL 10L8. Ако изходите са 6, може да се избира измежду PAL 10L8 и 12L6.

Второто съображение представлява броят на минтермите в логическото уравнение за всеки изход. Всеки PAL има ограничение по отношение на броя на реализираните от него минтерми. Например, ако логическото уравнение за даден изход съдържа 3 събираеми — $O_5 = P_1 + P_2 + P_3$, за реализирането му ще трябва PAL, имащ възможност да програмира 3 минтерма в поне една от клетките си.

Табл. 3.1. Конфигурация на произвежданите от National Semiconductor PAL.

PAL	Времетраенение при превключване, ns				I _{CC} , mA	Конфигурация
	Стандартна	Серия A	Серия B	Серия V		
10H8	35	25			90	8 × 
10L8	35	25			90	8 × 
12H6	35	25			90	4 ×  2 × 

12L6	35	25		90	4 ×  2 × 
14H4	35	25		90	4 × 
14L4	35	25		90	4 × 
16C1	35	25		90	1 × 
16H2	35	25		90	2 × 
16L2	35	25		90	2 × 
16L8	35	25	15	180	6 ×  2 × 

12L10	40			100	10 x	
14L8	40			100	6 x	
16L6	40			100	2 x	
18L4	40			100	2 x	
20C1	40			100	1 x	
20L2	40			100	2 x	
20L10	50			165	8 x	

16R4	35/25	25/15	15/12	180	4 x	
16R6	35/25	25/15	15/12	180	6 x	
16R8	35/25	25/15	15/12	180	8 x	
20X4	50/30			180	6 x	
20X8	50/30			180	6 x	
20X10	50/30			180	6 x	

Табл. 3.1. представя произведяните от National Semiconductor PAL схеми. За пълнота, са дадени освен комбинационните, така също регистровите и смесените PAL.

3.3. Съставяне на логическите уравнения.

Съставянето на логическите уравнения за вече съществуваща комбинационна схема е недрусмислено. Също така, съставянето на логическите уравнения за ново проектирана комбинационна логика е твърде просто. Процедурите по написването са следните:

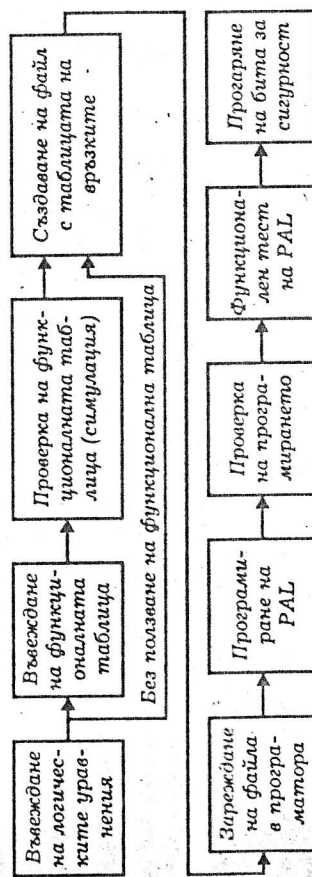
- определяне на входовете и изходите;
- съставяне на таблицата на истинност;
- написване на логическите уравнения за всеки изход;
- използване на инструмента на булевата алгебра за минимизиране на уравненията и привеждането им във вид удобен за PAL.

3.4. Програмиране на PAL.

Програмирането на PAL се извършва с помощта на специални програматори, притежаващи необходимото програмно осигуряване. Програматорите биват автономни и комплексни (работещи съвместно с компютър — например от типа IBM PC). Повечето автономни програматори също имат възможност за приемане на генерирана от стандартни развойни програми файл с функционална таблица на PAL.

Програмирането се извършва на базата на въведените логически уравнения или на базата на функционалната таблица.

След програмирането следва проверка на връзките, което е във възможностите на всички програматори. Алгоритъмът на програмирането е показан на фиг. 3.3.



Фиг. 3.3. Последователност при програмирането на PAL.

3.5. Тестване на логиката.

Проверката на програмирането може да покаже дали правилно са програмирани връзките вътре в полето на логическото умножение на PAL, но не може да покаже дали схемата функционира правилно. Затова се прави допълнително функционално тестване на PAL. То се

извършва чрез използването на т. нар. функционална таблица. Тя е съвкупност от избрани тест-вектори. Тест-векторите представляват извадки или комбинации на извадки от таблицата на истинност на проектираната логика.

Най-лесно функционалната таблица се генерира от таблицата на истинност без да се използват логическите уравнения. Цялата таблица на истинност може да се използва като функционална таблица. При наличното обаче на много променливи, това не е удобно. Например при n променливи броят на редовете във функционалната таблица ще бъде 2^n . Функционалната таблица се използва за да се определи дали схемата функционира както се очаква. Ако това не е така, трябва да се извърши проверка на правилността на логическите уравнения. Когато не се разполага с таблица на истинност, тест-векторите и функционалната таблица се генерират от логическите уравнения.

Ръчното съставяне на функционалната таблица и на тест-векторите е много отговорна работа. Всяка грешка довежда до неправилна работа на схемата като цяло или, което е много по-неприятно, до частична неработоспособност, понякога откривана много късно. Затова е препоръчително използването на специализирани програмни продукти за проектиране на схеми с PAL.

При описването на тест-векторите и функционалната таблица се използват следните символи:

- H - Логическа 1
- L - Логическа 0
- X - Безразлично състояние
- Z - Високоимпедансно състояние
- C - Такт
- ? - Неопределено състояние

Нека имаме примерното логическото уравнение за функцията $O_5 = \bar{I}_3 I_5 I_6 + I_7 + I_8 I_9$, където I_i са входните величини. То може да бъде записано във вида $\bar{O}_5 = P_1 + P_2 + P_3$, където $P_1 = \bar{I}_3 I_5 I_6$, $P_2 = I_7$ и $P_3 = I_8 I_9$ са минтермите на входните величини.

Нека сега създадем тест вектора V_1 , който поставя минтерма P_1 в 1, а минтермите P_2 и P_3 — в 0. Тогава изходът $\bar{O}_5$ ще бъде в 1. Ако съществува грешка в PAL схемата при формирането на минтерма P_1 , оставяйки го в 0, то изходът $\bar{O}_5$ също ще остане в 0. Такава грешка е прието да се нарича "stuck at 0" — закрепване към 0 (SA0 грешка). Така тест вектора V_1 ще може да детектира SA0 грешки в минтерма P_1 , т.е. казва се че V_1 покрива SA0 грешки в P_1 .

За да бъде P_1 в 1 е необходимо всички негови входни величини да са 1 ($\bar{I}_3 = I_5 = I_6 = 1$). Същевременно е необходимо другите два минтерма в уравнението да са 0. За да бъде $P_2 = 0$ трябва $I_7 = 0$. За да бъде $P_3 = 0$ е необходимо или $I_8 = 0$ или $I_9 = 0$. Затова векторът:

	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	O1	O2	O3	O4	O5	O6
V1	X	X	L	X	H	H	L	L	X	X	X	X	X	X	H	X

се казва че покрива P1 за SA0 грешки.

Подобно, съществува друг вектор V2, който поставя P1 в 0 (само една от входните величини на P1 е 0) и в случай че P2 и P3 са 0 изходът O₅ също ще е 0. Сега ако съществува грешка в PAL схемата при формирането на минтерма P1, оставяйки го в 1, то изходът O₅ също ще остане в 1. Такава грешка е прието да се нарича "stuck at 1" — закрепване към 1" (SA1 грешка). Така тест вектора V2 ще може да детектира SA1 грешки в минтерма P1, т.е. казва се че V2 покрива SA1 грешки в P1. Такъв е следващият вектор:

	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	O1	O2	O3	O4	O5	O6
V2	X	X	L	X	H	H	L	L	X	X	X	X	X	X	L	X

Следващите вектори също ще покриват SA1 грешки в P1:

	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	O1	O2	O3	O4	O5	O6
V3	X	X	L	X	H	L	X	X	X	X	X	X	X	X	L	X
V4	X	X	L	X	L	H	X	X	X	X	X	X	X	X	L	X

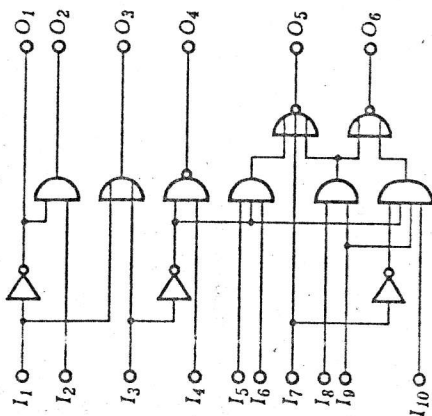
За откриване на SA1 грешки за изхода O₅ трябва да се състави тест вектор, който по възможност да съдържа 0 за всички входни величини във всички минтерми. Тогава, ако съществува грешка в ИЛИ ИЛИ вентилите на PAL, която държи даден минтерм в 1, изходът ще остане 1. Следващият вектор покрива уравнението O₅ за SA1 грешки.

	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	O1	O2	O3	O4	O5	O6
V5	X	X	H	X	L	L	L	L	L	H	X	X	X	X	L	X

Една добра функционална таблица трябва да покрива всички минтерми за SA0 и SA1 грешки.

3.6. Заместване на съществуваща комбинационна логика с PAL.

Нека е поставена задачата да се замести показаната на фиг. 3.4 логика с PAL. Първият етап е да се осмисли функционирането на логиката и да се определи нейния вид. Вижда се, че тя е предназначена да трансформира определени входни сигнали и да генерира някакви изходни такива. В нея не съществуват регистри и тригери. Тъй като схемата е чисто комбинационна, ще бъде избран комбинационен PAL за заместването ѝ (измежду PAL10H3, PAL10L3, PAL12H6 и т.н.).



Фиг. 3.4. Комбинационна логическа схема.

ето подсказва, че логиката по-лесно ще се реализира, ако се използва PAL с активно ниско ниво на изхода. Така изборът е стеснен измежду PAL 10L8 и PAL 12L6. Прегледът на вътрешната структура на PAL 10L8 показва, че неговите клетки могат да реализират събиране на две величини (ИЛИ-НЕ вентилите са двувходови), докато логиката от примера изисква събиране и на три величини (за O₅). PAL 12L6 притежава два 4-входови вентила ИЛИ-НЕ, които могат да поемат събиране на три величини. От всички тези съображения следва, че най-подходящия избор за случая е PAL 12L6.

Третият етап е да се напишат логическите уравнения за първостепенната логика. Тъй като беше избран PAL 12L6 (с активни ниски нива на изходите), уравненията трябва да се трансформират за формиране на инверсните стойности на изходните величини. За целта се използват теоремите на ДеМорган (уравненията влясно).

$$\begin{aligned} O_1 &= \neg I_1 \\ O_2 &= \neg I_1 * I_2 \\ O_3 &= \neg I_1 + I_3 \\ O_4 &= \neg I_3 * I_4 \\ O_5 &= \neg I_3 * I_5 * I_6 + I_7 + I_8 * I_9 \\ O_6 &= \neg I_8 * I_9 + I_3 * I_7 * I_9 * I_{10} \end{aligned}$$

В получените уравнения само изход O₅ притежава три събираеми и той трябва да бъде присвоен на изход 13 или 18 на PAL 12L6, за да използва една от двете вътрешни четиривходови вентила за логически сумиране. Останалите изходи няма значение къде ще бъдат

присвоени. Входовете $I_1 \div I_{10}$ могат да бъдат присвоени последователно на изводи от 1 до 11 на PAL 12L6 (извод 10 е маса).

Важен момент е генерирането на функционалната тестова таблица, което се извършва чрез следните стъпки:

Стъпка 1: Разчертава се бланка за кодиране на тест вектори и се попълват входните и изходните имена на величините.

Стъпка 2: Тестване на минтерма I_1 за $/O_1$.

SA0 тест: ако I_1 е Н, O_1/O_1 трябва да е Н — тест-вектор V1.

SAI тест: ако I_1 и L_1/O_1 трябва да е $L-V2$.

Стъпка 3: Тестване на минтерма I_1 за $/O_2$

SAO тест: ако I_1 е H, O_2 трябва да е H — V3.

SAI тест: ако I_1 е L и I_2 е L, O_2 трябва да е L — V4.

Стъпка 4: Тестване на минтерма I_2 за O_2 .

SA0 тест: ако I_2 и H_2/O_2 трябва да е H — V5.

SA1 тест: ако I_2 е L и I_1 е L , O_2 трябва да е L — V6.

Стъпка 5: За другите уравнения се съставят SA0 тестовите за минтермите и SA1 тестовите за минтермите и изходните функции. Безразличното значение на някоя величина се оставя празно (без X). Получава се табл. 3.2.

Стъпка 6: Минимизират се тест-векторите:

1) V6 отпада, тъй като е еднакъв с V4.

2) Тъй като съществува V16, отпада V20.

3) Заради V28 отпада V26, заради V17 и V31 — V22 и V27.

4) $V1$ и $V2$ се комбинират с $V3$ и $V4$.

5) Разместват се местата на $V7$ и $V8$ и отново се комбинират с $V1$ и $V2$. Новополучените вектори са в табл. 3.3.

б) Продължава процесът на минимизиране (основно на базата на опита и интуицията на проектанта) и се получава крайната таблица с тест-векторите — табл. 3.4.

7) Празните позиции се погълват с безразличното X, изходните величини се заменят с правата им форма и се получава окончателната функционалната таблица — табл. 3.5.

Табл. 3.2. SA0 и SA1 тест-вектори за минтермите и изходните функции.

V	Врожденные										Изгожди						
	11	12	13	14	15	16	17	18	19	110	01	02	03	04	05	06	
1	H										H						
2	L										L						
3	H	H										H					
4	L	H										L					
5	L	L										H					
6	L	H										L					

32

[illegible]

Табл. 3.3. Междино трансформирање на тест-векторите V1 и V2.

V	Врожденные									Изго́дн						
	11	12	13	14	15	16	17	18	19	110	/01	/02	/03	/04	/05	/06
1	H	H	L								H	H	L			
2	L	H	L								L	L	H			

Табл. 3.4. Окончательно сформирани тест-вектори.

V	Вродове											Изроди			
	11	12	13	14	15	16	17	18	19	110	/O1	/O2	/O3	/O5	/O6
1	H	H	L	H	H	H	L	L	H	H	H	H	L	H	H
2	L	H	L	L	L	H	L	L	H	L	L	L	H	L	L
5	L	L	L		H	L	L	L				H		L	
9 ⁺	L	L	H	H	H	H	L	L	H	H			L	L	L
10	H		H	L		H	H	L	L	L			L	L	L
21			H				L	H	H				L	H	L
23			H				L	H	L					L	
24			H		L		L	L	L					L	
30			L			L	H	L	H	H					L
31			L				L	H	L	H					L

Табл. 3.5. Функционална таблица.

V	Входове										Изходи					
	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	O1	O2	O3	O4	O5	O6
1	H	H	L	L	H	H	L	L	H	H	L	L	H	L	L	L
2	L	H	L	L	L	H	L	L	H	L	H	H	L	H	H	H
3	L	L	L	L	H	L	L	L	X	X	X	L	X	X	H	X
4	L	X	H	H	H	H	L	L	L	H	H	X	H	H	H	H
5	H	X	H	H	L	X	H	L	L	L	X	X	H	H	L	H
6	X	X	H	H	X	X	X	L	H	H	X	X	X	X	L	L
7	X	X	H	H	X	X	X	L	H	H	X	X	X	X	H	X
8	X	X	H	H	X	L	L	L	L	X	X	X	X	X	H	X
9	X	X	L	X	X	X	H	L	L	H	X	X	X	X	X	H
10	X	X	L	X	X	X	L	H	L	H	X	X	X	X	X	H

Четвъртият етап е програмирането на PAL схемата. Логическите уравнения трябва да се въведат в компютър или PAL програматор. За примера е показан начинът на въвеждането на логическите уравнения чрез използването на специализирания програмен продукт за проектиране на PAL схеми — PALASM.

1 PAL12L6
2 PAT201
3 PAL DESIGN EXAMPLE
4 I1 I2 I3 I4 I5 I6 I7 I8 I9 GND I10 NC O5
5 O6 O4 O3 O2 O1 NC VCC
6 /O1 = I1
7 /O2 = I1 + /I2
8 /O3 = /I1 * /I3
9 /O4 = /I3 * I4
10 /O5 = /I3 * I5 * I6 + I7 + I8 * I9
11 /O6 = I8 * I9 + /I3 * /I7 * I9 * I10

FUNCTION TABLE

	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	O1	O2	O3	O4	O5	O6
1	H	H	H	H	L	L	H	L	H	L	L	L	L	L	L	L
2	L	L	L	L	L	L	H	L	H	L	H	L	H	H	H	H
3	L	L	L	L	L	L	X	X	X	L	X	X	H	H	X	X
4	L	X	H	H	L	L	L	L	X	X	H	H	H	H	H	H
5	H	X	H	H	L	L	L	L	X	X	H	H	L	H	L	H
6	X	X	H	H	X	X	L	H	L	H	X	X	X	X	L	L
7	X	X	H	H	X	X	X	L	H	H	X	X	X	X	H	X
8	X	X	H	H	X	L	L	L	L	X	X	X	X	X	H	X
9	X	X	L	X	X	X	H	L	L	H	X	X	X	X	X	H
10	X	X	L	X	X	X	L	H	L	H	X	X	X	X	X	H

DESCRIPTION

THIS PROGRAM DESCRIBES THE USE OF PALASM AS A DESIGN AID.

- Ред 1: Специфицира се видът на PAL схемата — PAL 12L6.
Ред 2: Въвежда се уникалният знаков номер на PAL — PAL 12L6
Ред 3: Коментар с описание или предназначение на схемата.

Ред 4: Прави се описание на изводите на PAL. На всички изводи на PAL се присвояват символични означения, обикновено съответстващи на означенията в логическите уравнения (масата и захранването също трябва да бъдат означени). Означаването върви прогресивно от извод 1 до последния извод.

Ред 6: Описват се логическите уравнения на изходните функции, като задължително се използват същите означения, които са зададени на изводите по-горе. Изходните величини трябва да са с активно ниво, съответстващо на избора на PAL.

Ред 12: Въвежда се функционалната таблица, като в ред 13 се записват последователно входните и изходните величини, а от ред 15 се записва самата функционална таблица. Използуваните в PALASM символи са следните:

= РАВЕНСТВО
:= ЗАМЕСТВАНЕ, ПРОМЕНА ПРИ ТАКТОВ СИГНАЛ
/ ИНВЕРТИРАНЕ
* И, ЛОГИЧЕСКО УМНОЖЕНИЕ
+ ИЛИ, ЛОГИЧЕСКО СУМИРАНЕ
::: ИЗКЛЮЧАВАЩО ИЛИ, СУМА ПО МОДУЛ 2
::: ИЗКЛЮЧАВАЩО ИЛИ-НЕ
() УСЛОВИЕ ЗА ВИСОКОИМПЕДАНСНО СЪСТОЯНИЕ

От въведеното описание и уравнения, програмният продукт генерира таблица на връзките, която за примера е показана на фиг. 3.6 и файл с таблицата на връзките. Файлът се зарежда в програматора, програмира се PAL схемата и се извършва проверка на програмните връзки. Програмираният PAL е показан на фиг. 3.5.

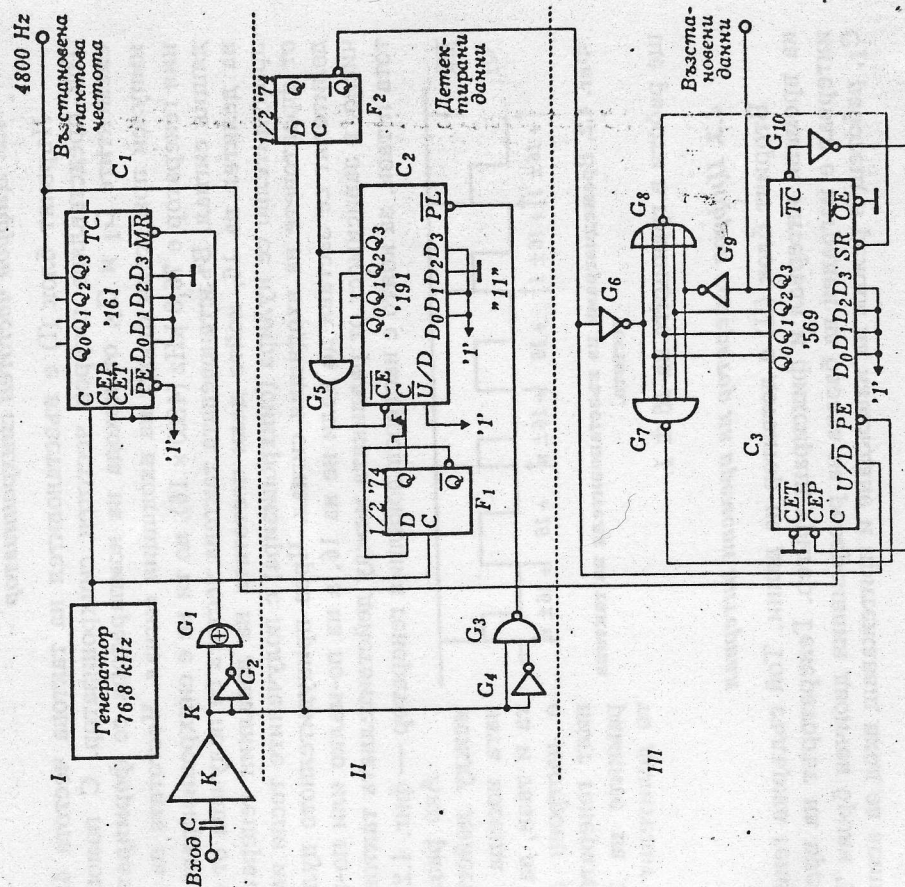
Табл. 3.6. Таблица на връзките

8	--X-	----	--	--	----	----	----	----	----	----	----	----	----	----	----	----
9	XXXX	XXXX	XX	XX	XX	XX	XX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX
10	XXXX	XXXX	XX	XX	XX	XX	XX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX
11	XXXX	XXXX	XX	XX	XX	XX	XX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX
16	--X-	----	--	--	--	--	--	----	----	----	----	----	----	----	----	----
17	--X-	----	--	--	--	--	--	----	----	----	----	----	----	----	----	----
24	----	--X-	--	--	--	--	--	----	----	----	----	----	----	----	----	----
25	XXXX	XXXX	XX	XX	XX	XX	XX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX
32	----	--X-	--	--	--	--	--	----	----	----	----	----	----	----	----	----
33	XXXX	XXXX	XX	XX	XX	XX	XX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX
40	----	----	--	--	--	--	--	----	----	----	----	----	----	----	----	----
41	----	--X-	--	--	--	--	--	----	----	----	----	----	----	----	----	----
48	----	--X-	--	--	--	--	--	----	----	----	----	----	----	----	----	----
49	--X-	----	--	--	--	--	--	----	----	----	----	----	----	----	----	----
50	----	--X-	--	--	--	--	--	----	----	----	----	----	----	----	----	----
51	XXXX	XXXX	XX	XX	XX	XX	XX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX	XXXX

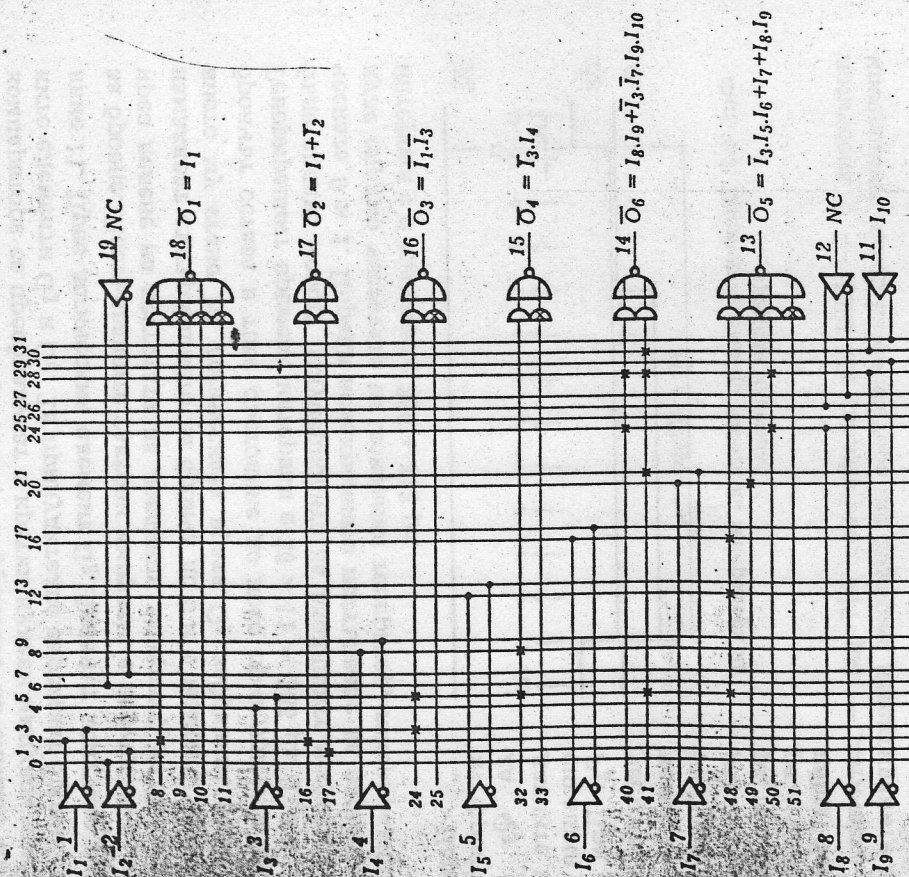
ПОСЛЕДОВАТЕЛНОСТНИ ЛОГИЧЕСКИ СХЕМИ

4.1. Приложение

Последователностните схеми съдържат в себе си елементи на памет. Това са тригери, броячи, паралелни и преместващи регистри и т.н. Примерно приложение на последователностни схеми е показано на фиг. 4.1. със схема на цифров възстановител (детектор) на данни и тактова честота от честотно кодиран сигнал.



Фиг. 4.1. Цифров възстановител на данни и тактова честота.



Фиг. 3.5. Схема на програмирования PAL 12L6.

Петият етап е тестването на програмирования PAL. Тестването се извършва на самия програматор. Първо се тества програмираната таблица на връзките, според зададените логически уравнения. На второ място се извършва функционален тест, според зададената в програматора функционална таблица.

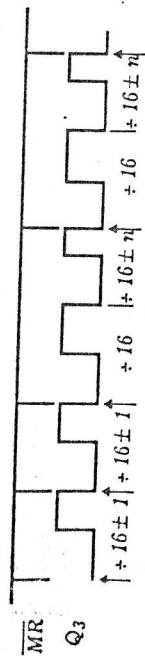
Ако тестването премине успешно може да се извърши програмиране на специалния бит за сигурност, който предотвратява по-нататъчно прочитане на програмираната вече таблица на връзките.

Чрез нея са илюстрирани три характерни приложения на последователностни схеми, съвместно с комбинационна логика. Показният възстановител се използва за детектиране на честотно кодирани данни от сигнал, в който логическата 0 е представена с четири периода на сигнал с честота 1200 Hz, а логическата 1 — с осем периода на сигнал с честота 2400 Hz. Този начин на представяне на информация се използва при записване на цифрова информация върху магнитна лента, предназначена за звукозапис. Детекторът възстановява и сигнал за синхронизиране на приемното устройство с честота 4800 Hz.

Постъпващият аналогов сигнал се преобразува в напрежение с логически нива посредством компаратор, след което се подава в цифров възстановител. Последният се състои от три ясно различими блока, всеки от които изпълнява отделна задача.

4.2. Цифров честотен синхронизатор

Първият блок (I) е възстановител на тактова честота 4800 Hz. Той представлява цифров честотен синхронизатор. С помощта на елементите G_1 и G_2 , от изхода на компаратора се формират тесни импулси при всеки фронт на входящия сигнал. Честотата на локалния генератор е 76,8 kHz (4800 × 16), но тя не е синхронизирана с входящия сигнал. Възстановената тактова честота се получава от изхода на делител на 16, който дели честотата на локалния генератор, но принудително се нулира (синхронизира) с получените тесни импулси от фронтите на входящия сигнал. Чрез принудителното нулиране, делителят се заставя да дели не на 16, а на по-малко или по-голямо число, в зависимост от разликата между действителната тактова честота и тази, за която е настроен локалния генератор — фиг. 4.2.



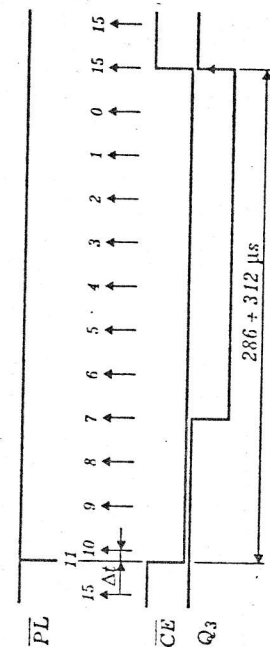
Фиг. 4.2. Времедиаграми на възстановителя на тактова честота.

ще работи в границите на 16 ± 1 .

4.3. Цифров генератор на времеви интервал

Вторият блок (II) е детектор на данни. Той съдържа генератор на времеви интервал и фиксиращ тригер. Генераторът на времеви интервал е изграден на базата на реверсивния двоичен брояч '191 — C_1 , работещ в режим на изваждане и притежаващ вход за асинхрон-

но паралелно зареждане. Времедиаграмите на неговата работа са показани на фиг. 4.3. Нарастващите фронтове на сигнала в изхода на компаратора се преобразуват в кратки нулеви импулси чрез логическите елементи G_3 и G_4 . Те принудително зареждат брояча със състояние 11. През логическия елемент G_5 , броят получава разрешение за броење. Постъпващите тактови импулси (с период 26 μs, формиран чрез делене на честотата на локалния генератор на 2 с тригера F_1) намаляват съдържанието на брояча до 0 и в момента, когато състоянието му стане 15, логическата врата G_5 забранява работата му и броят остава в това състояние до ново принудително зареждане. Генериранят времеви интервал е $26 \times 11 = 286 \mu s$. Той е избран да бъде средно между полупериодите на входящите честоти на логическата 0 и 1. Поради асинхронното постъпване на зареждащия импулс спрямо честотата на локалния генератор, генерирания времеви интервал е в границите $286 \div 312 \mu s$.



Фиг. 4.3. Времедиаграми на работа на генератора на времеви интервал.

логическа 0 — 1200 Hz (полупериод 417 μs) — логическа 1. Така инверсният изход на фиксатора ще съдържа детектираните данни.

4.4. Цифров интегратор-компаратор

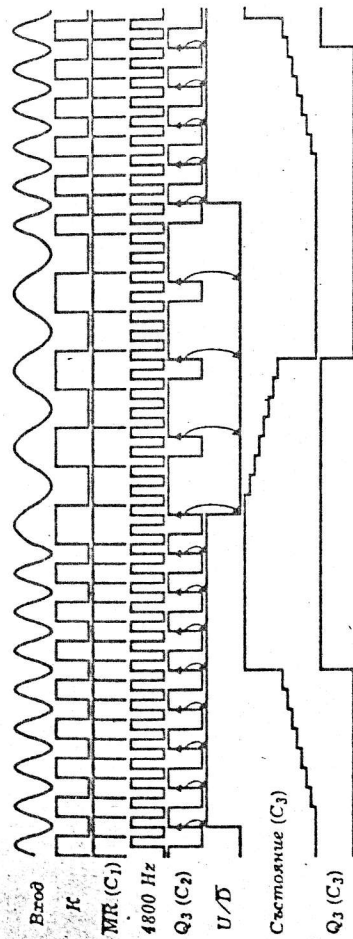
Третият блок (III) представява интегратор-компаратор. Той служи за възстановяване на данните и осигурява шумоустойчивостта на приемането им. Изграден е на базата на реверсивен брояч '569, имащ един тактов вход и управление на посоката на броење. Детектираните данни непосредствено управляват посоката на броење на брояча. По време на детектирана логическа 1 тактовите импулси се сумират в брояча, а по време на детектирана логическа 0 — се изваждат.

При сумирането на импулси, след състояние 7 (0111) броят се установява в състояние 1111. Това се извършва, като състояние 0111 на брояча се детектира от логическия елемент G_7 и се подава

на входа за синхронно зареждане $\overline{PE}$ на брояча (на входовете за паралелно зареждане на брояча има подадено 1111). Така осмият импулс принудително ще го зареди с 1111. Всички следващи за сумиране импулси няма да се възприемат, тъй като преносът TC през G_{10} забранява броенето в режим на сумиране и броячът се задържа в това му състояние, до смяна на режима на броенето.

При изваждането на импулси, след състояние 8 (1000) броячът се нулира. Това се извършва, като състояние 1000 на брояча се детектира от логическия елемент G_8 и се подава на входа за синхронно нулиране $\overline{SR}$ на брояча. Всички следващи за изваждане импулси няма да се възприемат, тъй като сега преносът TC през G_{10} забранява броенето в режим на изваждане и броячът се задържа нулиран, до смяна на режима на броенето.

Изходът Q_3 на брояча съдържа възстановените данни. Тази схема има предимството, че случайни грешки в детектирането не се отразяват на прочитаните данни. За да се детектира логическа 0, е необходимо да постъпят най-малко два периода от сигнала с честота 1200 Hz, а за логическа 1 — най-малко четири периода от сигнала с честота 2400 Hz.



Фиг. 4.3. Времедиаграми на работа на цифровия възстановител на данни и тактова честота.

Времедиаграмите на сигналите в по-важни точки от възстановителя на данни и тактова честота, при детектиране на редуващи се 0 и 1, са дадени на фиг. 4.3. Показано е и графично състоянието на брояча C_3 , изясняващо работата на интегратора-компаратор.

4.5. Използване на последователностни PAL схеми

Последователността при работа с последователностни PAL схе-

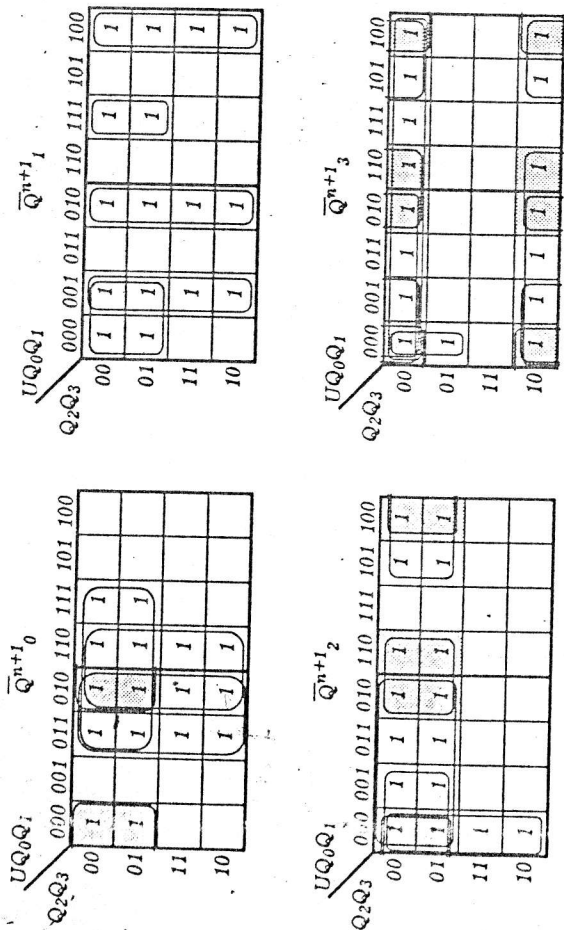
ми е същата, както и с комбинационните PAL, развита в упражнението No 2. Затова тук ще бъдат показани само някои детайли и алтернативни подходи при работата с PAL схеми. Като пример за приложението на последователностни PAL е избрана реализацията на цифровия интегратор-компаратор от цифровия възстановител на данни и тактова честота, показан на фиг. 4.1. Неговата таблица на истинност е показана в табл. 4.1.

Табл.4.1. Таблица на преходите на цифровия интегратор-компаратор.

No	CLK	U	Q ₀	Q ₁	Q ₂	Q ₃	Q ⁿ⁺¹ ₀	Q ⁿ⁺¹ ₁	Q ⁿ⁺¹ ₂	Q ⁿ⁺¹ ₃
1	↑	1	0	0	0	0	1	0	0	0
2	↑	1	1	0	0	0	0	1	0	0
3	↑	1	0	1	0	0	1	1	0	0
4	↑	1	1	1	0	0	0	0	1	0
5	↑	1	0	0	1	0	1	0	1	0
6	↑	1	1	0	1	0	0	1	1	0
7	↑	1	0	1	1	0	1	1	1	0
8	↑	1	1	1	1	0	1	1	1	1
9	↑	1	0	0	0	1	1	0	0	1
10	↑	1	1	0	0	1	0	1	0	1
11	↑	1	0	1	0	1	1	1	0	1
12	↑	1	1	1	0	1	1	0	1	1
13	↑	1	0	0	1	1	1	0	1	1
14	↑	1	1	0	1	1	0	1	1	1
15	↑	1	0	1	1	1	1	1	1	1
16	↑	1	1	1	1	1	1	1	1	1
17	↑	0	0	0	0	0	0	0	0	0
18	↑	0	1	0	0	0	0	0	0	0
19	↑	0	0	1	0	0	1	0	0	0
20	↑	0	1	1	0	0	0	1	0	0
21	↑	0	0	0	1	0	1	1	0	0
22	↑	0	1	0	1	0	0	0	1	0
23	↑	0	0	1	1	0	1	0	1	0
24	↑	0	1	1	1	0	0	1	1	0
25	↑	0	0	0	0	1	0	0	0	0
26	↑	0	1	0	0	1	0	0	0	1
27	↑	0	0	1	0	1	1	0	0	1
28	↑	0	1	1	0	1	0	1	0	1
29	↑	0	0	0	1	1	1	1	0	1
30	↑	0	1	0	1	1	0	0	1	1
31	↑	0	0	1	1	1	1	0	1	1
32	↑	0	1	1	1	1	0	1	1	1

Логическите уравнения могат лесно да бъдат съставени на базата на таблицата на преходите с използване на технологията на работа с картите на Карно. На фиг. 4.5 са показани четирите карти

на Карно, съответно за четирите изходни величини. Таблиците са попълнени с 1 за инверсните стойности на изходните величини.



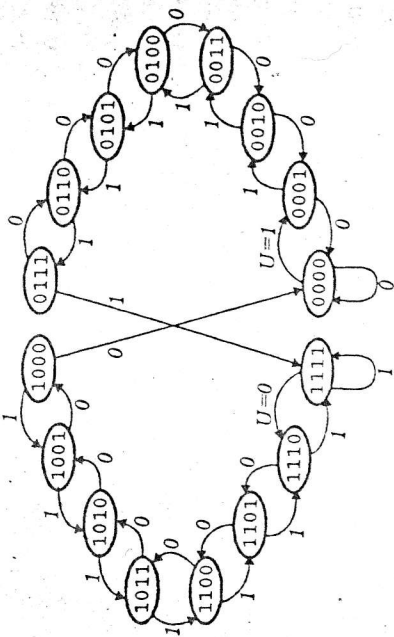
Фиг. 4.5. Карти на Карно за инверсните стойности на изходните величини от таблицата на истинност на работата на цифровия интегратор-компаратор.

При работа с пет входни величини картите на Карно се получават значително по-сложни за обработка, отколкото при по-малко на брой входни величини. Както е подчертано на фигурата, всяка от картите се състои от две долепени една до друга карти. Обединението на величините в картата се извършва както за картата като цяло, така и за двете и половини поотделно или заедно. По-особените случаи на обединение в показаните карти на Карно са подчертани със затъмнени клетки. Получените изходни уравнения за инверсните стойности на входните величини имат следния вид:

$$\begin{aligned} \bar{Q}^{n+1}_0 &= Q_0 \bar{Q}_1 + \bar{U} Q_0 + Q_0 \bar{Q}_2 + \bar{U} \bar{Q}_1 \bar{Q}_2 \\ \bar{Q}^{n+1}_1 &= \bar{U} Q_0 Q_1 + \bar{U} Q_0 \bar{Q}_1 + \bar{U} Q_0 Q_1 \bar{Q}_2 + \bar{U} Q_0 \bar{Q}_0 \bar{Q}_2 \\ \bar{Q}^{n+1}_2 &= \bar{U} Q_2 + \bar{Q}_1 \bar{Q}_2 + \bar{Q}_0 \bar{Q}_2 + \bar{U} \bar{Q}_0 \bar{Q}_1 \\ \bar{Q}^{n+1}_3 &= \bar{Q}_2 Q_3 + \bar{U} Q_3 + \bar{Q}_0 \bar{Q}_3 + \bar{Q}_1 \bar{Q}_3 + \bar{U} \bar{Q}_0 \bar{Q}_1 \bar{Q}_2 \end{aligned}$$

Прегледът на уравненията дава възможност за програмиране на интегратора-компаратор да бъде избран PAL16R4. За да се състави функционалната таблица за изпитване на PAL при последователностни схеми е необходимо предварително да се състави и начертае диаграмата на преходите на последователността схема.

рамата на преходите на последователността схема. Това се извършва на базата на таблицата на истинност, или на базата на логическите уравнения. За конкретния пример, диаграмата на преходите на цифровия интегратор-компаратор е показана на фиг. 4.6.



Фиг. 4.6. Диаграма на преходите на цифровия интегратор-компаратор.

Както се вижда от диаграмата на преходите, от състояние 0000 до 0111, цифровият интегратор-компаратор се държи както обикновен реверсивен брояч — при $U = 1$ той увеличава състоянието си с 1, а при $U = 0$ — го намалява с 1. След състояние 0000 обаче, брояча задържа това си състояние и не "превърта" в 1111. Другата особеност е, че след състояние 0111, броячът прескача в състояние 1111.

Подобно е положението и за състояния от 1000 до 1111. Поведението тук на цифровия интегратор-компаратор е като на обикновен реверсивен брояч, с тази разлика, че след състояние 1000 (в режим на изваждане) той превключва скокообразно в състояние 0000, и в състояние 1111 (в режим на сумиране) запазва това си състояние.

При съставянето на функционалната изпитателна таблица за последователностни PAL схеми се спазват следните правила:

1. Първо се генерира тестови вектор, който инициализира изведената последователностна схема;
2. Съставя се последователност от тестови вектори, които в последователен ред покриват всички възможни пътища в диаграмата на преходите.

В конкретния пример няма възможност да се постави системата в определено състояние с един единствен тестови вектор. Но ако в режим на сумиране ($U = 1$) се подадат 8 тактови импулса, броячът от каквото и случайно състояние да тръгне ще се озове в състояние 1111. Това дава основание с осемте тестови вектора (ред 13 до 20 в

РАLÅSM програмата) цифровият интегратор-компаратор да се постави в начално състояние 1111.

Следващият вектор (ред 21) извършва проверка на задържането на схемата в състояние 1111 в режим на сумиране от състояние 1111. За проверка на състоянията от 1111 до 1000 в режим на изваждане използваме тестовите вектори от ред 21 до 28.

Тестовите вектори от ред 29 до 35 извършват обратна проверка на брояча в режим на сумиране от състоящие 1000 до 1111. Връзването на брояча в състояние 1000 може да стане с последователното нето на брояча в състояние 1000 може да стане с последователното

тестване на 7 тестови вектори (ред 36 до 42) в режим на изваждане.

Векторът от ред 43 проверява скокообразния преход на брояча от състояние 1000 в 0000.

Тестовите вектори от ред 44 до 50 извършват тестване на брояча в режим на сумиране от състояние 0000 до 0111, а тестовите вектори от ред 51 до 57 тестват преходите на брояча от състояние 0111 до 0000 в режим на изваждане. И накрая, тестовият вектор от ред 58 извършва проверка на задържането на цифровия интегратор-компаратор в състояние 0000 при $U = 0$.

1	PAL16R4	
2	PTAN302	
3	DIGITEL	INTEGRATOR
4	CLK NC NC U NC NC NC NC NC GND	
5	OE NC NC /Q3 /Q2 /Q1 /Q0 NC NC VCC	
6	/Q0 = Q0*/Q1+/U*Q0+Q0*/Q2+/U*/Q1*/Q2	
7	/Q1 =	
	/U*/Q0*Q1+/U*Q0*/Q1+U*/Q0*Q1*/Q2+/U*/Q0*/Q2	
8	/Q2 = /U*/Q2+/Q1*/Q2+/Q0*/Q2+/U*/Q0*/Q1	
9	/Q3 = /Q0*Q3+/U*/Q3+/Q0*/Q3+/Q1*/Q3+/U*/Q0*/Q1*/Q2	

FUNCTION TABLE

CLK U 00 01 02 03

[illegible]

С Н Х Х Х

2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000 1001 1002 1003 1004 1005 1006 1007 1008 1009 1010 1011 1012 1013 1014 1015 1016 1017 1018 1019 1020 1021 1022 1023 1024 1025 1026 1027 1028 1029 1030 1031 1032 1033 1034 1035 1036 1037 1038 1039 1040 104

CHXXX

C H X X X X

C H X X X X

C H X X X X

C H X X X X

С Н Н Н Н Н

С Н Н Н Н Н

С Г Л Н Н Н

С Г Н Г Н Н

С Г Л Г Н Н

С Г Н Н Г Н .

C L L H L H

С Г Н Г Н Г

C T L H

С Н Н Т Н :

С Н Т Н " "

С Н Н Н Г Н

[illegible]

DESCRIPTION

THIS PROGRAM DESCRIBES THE USE OF SEQUENTIAL PAL.

Таблица на връзките, генерирана от зададените логически уравнения за интегратора-компаратор е показана в табл. 4.2.

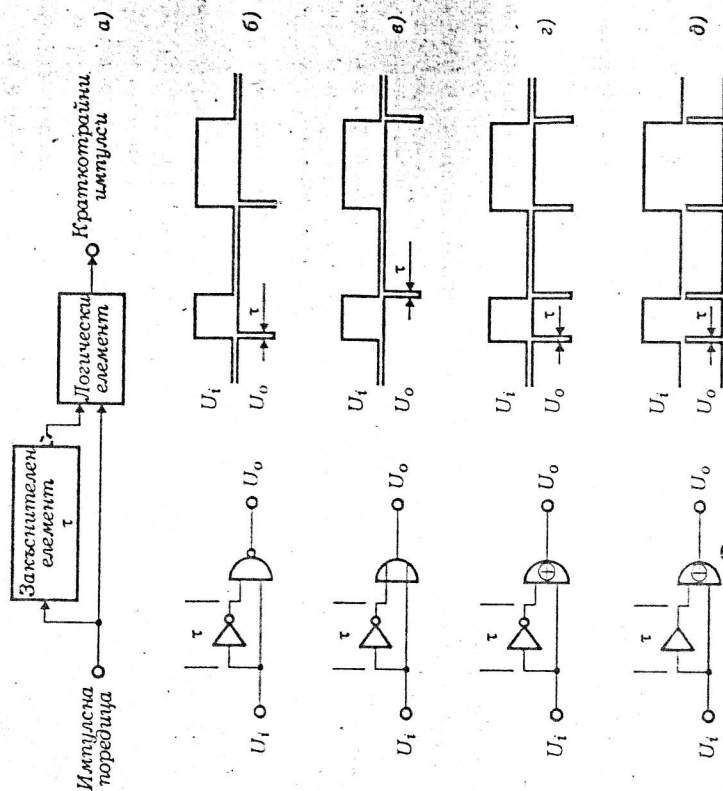
Табл. 4.2. Таблица на връзките на интегратора-компаратор.

16	--X--	--X--	--X--
17	-X-X-	-X-X-	-X-X-
18	--X--	--X--	--X--
19	-X-X-	-X-X-	-X-X-
24	-XX-	-XX-	-XX-
25	-X-X-	-X-X-	-X-X-
26	X-X-X-	X-X-X-	X-X-X-
27	X-X-X-	X-X-X-	X-X-X-
28	-XX-	-XX-	-XX-
32	-X-	-X-	-X-
33	--X--	--X--	--X--
34	-X-	-X-	-X-
35	-XX-	-XX-	-XX-
40	-X-	-X-	-X-
41	X-	X-	X-
42	-X-	-X-	-X-
43	--X--	--X--	--X--
44	-XX-	-XX-	-XX-

ПРИЛОЖЕНИЕ НА ФОРМИРОВАТЕЛНИ И РЕЛАКСАЦИОННИ СХЕМИ

5.1. Формиране на краткотрайни импулси

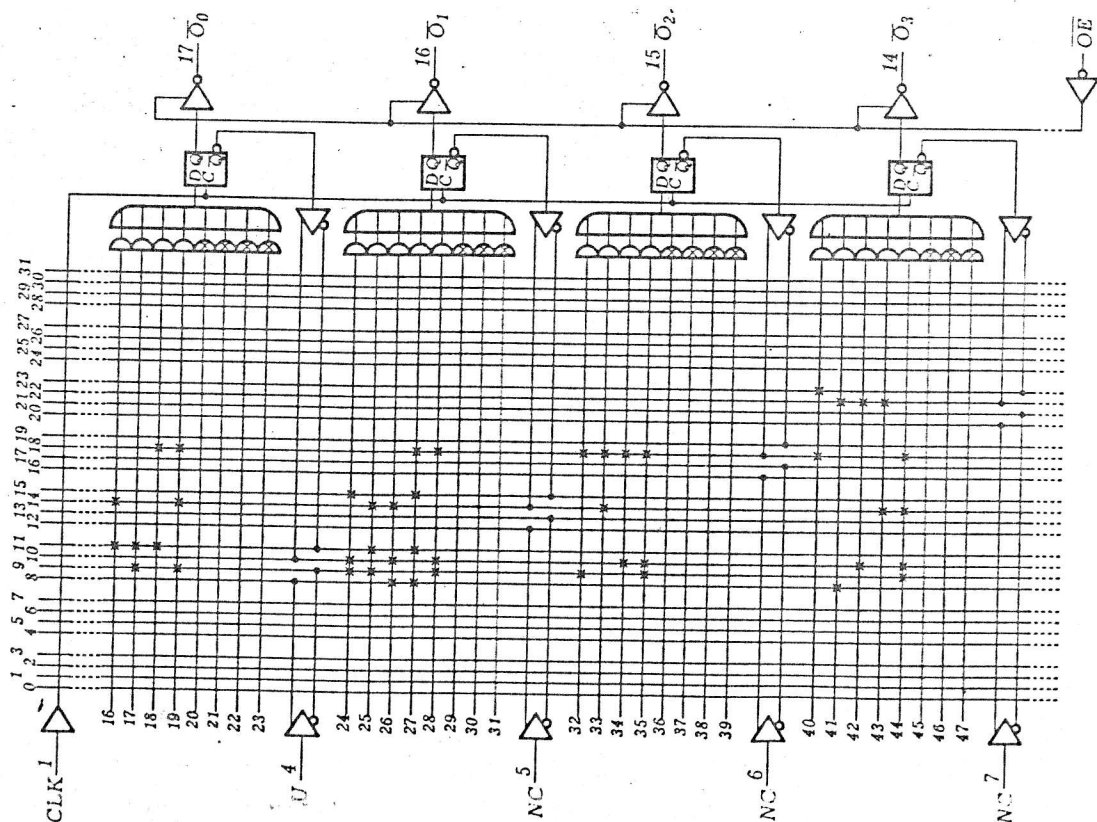
Често при разработката на цифрови схеми се налага формирането на краткотрайни импулси по нарастващия или спадащия фронт (а понякога и по двата фронта) на импулсна поредица. На фиг. 5.1. са показани различни формиращи елементи на краткотрайни импулси.



Фиг. 5.1. Формиращи елементи на краткотрайни импулси.

Общата структурна схема на такива формиращи елементи, показана на фиг. 5.7.а, включва двуходов вентил, в единия вход на който постъпва входната импулсна поредица, а в другия вход — същата импулсна поредица, но закъснела, с време τ (и евентуално инвертирана). Като закъснителен елемент може да се използва интегрираща

Схемата на програмираня PAL16R8 за реализираня цифров интегратор-компаратор е показана на фиг. 4.7. Показана е само регистровата част на програмираня PAL. В пълния си вид той съдържа още две комбинационни клетки.



Фиг. 4.7. Схема на програмираня PAL цифров интегратор-компаратор.

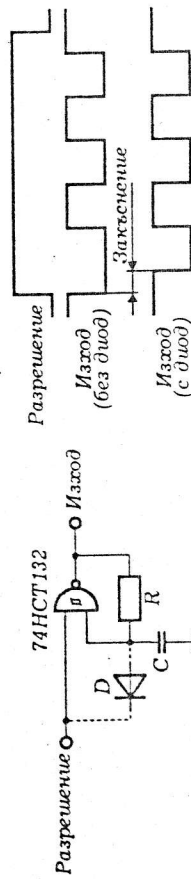
RS верига, закъснителна линия или, както най-често се прави от собственото закъснение на сигнала през логически елемент. Продължителността на краткотрайните импулси е приблизително равна на закъснението в използвания закъснителен елемент.

Фиг. 5.1.6 показва формиране на краткотрайни отрицателни импулси по нарастващ фронт на входния сигнал. Ако двуходовия вентил е И, кратките импулси ще бъдат положителни. Фиг. 5.1.7 показва формиране на краткотрайни отрицателни импулси по спадящ фронт на входния сигнал. Ако двуходовият вентил е ИЛИ-ИЗ, кратките импулси ще бъдат положителни.

Фиг. 5.1.г и д показват съответно формирането на кратки отрицателни и положителни импулси по двата фронта на входния сигнал. Когато на входовете на схемата ИЗКЛЮЧВАЩО ИЛИ има два различни сигнала (което винаги е осигурено за схемата от фиг. г), в изхода и ще има 1. Когато на входовете на схемата ИЗКЛЮЧВАЩО ИЛИ има еднакви сигнала (което винаги е осигурено за схемата от фиг. д), в изхода и ще има 0. Тези условия се нарушават за времето t след фронт на входния сигнал. За това кратко време изходът на схемата ИЗКЛЮЧВАЩО ИЛИ ще премине в другото състояние.

5.2. Диодна стабилизация на РС осцилатор

С помощта на логически елементи, имащи вхрани вв входи си тригер на Шмит лесно се изграждат осцилатори, както е показано на фиг. 5.2. В основния си вид обаче, те съдържат два недостатъка. Най-важният е, че първият генериран импулс, след като генераторът бъде разрешен, е с по-голяма продължителност от следващите. Това се дължи на началното напрежение върху кондензатора. Вторият недостатък е, че схемата може да бъде пусната от кратък импулс на разрешаващия вход.



Фиг. 5.2. Усъвършенстване на РС осцилатор.

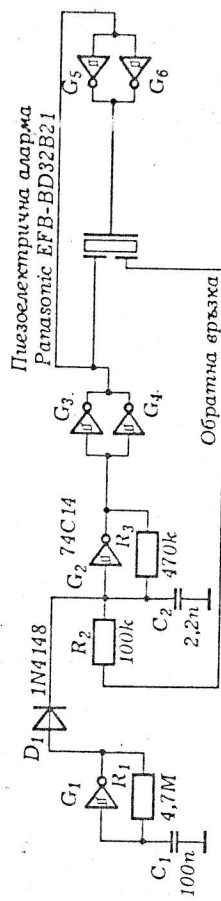
Добавяйки диод към схемата (спирването е показано с прекъснатата линия), могат да бъдат елиминирани и двата недостатъка. Диодът предпазва и от пускане на схемата от кратък разрешаващ импулс. Преди разрешаване на схемата, диодът държи кондензатора разреден до 0,7 V. След подаване на разрешение, кондензаторът трябва

48

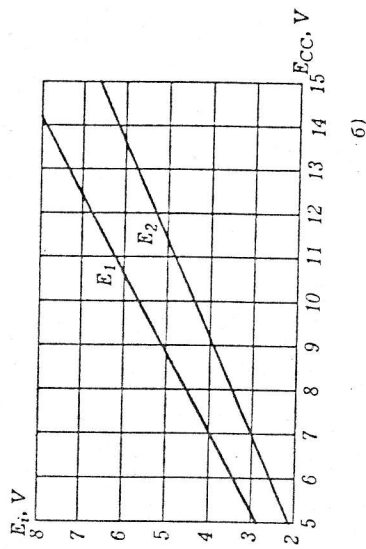
гва за се зарежда от изхода на схемата през резистора R_2 . За да започне първия импулс, напрежението върху кондензатора трябва да достигне прага на превключване E_I . Това зъкъснение на започването на първия импулс, определя минималната продължителност на разрешието. Входящ паразитен импулс, по-кратък от времето на закъснение не може да пусне схемата. Так добавянето на диод премахва втория недостатък на схемата.

5.3. Управление на пьезоэлектричен зумер със CMOS елементи

Едно приложение на RC -осцилатор, използващ логически елементи с вграден хистерезис на превключването е показано на фиг. 5.3. със схема за управление на пиезоелектричен зумер.



$$T = RC \ln \frac{E_1(E_{CC} - E_2)}{E_2(E_{CC} - E_1)}$$



Фиг. 5.3. Управление на пиезоелектричен зумер.

Схемата е изградена с една интегрална схема 74С14, който съдържа шест инвертора с въведен тригер на Шмит. Пиезоелектричният зумер има извод за обратна връзка, която е изведена от централната му област. По обратната връзка се получава сигнал, когато пиезоелектричният зумер се управлява с резонансна честота.

Два от инверторите G_1 и G_2 са свързани като астабилни мулти-

вибратори. Периодът на трептенията T за такъв вид мултивибратор зависи от RC веригата, от захранващото напрежение и от праговете на превключване на логическия елемент. От своя страна праговете на въведения тригер на Шмит зависят от захранващото напрежение — вж. фиг. 5.3.6. При 9 V захранващо напрежение те са съответно $E_1 = 5\text{ V}$ и $E_2 = 4\text{ V}$. Тогава $T = 0,45RC$.

Собствената честота на мултивибратора, изграден на базата на G_2 е избрана около 5 пъти по-ниска от резонансната честота на пиезоелектричния зумер, като тя служи за първоначално възбуждане на зумера. След възбуждането, обратната връзка от него форсира генератора да работи на резонансната честота на зумера $3,2\text{ kHz}$.

Останалите четири инвертора са свързани паралелно по двойки и формират два инвертора с усилен изход, които противофазно възбуждат пиезоелектричния зумер. При 9 V захранване това възбуждане формира 18 V импулси (от връх до връх) непосредствено върху плочите на зумера. По този начин управляван, пиезоелектричен зумер Panasonic EFB-BD32B21 е в състояние да възпроизведе звук от 110 dB при захранване на схемата от 9 V батерия.

Осцилаторът, изграден с G_1 , генерира с честота около 2 Hz . Той периодично забранява основния генератор през диода D_1 , при което зумера произвежда накъсан тон. За генерирането на непрекъснат тон, този генератор не е необходим.

5.4. CMOS таймер 4060

Таймерите са генератори на времеви интервали. Таймерът 4060 представлява комбинация от многоразреден двоичен асинхронен брояч и комбинационна логика. Последната служи за реализиране на генератор на импулси и за управление работата на брояча.

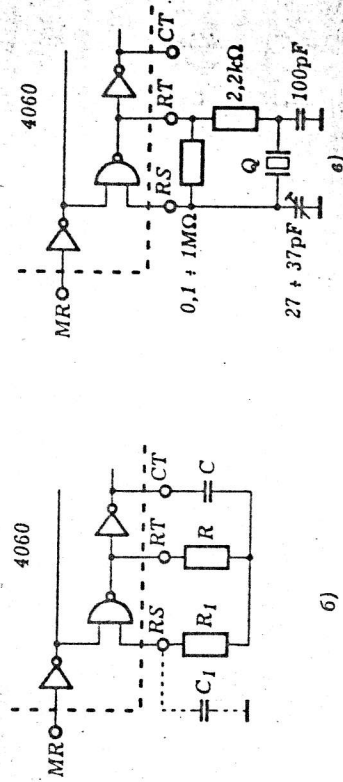
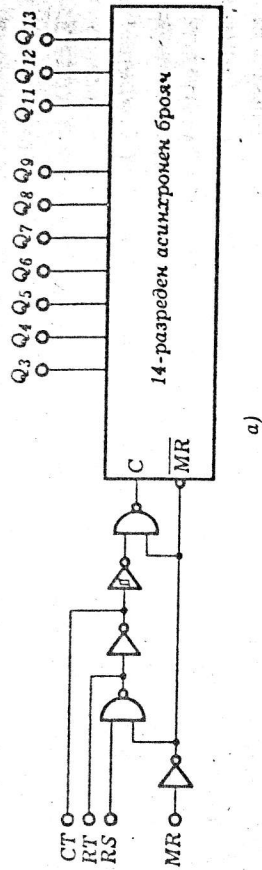
В таймера 4060 е използван 14-разреден двоичен брояч с последователна връзка между тригерите, като изходите от Q_0 до Q_2 и Q_{10} не са изведени. Структурата на комбинационната логика на 4060 е дадена на фиг. 5.4.а. Тя дава възможност да се синтезира лесно RC -или кварцово стабилизирани генератори.

Свързването на RC -веригата за генериране на импулси с комбинационната логика на 4060 е показано на фиг. 5.2.б. За честотата на генерираните импулси е в сила зависимостта:

$$f = \frac{1}{2,3RC}$$

Ограничителните условия за избор на елементите са: $C \geq 100\text{ pF}$; $10\text{ k}\Omega < R < 1\text{ M}\Omega$; $R_1 \gg R$ и $R_1C_1 \gg RC$, където C_1 е паразитния кондензатор на входа RS . Условията се изпълняват по-лесно, ако се работи с по-големи стойности на C и съответно по-ниски на R .

Схема на генератор с кварцова стабилизация е показана на фиг. 5.4.в. Тя използва паралелния резонанс на кварцовия резонатор.



Фиг. 5.4. CMOS броячен таймер 4060.

4060 може да работи и като брояч, с външно подадени импулси. За целта изходите RT и CT се оставят свободни, а импулсите се подават на входа RS , при което броячът се превключва по спадащият им фронт. В този режим $f_{max} = 8 \div 30\text{ MHz}$ при $E_{CC} = 5 \div 15\text{ V}$.

Нулиращият сигнал $MR = 1$ нулира брояча и блокира както генератора, така и подаването на импулси към брояча. Този режим се характеризира с намалена консумация.

Броячния таймер 4060 се произвежда и в HCMOS изпълнение, като 74HC4060. Произвежда се и 74HC4061, която схема има подобрените функционални възможности.

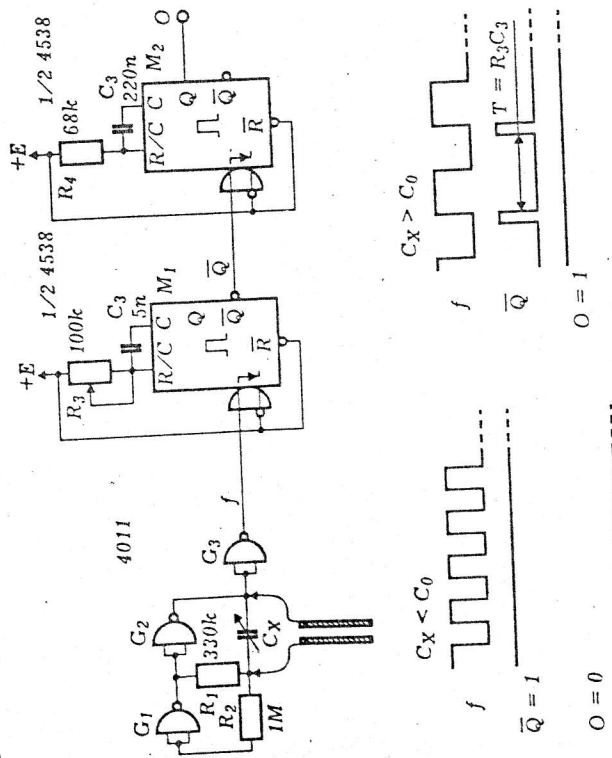
5.5. Детектор на ниво на течности

Показаната на фиг. 5.5. схема представлява кондензаторен детектор и измерител на ниво на течности. Изградена е на базата на ретригеруемия (с възможност за пускане по време на генерирания импулс) чакан мултивибратор 4538, и И-НЕ схемите 4011.

Измервателният кондензатор е изграден от два метални електро-

да, потопени в неметален съд с течност и се променя с промяна на нивото на течността. Двата електрода трябва да бъдат колкото се може по-големи плочи. Капацитетът C_X се определя от площта на електродите, от разстоянието между тях и от диелектричната проницаемост на веществото между тях. С промяна на нивото на течността се променя частта от междueleктродното пространство, засто от течност с по-голяма диелектричност на проницаемост, отколкото на въздуха, т.е. променя се C_X .

C_1 , C_2 , C_X , R_1 и R_2 формират прост RC осцилатор. Честотата на трептенията се определя от формулата $f = 1/(2,2R_1C_X)$, т.е. тя може да служи за определяне нивото на течността. Третият вентил G_3 буферира генератора и увеличава стабилността на генерациите.



Фиг. 5.5. Детектор на ниво на течност.

Интегралната схема 4538 представлява два чакани мултивибратора в един корпус. Продължителността на генерирания импулс се дава с формулата $t = kRC$, като стойността на константата зависи от хранящото напрежение E_{CC} и различните производители дават за нея различни данни. Най-често при $+E = 12V$, $k = 1$, т.е. $t = RC$.

Когато нивото на течността е по-ниско от зададено положение ($C_X < C_0$), честотата на осцилатора е достатъчно висока, поради което

чаканият мултивибратор M_1 се пуска по-често отколкото е продължителността на генерирания импулс (държи се в ретригуемо състояние). Тогава инверсията му изход е в 0. Ако нивото на течността се повиши над зададеното положение, увеличава се C_X ($C_X > C_0$), честотата на осцилатора намалява и M_1 излиза от ретригуирано състояние.

Потенциометърът R_3 , заедно с капацитета C_3 установяват (калибрират) нивото на течността, при което ретригуемостта няма да продължава повече. Затова, когато се появят положителни импулси в инверсията изход на M_1 е налице повишаване на нивото на течността от зададеното положение ($C_X = C_0$).

Получените импулси от изхода на M_1 пускат чакания мултивибратор M_2 , като неговата времезадаваща верига R_4 и C_2 е избрана така, че той да бъде в ретригуемо състояние. Така, в изхода на M_1 ще се появи ниво 0, когато нивото на течността е над зададеното положение.

Импулсите от изхода на генератора могат да служат за измерване на нивото на течността. Типични стойности от 50 до 100 pF за C_X ще произведат осцилираща честота от 10 до 30 kHz, в зависимост от промяната на капацитета.

5.6. Капацитивен преобразувател на напрежение със CMOS логически елементи.

Капацитивният преобразувател на напрежение (наречен още "зарядна помпа") позволява по импулсен път да се генерира хранящо напрежение, което първоначално не присъства в устройството.

Показаната на фиг. 5.6. схема на зарядна помпа е изградена на базата на CMOS логически елементи и позволява да се генерира отрицателно хранящо напрежение от положително такова. Диапазонът на входното положително напрежение е от 1,2 до 7,0 V. Генерираното отрицателно напрежение е равно по абсолютна стойност на входното положително, като загубата е около 1 mV.

Две интегрални схеми 74HC04, съдържащи по шест инвертора всяка, са използвани в схемата на зарядната помпа (вж. фиг. 5.6.а). Два инвертора от едната схема формират RC осцилатор. Честотата на трептенията се определя от формулата $f = 1/(1,4RC)$ и за показаните стойности тя е около 10 kHz. Останалите 4 инвертора от първата интегрална схема са свързани паралелно и образуват инвертор с мощен изход за положителната страна на зарядната помпа.

Всичките 6 инвертора от втората интегрална схема са свързани паралелно и формират инвертор с мощен изход в отрицателната страна на зарядната помпа. Обобщената схема на зарядната помпа е

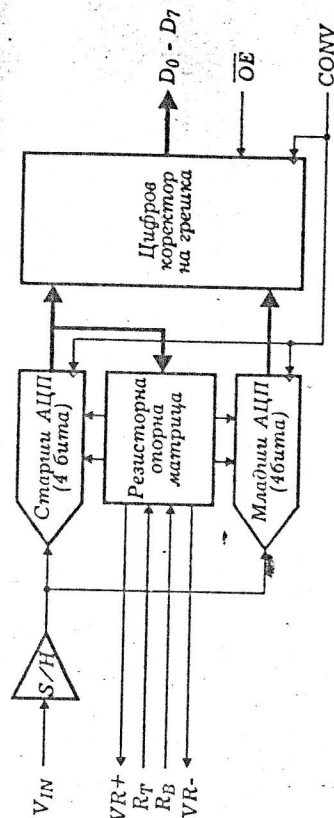
ПРИЛОЖЕНИЕ НА АНАЛОГОВО ЦИФРОВ ПРЕОБРАЗОВАТЕЛ

6.1. Бърз аналогово-цифров преобразувател TLC5510

TLC5510 на фирмата Texas Instruments (HI1175 на Harris) е бърз CMOS, 8-разреден аналогово-цифров преобразувател (ADC), използващ паралелно последователния метод на преобразуване (semiflash architecture). Честотата на преобразуване е до 20 MHz (20 Msps — Megasamples per second). TLC5510 използва единично 5 V захранване и консумира типично 100 mW. Той съдържа в себе си вътрешна схема за следене и запомняне на аналоговия сигнал, паралелни изходи за цифровия код с възможност за високоимпедансно състояние и вътрешни резистори за формиране на опорното напрежение. Всички цифрови изходи са TTL и CMOS съвместими.

Паралелно-последователния метод позволява да се намали консумираната от АЦП мощност. Чрез използването на преобразуване в две стъпки, броят на компараторите за паралелното преобразуване рязко намалява. Допълнителното използване на конвейърния принцип позволява да се запази висока честотата на преобразуване, при известно закъснение на получавания резултат — при TLC5510 то е 2,5 тактови периода.

Вградените опорни резистори формират стандартен 2 V диапазон на преобразуване (гълна скала), използвайки захранването на схемата. Обобщената блок схема на TLC5510 е дадена на фиг. 6.1.

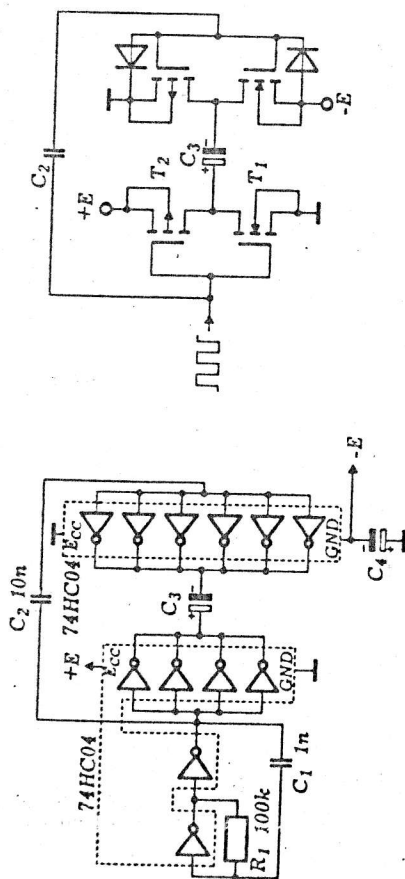


Фиг. 6.1. Блок схема на TLC 5510.

Входният аналогов сигнал се запомня в вътрешната схема за следене запомняне S/H (аналогова памет). Преобразуването

показана на фиг. 5.6.б.

Когато тактовият сигнал е с ниско ниво, транзисторите T_1 и T_2 са включени се извършва заряд на C_3 до напрежението $+E$. Когато тактовият сигнал е с високо ниво, са включени транзисторите T_3 и T_4 . Тези положителният извод на кондензатора C_3 се свързва към маса, а отрицателният му извод — към $-E$. Тактовият сигнал се подава към инвертора в отрицателната страна на зарядната помпа през разделителния кондензатор C_2 . Защитните диоди във входната верига на този инвертор играят важна роля, тъй като фиксират размаха на тактовия сигнал след C_3 , създавайки му необходимото постоянно-токово отместване.



а)

б)

Фиг. 5.6. Капацитивен преобразувател на напрежение — "зарядна помпа".

Изходното съпротивление на показания капацитивен преобразувател на напрежение е около 100Ω и максималната стойност на изходния ток I_O , който може да се черпи от него е около 10 mA. Собствената консумация на инвертора в отрицателната страна на зарядната помпа е 20 μA . При $C_3 = C_2 = C$, размахът на пулсациите в изходното напрежение е $I_O/2fC$.

се извършва на две стъпки. Първата стъпка е преобразуването на старшите 4 бита. Чрез него се определя и обхвата за преобразуването на младшите 4 бита. За да се избегне получаването на фалшиви кодове, младшото преобразуване се извършва в код на Грей и се трансформира в двоичен код преди да се обедини с резултата от старшото преобразуване. Високата честота на преобразуване се запазва благодарение на приложената конвейерна обработка (pipe-lined conversion). За целта във вътрешната структура на TLC5510 е включена втора схема S/H.

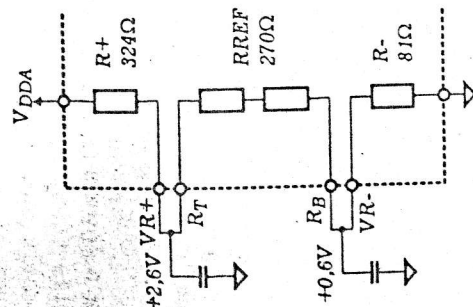
6.2. Аналогов вход и опорно напрежение.

TLC5510 преобразува входния сигнал в обхвата на напрежение-то, приложено между точки R_B и R_T . Входен сигнал извън този диапазон генерира код 00 или FF.

Диапазонът на преобразуването е гъвкав и лесно може да се получи от захранването на схемата 5 V. Номиналният входен диапазон е 2 V — от 0,6 V до 2,6 V. Два допълнителни резистора R_T и R_B , свързани съответно между $VR+$ и захранване и между $VR-$ и маса, формират вътрешно опорно напрежение — вж. фиг. 6.2.

При $V_{DDA} = 5$ V, свързвайки $VR+$ към R_T и замасявайки R_B ще се осигури диапазон на преобразуването от 0,0 V до 2,27 V. Свързвайки R_T към V_{DDA} и R_B към $VR-$ ще се получи диапазон на преобразуване от 3,85 V до 5 V. Допълнително е възможно да се използват външни резистори, включени в коментираните точки, за да се реализира произволен диапазон на преобразуване, но в рамките от 0 до 5 V. При това формиране на опорното напрежение, грешката и нестабилността на захранващото напрежение пряко се отразят върху точността на преобразуване.

В много приложения се налага използването на външно опорно напрежение. То се свързва към изводите R_T и R_B , като R_B се свързва към маса. Схемата работи с гарантираната точност при осигурени диапазони на преобразуване от 1 до 5 V.



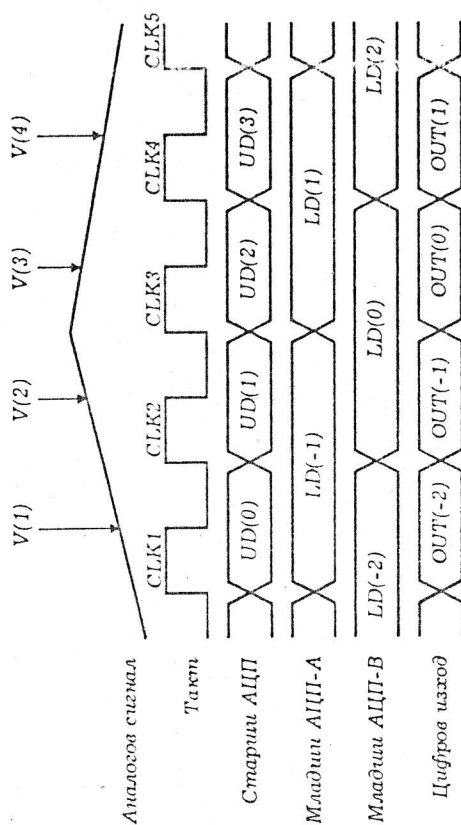
Фиг. 6.2. Вътрешни резистори за опорно напрежение.

6.3. Аналогово цифрово преобразуване.

Особеност на вътрешната архитектура на TLC5510 е наличието

на два паралелни младши АЦП — А и В за младшите разрези.

Входното напрежение $V(1)$ се стробира по спадания фронт на тактовия сигнал $CLK1$ на входа $CONV$ (фиг. 6.3). Старшият АЦП извършва преобразуването на старшите разрези $UD(1)$ за един такт и го завършва при нарастващия фронт на $CLK2$. Веднага след това младшият АЦП-А започва преобразуването на младшите разрези $LD(1)$. Поради налагането се междинно формиране на аналоговата стойност и опорно напрежение, младшото преобразуване предизвиква два такта на сигнала $CONV$ и завършва при нарастващия фронт на $CLK3$. $UD(1)$ и $LD(1)$ се комбинират в общ 8-разреден изходен резултат $OUT(1)$ при нарастващия фронт на $CLK4$. Както се вижда, изходният резултат закъснява на 2,5 такта спрямо аналоговия сигнал.



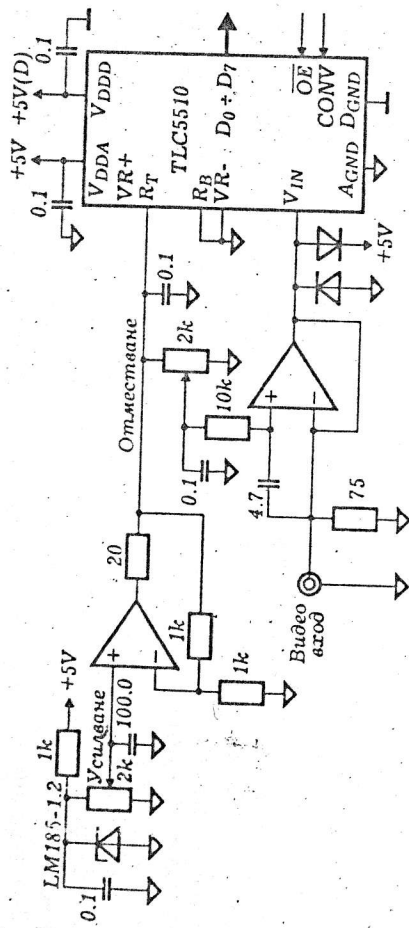
Фиг. 6.3. Вътрешна последователност на преобразуване на АЦП.

Входното напрежение $V(2)$ се стробира от падащия фронт на $CLK2$. $UD(2)$ завършва при нарастващия фронт на $CLK3$. След младшите разрези се преобразуват от втория младши АЦП-В и получаването им завършва при нарастващия фронт на $CLK4$. Пълните данни $OUT(2)$ се формират при нарастващия фронт на $CLK5$. Както се вижда, използването на два застъпващо се работещи младши АЦП комбинира двойно по-дългото им време на преобразуване.

6.4. Типични приложения

Фиг. 6.4 показва използването на TLC5510 за дискретизиране на видеосигнал. Използвано е външно опорно напрежение, формирано от прецизния опорен източник LM185-1.2 и следващо усиляване за

достигане на необходимата стойност. Операционният усилвател във веригата на опорното напрежение е стандартен от типа 741.

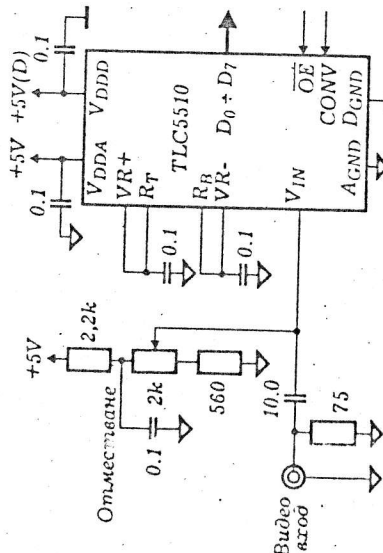


Фиг. 6.4. Типично приложение на TLC5510.

Опорното напрежение, приложено към R_T може да бъде регулирано от 0 до 2,4 V, при това R_B е свързано към маса. От него се формира и постояннотоково отместване на входния сигнал, за да може неговата "нула" да попадне в средата на работния диапазон.

В изхода на видеоусилвателя са поставени предпазни диоди, ограничаващи входния аналогов сигнал между -0,7 V и $V_{DDA} + 0,7$ V. Диодната защита е добра практика за защита от входни пикове извън работния обхват.

На фиг. 6.5 е показано формирането на вътрешно опорно напрежение чрез свързването на R_T и R_B към $VR+$ и $VR-$ съответно. Това

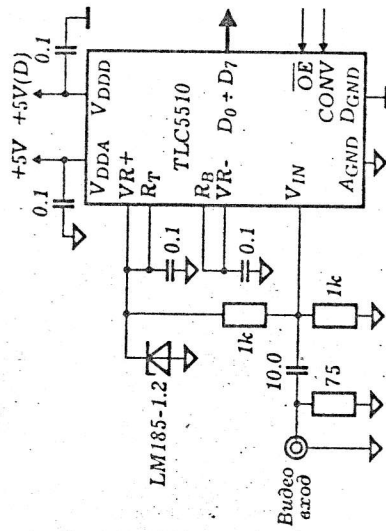


Фиг. 6.5. Типично приложение при минимално количество допълнителни елементи.

зон от 0,5 до 2,6 V. Входният диапазон е зависим от вариациите на захранващото напрежение, тъй като напреженията в точките R_T и R_B са пряко формирани от V_{DDA} . Видео входа е промонитовоково свър-

зан към V_{IN} с допълнително постояннотоково отместване на сигнала чрез резистивен регулируем делител. Тази схема предлага предимството на минимално допълнително количество елементи.

Фиг. 6.6 предлага просто решение за прилагането на външен стабилен източник на опорно напрежение. Опорният източник LM185-1.2 с напрежение на стабилизация 1,2 V е включен към извода R_T , а изводът R_B е свързан към маса. Вътрешният резистор R_T осигурява тока през опорния източник. Видео входът е промонитовоково свързан към V_{IN} с постояннотоково отместване на сигнала чрез резистивен делител.



Фиг. 6.6. Икономично решение с външен опорен източник.

6.5. Особенности при работа с TLC5510.

TLC5510 има отделни аналогови и цифрови вериги. За да не се внасят смущения от цифровата част в аналогово-цифровия преобразувател, се препоръчва захранващите напрежения V_{DDA} и V_{DDD} да се формират от отделни източници, като връзките между масите (D_{GND} и A_{GND}) се извършват в една точка при аналоговата част. Непосредствено върху захранващите изводи на TLC5510 трябва да се поставят блокиращи безиндуктивни кондензатори. Цифровите схеми, които поемат изходите от TLC5510 ползват към цифровата маса.

Проектирането на бързи смесени (аналогови и цифрови) електронни схеми изисква особено внимание при изграждането на топологията на връзките. Не трябва да се допуска формирането на затворени контури, дори и в топологията на масата. Наличието на капацитивна връзка между цифровата и аналоговата част може да влоши аналогово-цифровото преобразуване. За правилно изграждане на топологията е необходимо да се спазват следните препоръки:

1. Критичните аналогови връзки (V_{IN} , R_T , R_B , $VR+$ и $VR-$) трябва да бъдат колкото се може по-къси и по-далече разположени от всички цифрови сигнали. TLC5510 трябва да се разположи в края на платката, непосредствено до куплунга за аналоговия вход.
2. Захранващите писти за TLC5510 трябва да бъдат отделени от

тези, които захранват останалата цифрова част. Единична захранваща писта трябва да бъде използвана за всички V_{DD} изводи. Ако се използва едно и също захранване за TLC5510 и останалата цифрова част, захранването за TLC5510 трябва да бъде развързано с феритен пръстен и блокиращ кондензатор $0,1 \mu F$ за намаляване на шумовете.

3. Пистите на масата трябва да бъдат солидни (без мрежова структура), с малко омично съпротивление и индуктивност. Връзките от чиповете към тях трябва да бъдат максимално къси.

4. Задължително да се използват развързващи кондензатори при V_{DD} изводите. Не всички захранващи изводи са еднакви. Те захранват различни части на интегралната схема, всъщност от които генерират различни по стойност и тип шумове. Добър резултат срещу шумовете дават керамични кондензатори $0,1 \mu F$ с максимално къси изводи. Керамичните чип кондензатори са също добър избор.

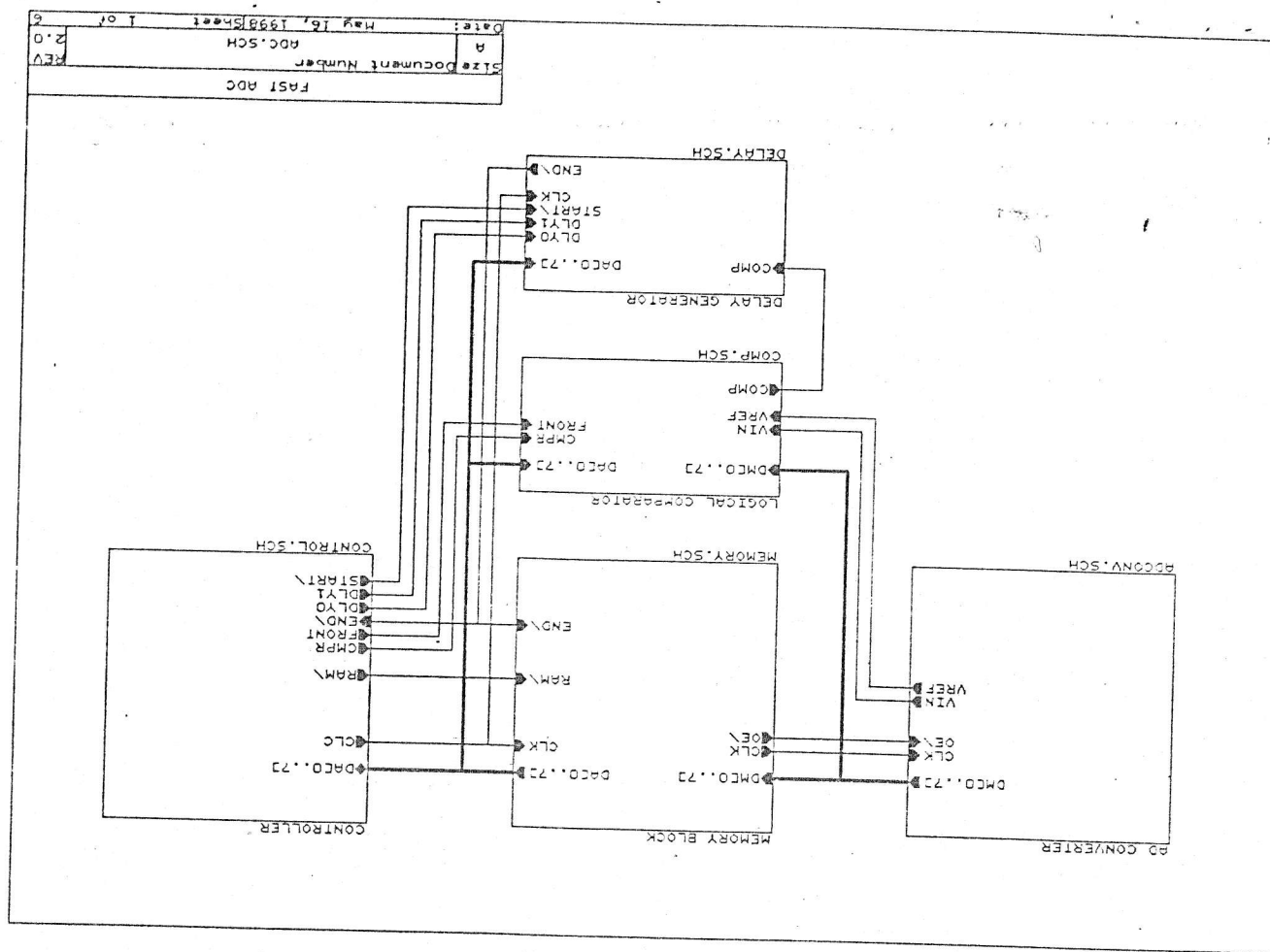
5. Захранващият източник не бива да се разполага над (в близост) до TLC55101, опорния източник или аналоговите входи. Капацитивна връзка между него и аналоговата част ще доведе до вкарването на шумения в работата ѝ.

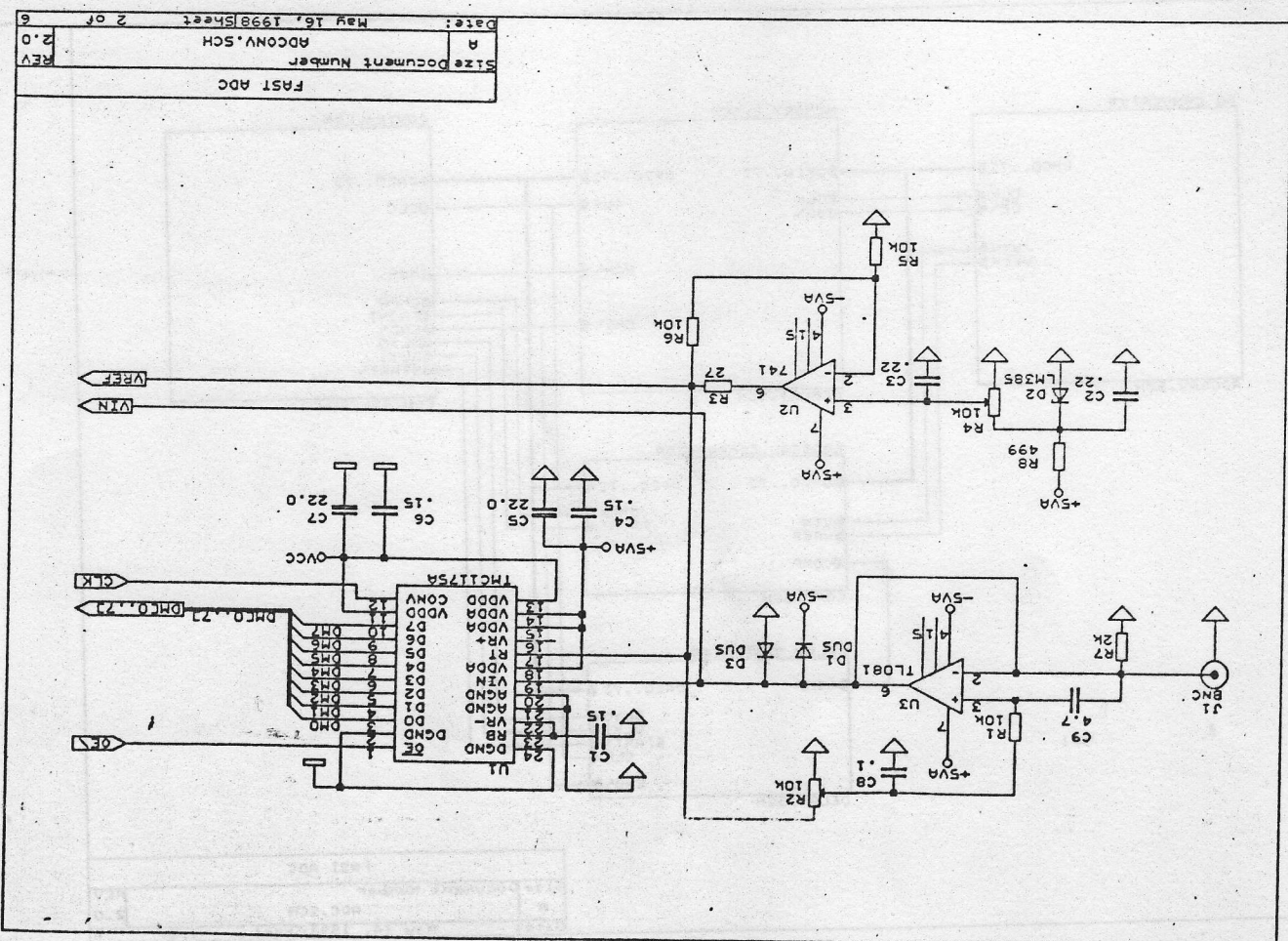
6. Внимателно трябва да се формира тактовия сигнал CONV. Ако е необходимо той трябва да се терминираща непосредствено при TLC5510 за отстраняване на отскоци и разпрензвания.

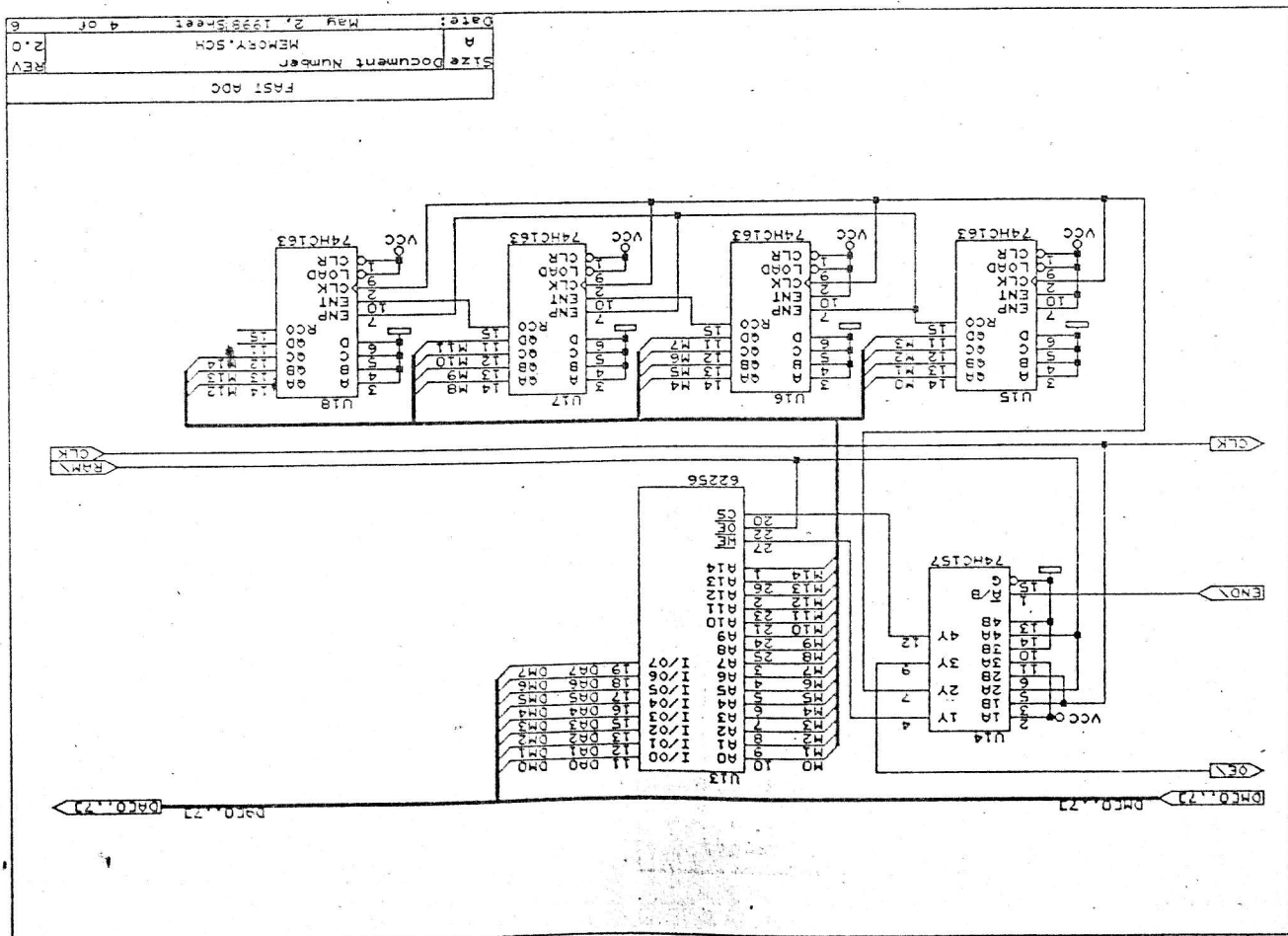
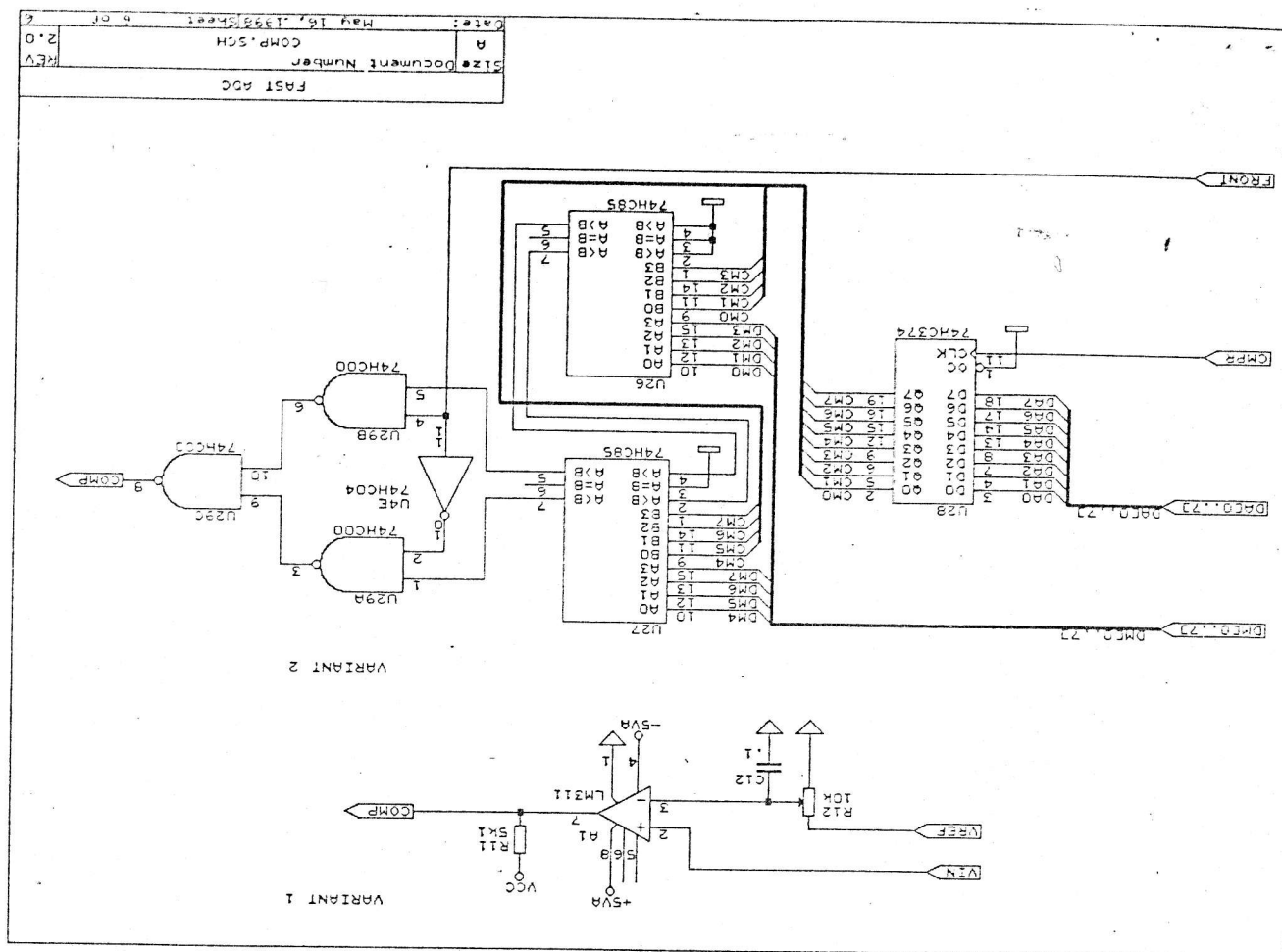
6.6. Анализатор на аналогова информация с TLC5510

Следващата схема представя бърз аналогово-цифров преобразувател, който зарежда последователно информацията в оперативна памет. Иерархичната структура е дадена в схемата ADCONV.SCH. Анализаторът се състои от аналогово-цифров преобразувател (схема ADC.SCH), запомнящ блок (схема MEMORY.SCH), логически компаратор (схема COMP.SCH), генератор на задържане (схема DELAY.SCH) и управляваща логика (схема CONTROL.SCH).

След стартиране на работата, по такт от управляващата логика, аналогово-цифровият преобразувател записва последователно данните в паметта. Паметта е с обем от 32 KB, с произволен достъп, но адресирането ѝ е организирано по нарастващ и кръгов начин, т.е. след всеки запис адресът нараства с 1, а при достигането на края ѝ, се продължава от началото. Логическият компаратор изработва сигнал, когато входящата стойност премине зададения в него праг (събитие). Той стартира генератора за задържане, който отброява определено количество брой отчети и спира процеса на запис на информацията. В паметта остава съхранена информацията около зададеното събитие. Нейното прочитане също се извършва чрез кръгово адресиране. Схемата е предназначена за работа с микропроцесор, като засма само два адреса и комуникира по 8 линии за данни.







ПРИЛОЖЕНИЕ НА ВЕРИГИ ЗА ФАЗОВО АВТОМАТИЧНО ПОДДЪРЖАНЕ НА ЧЕСТОТА

7.1. Проектиране на умножители на честота.

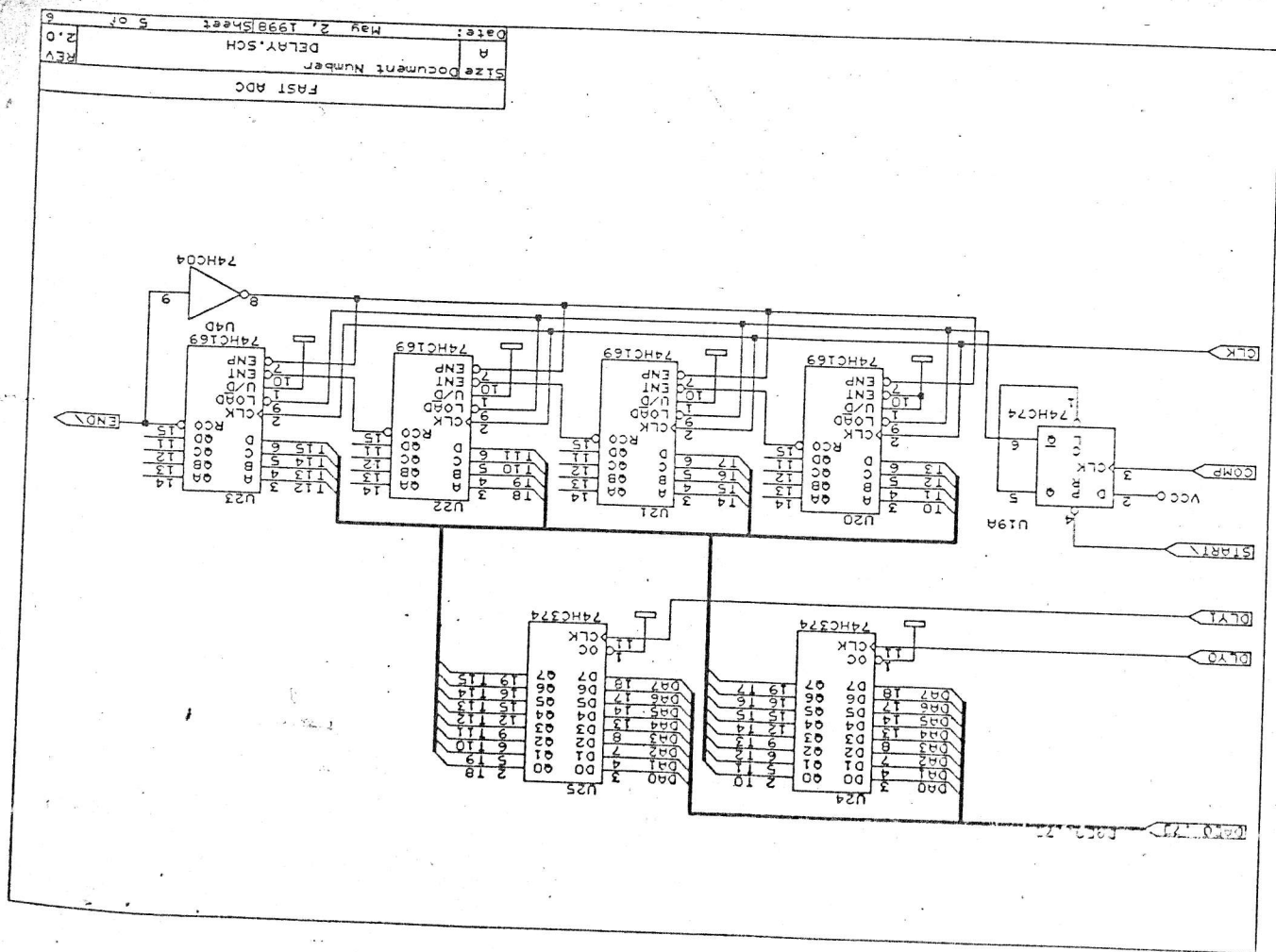
Системите за фазово автоматично поддържане на честота (ФАПЧ) често се използват за формиране на сигнали, честотата на които е кратна на определена входна честота. В честотните синтезатори честотата на входния сигнал се получава чрез умножение (най-често на цяло число n) на честотата на стабилизиран опорен сигнал. Числото n се задава в цифрова форма, като използваният делител може да бъде програмируем делител за евентуална промяна на n . В най-честите случаи, като опорен сигнал се използва честота, вече съществуваща в даденото устройство.

Нека е зададено реализирането на 12-разредно аналогово-цифрово преобразуване по метода на двукратното интегриране. Първият етап на интегрирането се формира чрез отброяването на 4096 такта (4096 периода) на тактова честота f . Продължителността на етапа на правото интегриране е постоянна, а максималната продължителност на етапа на обратното интегриране е 4096 такта. За да се извърши подтискане на мрежовите смущения е необходимо времето на правото интегриране да бъде кратна на периода на мрежовата честота F (в случая $F = 50 \text{ Hz}$ или $1/F = 20 \text{ ms}$). В табл. 7.1. са дадени необходимата тактова честота f за преобразуването, съотношението й с мрежовата честота и честотата на преобразуване на АЦП при избрана различна кратност на мрежовия период спрямо продължителността на правото интегриране.

Табл. 7.1. Параметри на 12-разредно двукратно-интеграцио АЦП при различна продължителност на времето на правото интегриране.

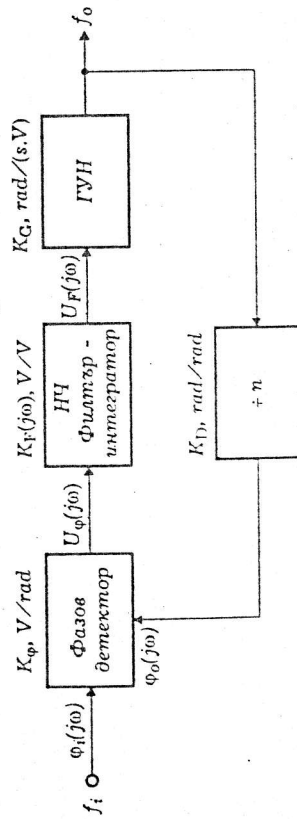
Време на право интегриране	Тактова честота f	f/F	Честота на преобразуване на АЦП
20 ms	204800 Hz	4096	25 Hz
40 ms	102400 Hz	2048	12,5 Hz
60 ms	68266,66...	4096/3	8,33... Hz
80 ms	51200 Hz	1024	6,25 Hz

Пълното подтискане на мрежовите смущения изисква спазване на кратността между времето на правото интегриране и периода на мрежовата честота. Ако мрежовата честота се промени, трябва да се промени и времето на правото интегриране. Решение на този проблем



се дава чрез синтезирането на тактовата честота f чрез ФАПЧ, като за опорна честота се вземе мрежовата F . По този начин f ще съдържа в себе си промените на F (нейната девиация) и кратността винаги ще се запазва.

Стандартна схема на ФАПЧ, която съдържа допълнителен брояч-делител на честота на n , включен между изходния ГУН и фазовия детектор, е показана на фиг. 7.1. На схемата са означени коефициентите на предаване на всеки функционален елемент на затворената верига, които са необходими при разчета на устойчивостта.



Фиг. 7.1. Блокова схема на честотен синтезатор с ФАПЧ.

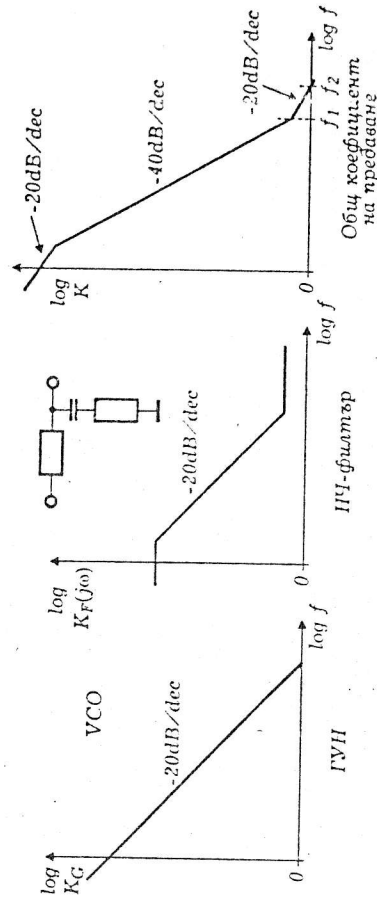
Както се вижда от таблицата, ако се избере време на правото преобразуване 60 ms се получава дробен коефициент на делене n и това решение изисква по-сложна организация на системата ФАПЧ. Нека за примера бъде избрано време на правото преобразуване 80 ms , при което се получава $n = 1024$. В този случай е необходим тактов сигнал f с честота 51200 kHz . При такава честота се получават $6,25$ измервания в секунда. Същността на работата на системата на ФАПЧ ще позволи тактовият сигнал с честота 51200 kHz да бъде синхронизиран с мрежовата честота 50 Hz ($51200 \div 1024$), с което напълно да се подтиснат мрежовите смущения на входа на АЦП.

Някои особености трябва да се отбележат при разработката на ФАПЧ: фазовият детектор преобразува фазовата разлика в напрежение, а ГУН действа като интегратор; постоянно напрежение на входа на ГУН ще предизвика линейно нарастващо изменение на фазата в изхода му; нискочестотният филтър има коефициент на предаване по-малък от 1; делителят на честота n също има коефициент на предаване по-малък от 1.

7.2. Оценка на устойчивостта при ФАПЧ

На фиг. 7.2 са приведени диаграмите на Боде, позволяващи да се оцени устойчивостта на системата за ФАПЧ от втори ред, използва-

ваща RC нискочестотен филтър от първи ред. ГУН работи като интегратор с времеконстанта, равна на $1/f$, и закъснение по фаза 90° (т.е. времеконстантата е пропорционална на $1/j\omega$). За да бъде създаден запас по фаза (т.е. да се осигури достатъчно разстояние между 180° и фазата, при която общият коефициент на предаване на затворената верига е равен на 1), във филтъра за ниски честоти трябва да се въведе допълнителна нула в предавателната му характеристика. Това може да се извърши, като в нискочестотния филтър последователно с кондензатора се включи резистор, изпращащ предавателната му характеристика и предотвратяващ провала на устойчивостта за честоти над определена стойност.



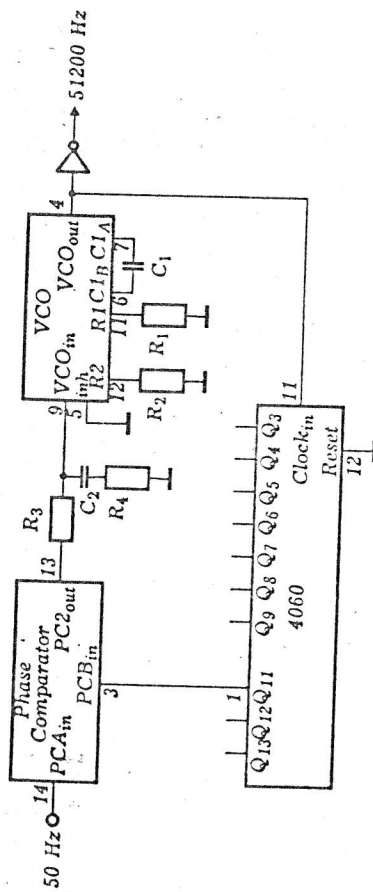
Фиг. 7.2. Диаграми на Боде за устойчивост на ФАПЧ от втори ред.

Обединяването на характеристиките на ГУН и на филтъра дават диаграмата на Боде за общия коефициент на предаване на затворената верига, представена на фигурата. До тогава докато наклонът на характеристиката е 20 dB/dec (в областта на единичното усиление), затворената верига ще бъде устойчива. Това се постига чрез използване на показания нискочестотен филтър от типа "избързване-изоставане" и чрез правилния избор на неговата характеристика (също така както и във веригите за фазова компенсация избързване-изоставане на операционните усилватели).

7.3. Определяне на коефициента на предаване на ФАПЧ

На фиг. 7.3 е дадена принципната схема на ФАПЧ за синтезиране на честота 51200 Hz , синхронизирана с мрежовата честота 50 Hz . Фазовият детектор (Phase comparator) и ГУН (VCO) влизат в състава на ФАПЧ, изпълнен с CMOS IC от типа 4046. В 4046 съществуват, вградени два фазови детектора, с паралелно свързани входове и раз-

делени изходи. Единият фазов детектор работи по нива на входните импулси, а другия — по фронтите. В дадената схема се използва фазовия детектор, който работи по фронтите. Изходът му се състои от комплементарна двойка CMOS транзистори, работещи в импулсен режим и осигуряващи импулсни сигнали с нива E_{CC} и 0 V . Фактически той представлява изход с три състояния, доколкото с изключение на момента на действието на импулсите на фазовото разсъгласуване, той се намира в състояние на висок импеданс.



Фиг. 7.3. Принципова схема на честотен синтезатор с ИС 4046.

Максималната и минималната честота на ГУН, задавани от нива на управляващото напрежение 0 V и E_{CC} , се определят от избор на резисторите R_1 , R_2 и кондензатора C_1 , съгласно справочните данни.

$$f_{\min} = \frac{1}{R_2(C_1 + 32\text{pF})} + f_{\min}$$

$$f_{\max} = \frac{1}{R_1(C_1 + 32\text{pF})} + f_{\min}$$

$$U_F = 0\text{ V}$$

$$U_F = E_{CC}$$

Ограничителни условия: $10\text{ k}\Omega \leq R_1 \leq 1\text{ M}\Omega$
 $10\text{ k}\Omega \leq R_2 \leq 1\text{ M}\Omega$
 $100\text{ pF} \leq C_1 \leq 10\text{ nF}$

При работа със схемата 4046 трябва да се има предвид една нейна съществена особеност, виждаща се от техническите й данни — високата чувствителност към стабилността на захранващото напрежение. Това изисква внимателното и прецизното му стабилизиране. По-нататъшните разчети са направени при типичното захранващо напрежение за 4046 $E_{CC} = 10\text{ V}$. Изборът на останалите елементи на затворената верига се извършва по стандартни за ФАПЧ процедури.

Диапазонът на работа на ГУН се избира така, че да покрива с достатъчен запас промените на мрежовата честота. Ако за конкретния случай се избере диапазон на ГУН в обхвата от $f_{\min} = 40\text{ kHz}$ и $f_{\max} = 60\text{ kHz}$ се получава приблизително $\pm 20\%$ възможност за вариране около основната честота 51200 Hz , което далеч покрива всякакви възможни изменения на мрежовата честота. Ако се избере $C_1 = 1\text{ nF}$, от уравнението за $f_{\min}$ се определя $R_2 = 24\text{ k}\Omega$, а от уравнението за $f_{\max}$ се определя $R_1 = 47\text{ k}\Omega$. Получените стойности за R_1 и R_2 отговарят на посочените по-горе ограничителни условия.

След избора на диапазона на ГУН, остава само да се оразмери филтър за ниските честоти, който представлява най-критичната част на системата. Започва се с определяне на коефициента на предаване на цялата фазово затворена верига. В табл. 7.2. са дадени разчетните формули за отделните компоненти (съгласно фиг. 7.3) Разчетите трябва да се правят внимателно, без да се бърка честотата f и кръговата честота ω или Hz с kHz .

Табл. 7.2. Разчети на коефициентите на предаване на отделните звена от ФАПЧ.

Блок	Функция	Коефициент на предаване	Пресмятане на коефициента на предаване
Фазов детектор	$U_F = K_F \Delta\varphi$	U_F	От 0 до E_{CC} — от 0 до 360° $K_F = 10\text{ V}/360^\circ = 1.59\text{ V}/\text{rad}$
НЧ-филтър	$U_F = K_F(j\omega)U_F$	$K_F(j\omega)$	$\frac{1 + j\omega R_4 C_2}{1 + j\omega(R_3 C_2 + R_4 C_2)}$
ГУН	$\frac{d\varphi_G}{dt} = K_G U_F$	K_G	40 kHz ($U_F = 0$) до 60 kHz ($U_F = 10\text{ V}$) $K_G = 2\text{ kHz/V} = 1.26 \cdot 10^4\text{ rad}/(\text{V}\cdot\text{s})$
Делител на n	$\varphi_0 = \frac{1}{n} \varphi_G$	K_D	$K_D = \frac{1}{n} = \frac{1}{1024}$

До този момент не е определен K_F . Той може да се определи, от израза за общия коефициент на предаване на затворената верига. Като се има предвид, че ГУН представлява интегратор, т.е.: $\varphi_G = \int U_F K_G dt$ или $\varphi_G = U_F \frac{K_G}{j\omega}$, за общия коефициент на предаване на затворената верига може да се запише:

$$K = K_F K_F(j\omega) \frac{K_G}{j\omega} K_D = 1.59 \frac{1 + j\omega R_4 C_2}{1 + j\omega(R_3 C_2 + R_4 C_2)} \frac{1.26 \cdot 10^4}{j\omega} \frac{1}{1024}$$

Следва избиране честотата, при която коефициентът на предаване на затворената верига става равен на 1. Идеята се състои в то-

ва, че честотата на единичното усилване трябва да бъде достатъчно висока, така че затворената верига да може да отработва измененията на входната честота, но и същевременно достатъчно ниска, че да се подгизкат високочестотните компоненти в изхода на фазовия детектор и смущенията във входния сигнал.

От тези две противоречиви изисквания, се избира компромисно решение, зависещо от съществуващото на сигналите в конкретния случай. Така например, когато се изграждат беззвездни системи на ФАПЧ, предназначени за демодулиране на входящи ЧМ сигнали или за декодиране на последователности от високоскоростни тонални сигнали (за ЧМ сигналите лентата на пропускане на затворената верига трябва да съответства на входния сигнал, т.е. да бъде равна на максималната честота на модуляция, а за тонално детектиране, времеконстантата на затворената верига трябва да бъде по-малка от продължителността на тоналния сигнал) факторът бързодействие е решаващ и честотата на единичното усилване се избира по-висока.

Доколкото проектираната в конкретния случай схема на честотен синтезатор с ФАПЧ е предназначена да следи определени стойности на нестабилността и бавно изменение на мрежовата честота, факторът изглаждане на пулсацията е решаващ при определяне на честотата на единичното усилване и тя трябва да бъде ниска. Това ще позволи да се намаля фазовия шум на изхода и да се осигури нечувствителност към шумовете и промените. Дори кратковременни пропадания на входния сигнал ще бъдат едва забележими, тъй като кондензаторът на филтъра ще запази напрежението, което ще застави ГУН да продължи да формира необходимата изходна честота.

От практически съображения, честотата на единичното усилване f_2 се избира $10 \div 30$ пъти по-ниска от f . С отчитане на по-горните разсъждения, за конкретния пример е подходящо да се избере честота на единичното усилване f_2 равна на 2 Hz, т.е. $12,6 \text{ rad/s}$. Това е значително по-високо от възможни отклонения в честотата на мрежата (електрическата енергия се произвежда от големи генератори с огромна механична инерция) и същевременно достатъчно ниско, че да се отстранят високочестотните и шумови компоненти в изхода на фазовия детектор.

Точката на смяна на наклона в характеристиката на нискочестотния филтър (честота f_1 — неговата "нула") осигурява запаса по фазата. Като правило тя се избира $3 \div 5$ пъти по-ниска от f_2 , което осигурява достатъчен запас. Фазовото изместване от проста RC верига се променя от 0 до 90° в диапазона на честота от $0,1$ до 10 относно честотата на спадане с 3 dB (полос на предавателната характеристика), при която изместването е равно на 45° . За примера е подходящо да

се избере честота на нулата f_1 равна на $0,5 \text{ Hz}$, т.е. $3,1 \text{ rad/s}$ (фиг. 7.2). Точката на смяна на наклона f_1 се определя от времеконстантата $R_4 C_2$ — $R_4 C_2 = 1/2\pi f_1$.

Ако се избере $C_2 = 1 \mu F$, от равенството $R_4 = \frac{1}{1,10^{-6} \cdot 2 \cdot \pi \cdot 0,5}$ се определя $R_4 = 330 \text{ k}\Omega$.

Стойността на съпротивлението R_3 се определя от условието, че модулът на коефициента на предаване K при честота f_2 е равен на единица. Уравнението придобива вида:

$$\frac{1,59}{1 + j12,6(R_3 \cdot 1,10^{-6} + 330 \cdot 10^3 \cdot 1,10^{-6})} \frac{1,26 \cdot 10^4}{j12,6} \frac{1}{1024} = 1.$$

Извършвайки тази операция се изчислява $R_3 = 200 \text{ k}\Omega$.

Понякога получените стойности на параметрите на филтъра са неудобни и е необходимо те да бъдат преизчислени при други стойности на честотата на единичното усилване. Получените в конкретния пример стойности на резисторите във филтъра са приемливи за ФАПЧ изградени на базата на CMOS (типичното входно съпротивление на ГУН в 4046 е $10^{12} \Omega$). Когато обаче се изгражда ФАПЧ на базата на схеми с биполарни транзистори, тези стойности са прекалено големи и или трябва да се преизчислят подходящо, или да се съгласуват (например с помощта на операционен усилвател).

За опростяване на конструкцията на филтъра, в дадения пример се използва вграденния фазов детектор от тип 2 с превключване по фронтите. Това решение в някои случаи може да се окаже не най-доброто поради високото ниво на високочестотната мрежова съставка във входа на нискочестотния филтър. Тогава се препоръчва да се използва вграденния фазов детектор от тип 1, съдържащ логически елемент ИЗКЛЮЧАЩО ИЛИ (XOR).

Внимание трябва да се обърне на входящия във ФАПЧ сигнал. Конкретната схема работи с цифрови сигнали, затова входящият опорен сигнал F трябва да бъдат предварително формиран. Препоръчително е предварителното прилагане на тригер на Шмит за да бъде постигната добра работа на схемата.

7.4. Оразмеряване на ФАПЧ по метода на пробите и грешките

Както се вижда от направените по-горе разчети, най-трудоемката и прецизна дейност е оразмеряване на елементите на нискочестотния филтър. Колкото и неприятно да е тя, никога не трябва да се пренебрегва, тъй като от нея зависи сигурната работа на ФАПЧ.

Тук е мястото категорично да се заяви, че методът на пробите и

грешките при оразмеряването на ФАПЧ е неподходящ. Грубо казано, този метод се състои в последователно експериментално променяне на параметрите на филтъра до тогава, докато схемата заработи. За някои разработчици в това се състои "майсторството" на настройка на електронни схеми. Проблемът се състои не в това, че схемата няма да заработи, а в това че ако заработи то е в сравнително тесен диапазон на дестабилизиращите фактори и далеч от оптималния режим. Вероятно заради това, системите на ФАПЧ имат в някои среди лоша репутация.

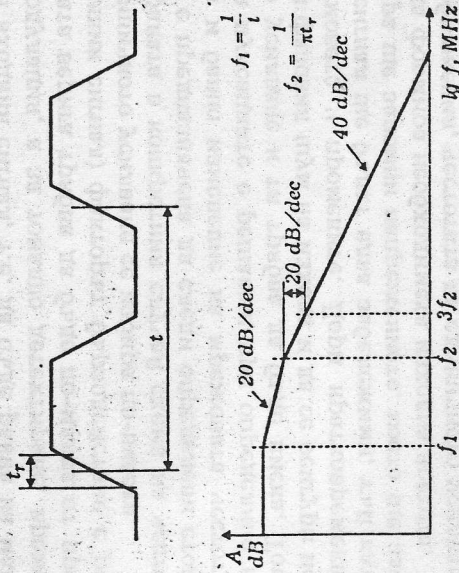
Въпреки казаното, при използването на метода на пробите и грешките за проектирането на ФАПЧ, трябва да се има предвид че R_3C_2 определя времето на изглаждането в затворената верига, а отнoшението R_4/R_3 — демпфирането, т.е. отсъствието на претоварване при скокообразна промяна на входната опорна честота. Препоръчва се пробите да започнат със стойности $R_4 = R_3/5$.

ПРЕДАВАНЕ НА ЦИФРОВИ СИГНАЛИ

8.1. Честотен спектър на цифрови сигнали.

Честотния спектър на цифровите сигнали (вж. фиг. 8.1.) зависи на първо място от основната честота f_1 , определена от периода на повторение t . След тази честота, амплитудата на висшите хармоници намалява с 20 dB/dec до честотата f_2 , която се определя от продължителността на фронта на сигнала t_r (времето на нарастване между нива 10 и 90 %).

Нека е необходимо да се предаде цифрова информация със скорост 1 Mbit/s ($1 \text{ Bit}/\mu\text{s}$) и предавателят генерира фронтове на сигнала с време $t_r = 5 \text{ ns}$. Най-висока основна честота се получава, когато предаваната информация се състои от редуващи се 0 и 1 (на всяка μs се сменя логическото ниво). Тогава периодът на цифровия сигнал ще бъде $t = 2 \mu\text{s}$, а $f_1 = 500 \text{ kHz}$ (50 % от скоростта на предаване), а $f_2 = 64 \text{ MHz}$.

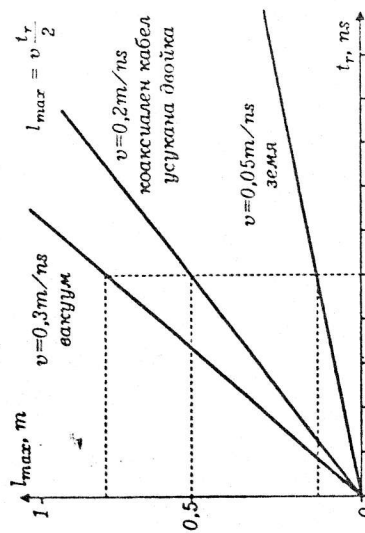


Фиг. 8.1. Честотен спектър на цифрови сигнали.

8.2. Критерий за дълги линии при предаване на цифров сигнал

Линията, по която се предават цифровите сигнали, трябва да се третира като дълга линия в съответствие с теорията за тези линии, тогава когато удвоеното време за преминаването на сигнала по линията е по-голямо от времето на фронта на сигнала. Тогава отразената вълна пристига обратно в предавателя след отминаването на фронта на импулса. Времето за разпространението на сигнала зависи от скоростта на електрическото поле в съответната среда. На фиг. 8.2. е показана графика, от която може да се определи максималната дължина на линията, над която тя трябва да бъде третирана като дълга

линия.



Фиг. 8.2. Диаграма на критерий за дългата линия.

Скоростта на разпространение на електрическото поле по меден проводник, което важи включително и за проводници с разпределени параметри (коаксиален кабел, усукан двойка) е $v = 0,2 \text{ m/ns}$. За сравнение са дадени и скоростите на електрическото поле във вакуум ($v = 0,3 \text{ m/ns}$) и в земята ($v = 0,05 \text{ m/ns}$). Максималната дължина на "къса" линия се определя от уравнение $l_{\max} = v t_r / 2$. Например, ако фронтът на сигнала е 5 ns , максималната дължина на проводника, над която той трябва да бъде третиран като дълга линия, е $0,5 \text{ m}$ (т.е. 10 m на 1 ns от фронта на сигнала).

Когато проводникът по който се предава цифровия сигнал отговаря на критерия за дълга линия, той се изгражда с линии с разпределени параметри и се взимат специални мерки за съгласуването ѝ.

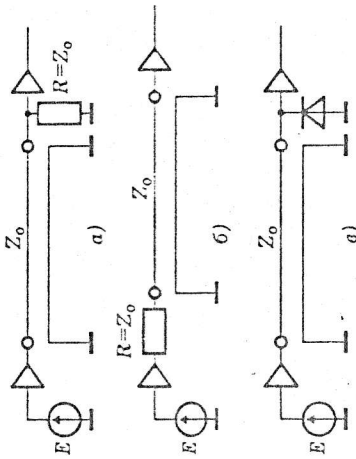
8.3. Подтискане на смущения при дълги линии

На фиг. 8.3. са показани основните подходи за подтискането на смущения при предаването на цифрови сигнали по дълга линия. На фиг. 8.3.а предавателната линия е натоварена в края с терминиращ резистор. Ако стойността на терминиращия резистор е избрана близо до импеданса на линията ($R = Z_0$), не се получават отразени сигнали. В много случаи са допустими до 50 % отклонение от равенството.

Елегантен метод за избягване на положителните и отрицателните отскоци на сигналите във входа на приемника е последователното поставяне на резистор в изхода на предавателя, както е показано на фиг. 8.3.б. Стойността на резистора трябва да бъде равна на импеданса на линията ($R = Z_0$). Когато предавателят има собствено, различно от 0 изходно съпротивление R_G , неговата стойност трябва да се извади от R , за да се удовлетвори равенството $R_G + R = Z_0$. На практика стойността на R се избира в границите $25\Omega < R < Z_0$. Понякога това терминиране трудно се изпълнява най-вече, защото обикновено предавателите имат различен изходен импеданс при 0 и при 1. Тази

техника на съгласуване може да се използва при еднопосочно или дупосочно предаване "от точка до точка", но не се препоръчва при наличието на повече от два кореспондента в една линия.

Ефективно отстраняване на положителните и отрицателните отскоци на сигнала в края на линията може да се постигне със защитни диоди (фиг. 8.3.в). Спадащ фронт на сигнала в края на линията би предизвикал отрицателен отскок под нулевата линия. Диодът обаче ограничава неговата амплитуда до $\approx 0,7 \text{ V}$, поглътяйки енергията му. Тъй като цялата енергия на отскока не се поглътя, остават движещи се напред и назад по линията затихващи вълни, чиято амплитуда обаче не превишава 100 mV . Най-често защитните диоди се комбинират с резистивно терминиране на линията. Благодарение на позитивното влияние на тези диоди, те се вграждат във всички логически схеми. При CMOS схемите, където размахът на изходните сигнали е в целия диапазон на захранящото напрежение и могат да се получат отскоци и над захранването, се вграждат защитни диоди и към маса и към захранване.



Фиг. 8.3. Отстраняване на нежелателни явления при дълги линии.

т.е. Най-често защитните диоди се комбинират с резистивно терминиране на линията. Благодарение на позитивното влияние на тези диоди, те се вграждат във всички логически схеми. При CMOS схемите, където размахът на изходните сигнали е в целия диапазон на захранящото напрежение и могат да се получат отскоци и над захранването, се вграждат защитни диоди и към маса и към захранване.

8.4. Терминиране на линии с разпределени параметри

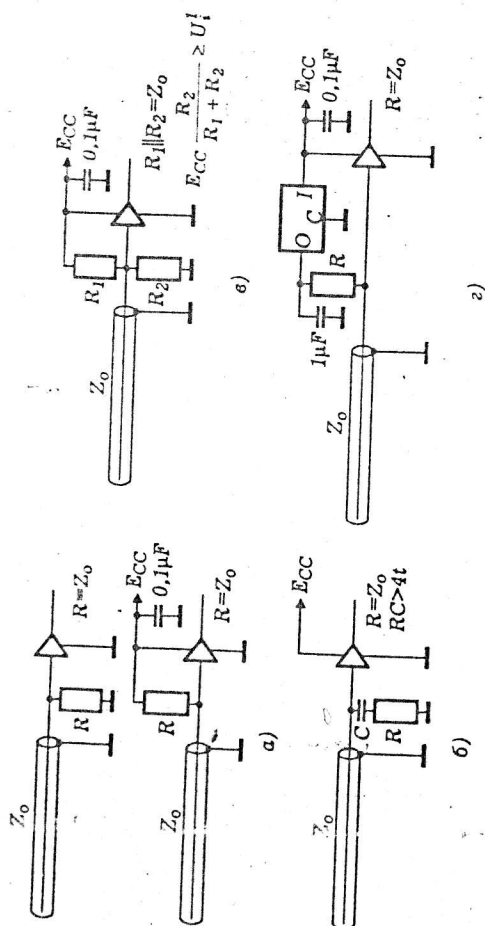
Основните техники при терминирането на синфазни линии за предаване на цифрови сигнали са показани на фиг. 8.4. Най-често те се терминират чрез поставянето на резистор между сигналната линия и масата (фиг. 8.4.а). Ако товарната способност на логическата 1 на предавателя не е достатъчна, терминиращият резистор може да се постави между сигналния проводник и захранването. По високи честоти свързването на захранването с масата се осъществява през развързващ кондензатор (типично $0,1 \mu\text{F}$).

Често при CMOS устройства терминиращият резистор се свързва през кондензатор (фиг. 8.4.б). Така се блокира постоянния ток през терминиращия резистор и се намалява консумирания ток.

При устройствата изградени с TTL, терминирането се извършва с помощта на резистивен делител (фиг. 8.4.в), който поддържа нивото на логическата единица U_{I1} във входа на приемника. Недостатък е значителния постоянен ток, протичащ през резистивния делител.

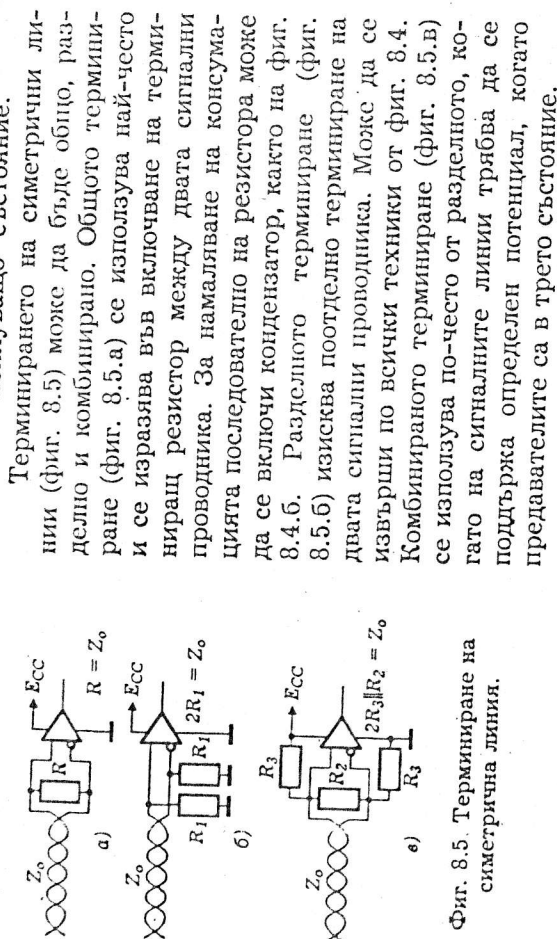
СПИСК НА ИНТЕГРАЛНИТЕ СХЕМИ ОТ СЕРИЯ 54/74

No	Функция
00	Четири двуходови елемента И-НЕ
01	Четири двуходови елемента И-НЕ с отворен колектор
02	Четири двуходови елемента ИЛИ-НЕ
03	Четири двуходови елемента И-НЕ с отворен колектор
04	Шест инвертора
05	Шест инвертора с отворен колектор
06	Шест инвертора с отворен колектор, захранващ се с 30V
07	Шест повторители с отворен колектор, захранващ се с 30V
08	Четири двуходови елемента И
09	Четири двуходови елемента И с отворен колектор
10	Три триходови елемента И-НЕ
11	Три триходови елемента И
12	Три триходови елемента И-НЕ с отворен колектор
13	Два четиривходови тригера на Шмит (инвертора)
14	Шест тригера на Шмит
15	Три триходови елемента И с отворен колектор
16	Шест инвертора с отворен колектор (15V)
17	Шест повторители с отворен колектор
18	Два четиривходови тригера на Шмит (инвертора)
19	Шест тригера на Шмит (инвертора)
20	Два четиривходови елемента И-НЕ
21	Два четиривходови елемента И
22	Два четиривходови елемента И-НЕ с отворен колектор
23	Два четиривходови елемента ИЛИ-НЕ с възможност за разширяване
24	Четири двуходови тригера на Шмит (инвертора)
25	Два четиривходови логически елемента ИЛИ-НЕ със строга вход
26	Четири двуходови логически елемента И-НЕ с отворен колектор (15V)
27	Три двуходови логически елемента ИЛИ-НЕ
28	Четири двуходови елемента ИЛИ-НЕ
30	Осмаходов елемент И-НЕ
31	Елемент за заключване
32	Четири двуходови елемента ИЛИ
33	Четири двуходови елемента ИЛИ-НЕ с отворен колектор
34	Шест повторители
35	Шест повторители с отворен колектор
37	Четири двуходови елемента (буфера) И-НЕ
38	Четири двуходови елемента (буфера) И-НЕ с отворен колектор
39	Четири двуходови елемента (буфера) И-НЕ с отворен колектор
40	Два четиривходови елемента (буфера) И-НЕ
41	Преобразувател на двоично-десетичен код в десетичен ($U_{CCQ}=5V$)
42	Преобразувател на двоично-десетичен код в десетичен
43	Преобразувател на двоичен код с излишък три в десетичен
44	Преобразувател на код на Грей в десетичен код
45	Преобразувател на двоично-десетичен код в десетичен код с изходи с отворен колектор ($U_{CCQ}=30V$)
46	Преобразувател на двоично-десетичен в седемсегментен код
47	Преобразувател на двоично-десетичен в седемсегментен код



Фиг. 8.4. Терминиране на несиметрични линии с разпределени параметри.

В усъвършенстваните интерфейси се среща т.нар. "активно терминиране" (фиг. 8.4.г). Терминиращият резистор се поставя между сигналната линия и допълнителен източник, с напрежение $2.5 \div 3 V$. Тъй като средно 50 % от времето линията се намира в състояние на I , консумирания ток се намалява. Тази техника се използва и при терминиране на магистрала, където през повечето от оперативното време предавателите са във високоимпедансно състояние и допълнителният източник поддържа линията в "неплуващо" състояние.



Фиг. 8.5. Терминиране на симетрична линия.

48	Преобразувател на двоично-десетичен в седмесементен код
49	Преобразувател на двоично-десетичен в седмесементен код
50	Два елемента 2И-2ИЛИ-НЕ (единият с възможности за разширяване)
51	Два елемента 2И-2ИЛИ-НЕ
52	Елемент 2И-2И-2И-3И-4ИЛИ-НЕ с възможност за разширяване
53	Елемент 2И-2И-2И-2И-4ИЛИ-НЕ
54	Елемент 2И-2И-2И-2И-4ИЛИ-НЕ
55	Елемент 4И-4И-2ИЛИ-НЕ
56	Делител на честота (два на 5 и един на 2)
57	Делител на честота (на 5, 6 и 2)
60	Два триаходови разширителя
61	Три триаходови разширителя
62	3-2-2-3-входови разширителя
63	Шест токова сенсора
64	Елемент 4И-2И-3И-2И-4ИЛИ-НЕ
65	Елемент 4И-2И-3И-2И-4ИЛИ-НЕ с отворен колектор
68	Два асинхронни десетични брояча
69	Два 4-разредни асинхронни брояча
70	JK-тригер
71	JK-тригер
72	JK-тригер
73	Два JK-тригера
74	Два D-тригера
75	Четири D-тригера (паралелен регистър-памет)
76	Два JK-тригера
77	Четири D-тригера (паралелен регистър-памет)
78	Два JK-тригера
80	Едноразреден пълен суматор
81	16-битова памет RAM
82	Два разреден пълен суматор
83	4-разреден пълен суматор
84	16-битова памет RAM
85	4-разреден компаратор
86	Четири елемента Изключващо ИЛИ
87	4-разредна схема на прав и обратен код
88	256-битова памет ROM
89	64-битова памет RAM
90	Асинхронен двоично-десетичен брояч
91	8-разреден преместващ регистър
92	Асинхронен брояч до 12
93	Асинхронен брояч до 16
94	4-разреден преместващ регистър
95	4-разреден реверсиран преместващ регистър
96	5-разреден преместващ регистър
97	Синхронен програмируем 6-разреден делител на честота
98	4-разреден паралелен регистър-памет
99	4-разреден реверсивен регистър-памет
100	Осем D-тригера (паралелен регистър-памет)
101	Осем D-тригери (паралелен регистър-памет)
102	JK-тригер
103	Два JK-тригера
104	JK-тригер
105	JK-тригер
106	Два JK-тригера
107	Два JK-тригера
108	Два JK-тригера

109	Два JK-тригера
110	JK-тригер
111	Два JK-тригера
112	Два JK-тригера
113	Два JK-тригера
114	Два JK-тригера
115	Два JK-тригера
116	Два 4-разредни паралелни регистър-памет
118	Шест RS-тригера
119	Шест RS-тригера
120	Два импулсни синхронизатора
121	Чакан мультивибратор
122	Чакан мультивибратор
123	Два чакан мультивибратора
124	Два мультивибратора
125	Четири повторителя с три изходни състояния
126	Четири повторителя с три изходни състояния
128	Четири двуаходови елемента ИЛИ-НЕ
130	Четири двуаходови елемента И с отворен колектор
131	Четири двуаходови елемента И с отворен колектор
132	Четири двуаходови елемента И с отворен колектор
133	Тринадесетходови тригера на Шмит
134	Дванадесетходови логически елемент с три изходни състояния
135	Четири елемента Изключващо ИЛИ-НЕ
136	Четири елемента Изключващо ИЛИ
137	Триразреден дишифратор (3 входа-8 изхода)/демутилексор с адресируем регистър
138	Триразреден дишифратор (3 входа-8 изхода)
139	Два 2-разредни дишифратора
140	Два логически елемента ИЛИ-НЕ за товар 50 ом
141	Преобразувател на двоично-десетичен код в десетичен с високоволтови изходи (U _{CCQ} =60V)
142	Двоично-десетичен брояч, памет и преобразувател с високоволтови изходи
143	Двоично-десетичен брояч, памет, преобразувател на двоично-десетичен в седмесементен код
144	Двоично-десетичен брояч, памет, преобразувател на двоично-десетичен в седмесементен код
145	Преобразувател на двоично-десетичен код в десетичен с отворен колектор
147	Преобразувател на десетичен код в двоично-десетичен
148	3-разреден преобразувател на десетичен код в двоично-десетичен
150	16-входов мультилексор
151	8-входов мультилексор
152	8-входов мультилексор
153	Два 4-входови мультилексора
154	4-разреден дишифратор
155	Два 2-разредни дишифратора/демутилексора
156	Два двуаходови дишифратора/демутилексора с изходи с отворен колектор
157	Четири двуаходови мультилексора
158	Четири двуаходови мультилексора
159	Четири двуаходови мультилексора с изходи с отворен колектор
160	Синхронен двоично-десетичен брояч
161	Синхронен брояч до 16
162	Синхронен двоично-десетичен брояч
163	Синхронен брояч до 16
164	8-разреден преместващ регистър

165	8-разреден преместващ регистър
166	8-разреден преместващ регистър
167	Програмируем десетичен делител на честота
168	Синхронен двоично-десетичен реверсивен брояч
169	Синхронен реверсивен брояч до 16
170	16-битова памет RAM
171	Четири D-тригера
172	16-битова памет RAM с три изходни състояния
173	Четири D-тригера (паралелен регистър-памет)
174	Шест D-тригера (паралелен регистър-памет)
175	Четири D-тригера (паралелен регистър-памет)
176	Асинхронен програмируем двоично-десетичен брояч
177	Асинхронен програмируем брояч до 16
178	4-разреден преместващ регистър
179	4-разреден преместващ регистър
180	8-разредна схема за проверка на четност
181	4-разредно аритметично-логическо устройство
182	Схема за бърз пренос към 74181
183	Два едноразредни пътни суматора
184	Преобразувател на 6-битов двоично-десетичен в десетичен код
185	Преобразувател на 6-битов двоичен в двоично-десетичен код
186	512-битова памет PROM
187	1024-битова памет ROM
188	256-битова памет PROM
189	64-битова памет RAM
190	Синхронен реверсивен двоично-десетичен брояч
191	Синхронен реверсивен брояч до 16
192	Синхронен реверсивен двоично-десетичен брояч
193	Синхронен реверсивен брояч до 16
194	4-разреден реверсивен преместващ регистър
195	4-разреден реверсивен преместващ регистър
196	Асинхронен двоично-десетичен брояч
197	Асинхронен брояч до 16
198	8-разреден реверсивен преместващ регистър
199	8-разреден преместващ регистър
200	256-битова памет RAM (256X1 bit)
201	256-битова памет RAM (256X1 bit)
202	256-битова памет RAM (256X1 bit)
206	256-битова памет RAM
207	1024-битова памет RAM (256X4 bit)
208	1024-битова памет RAM (256X4 bit)
214	1024-битова памет RAM (1024X4 bit)
215	1024-битова памет RAM (1024X4 bit)
221	Два чакащи мултивибратора
222	Асинхронна памет (16X4 bit)
224	Асинхронна памет (16X4 bit)
225	Асинхронна памет (16X4 bit)
226	Универсален 4-разреден предавател за линия с памет
227	Асинхронна памет (16X4 bit) с изходи с отворен колектор
228	Асинхронна памет (16X4 bit) с изходи с отворен колектор
230	Два по четири инвертиращи/неинвертиращи предаватели за линия
231	Два по четири инвертиращи/неинвертиращи предаватели за линия
240	Осем предавателя за линия (инвертора) за линия
241	Осем предавателя за линия
242	Четири приемника за линия (инвертиращи)
243	Четири приемника за линия

244	Осем приемник-предавателя за линия
245	Осем приемник-предавателя за линия
246	Преобразувател на двоично-десетичен в десемсегментен код с изходи с отворен колектор ($U_{CCQ}=30\text{ V}$)
247	Преобразувател на двоично-десетичен код в десемсегментен код с изходи с отворен колектор ($U_{CCQ}=15\text{ V}$)
248	Преобразувател на двоично-десетичен в десемсегментен код
249	Преобразувател на двоично-десетичен в десемсегментен код с изходи с отворен колектор ($U_{CCQ}=5,5\text{ V}$)
251	Осемвходов мултиплексор с изходи с три състояния
253	Четириходов мултиплексор с изходи с три състояния
256	Два 4-разредни адресируеми паралелни регистър-памет
257	Четири двуходови мултиплексора с изходи с три състояния
258	Четири двуходови мултиплексора с инвертиращи изходи с три състояния
259	Адресируем 8-разреден преместващ регистър-памет
260	Два петходови елемента ИЛИ-НЕ
261	Умножител (2X4 bit)
265	Два инвертора и два двуходови елемента И с комплементарни изходи
266	Два елемента Изключващо ИЛИ-НЕ с отворен колектор
269	8-разреден двупосочен двоичен брояч
273	Осем D-тригера
274	Умножител (4X4 bit) с изходи с три състояния
275	7-разредна схема Wallace-Tree с изходи с отворен колектор
276	Четири JK-тригера
278	4-разреден паралелен регистър-памет със схема за приоритет
279	Четири RS-тригера
280	9-разредна схема за провирка/генератор на бит за четност
281	4-разреден акумулатор
283	4-разреден пълен суматор
284	Умножител (4X4 bit) с изходи с отворен колектор
285	Умножител (4X4 bit) с изходи с отворен колектор
287	1024-битова памет PROM (256X4 bit)
288	256-битова памет PROM (32X8 bit)
289	64-битова памет RAM с изходи с отворен колектор
290	Двоично-десетичен брояч
291	Синхронен програмируем реверсивен 4-разреден брояч/универсален преместващ регистър
292	Програмируем делител на честота/таймер
293	Брояч до 16
294	Програмируем делител на честота/таймер
295	4-разреден преместващ регистър с изходи с три състояния
297	Цифров PLL-филтър
298	Четири двуходови мултиплексора
299	8-разреден универсален преместващ регистър с три изходни състояния
320	Генератор, управляван с напрежение (VCO)
321	Генератор, управляван с напрежение (VCO) с делител на 2 и 4
322	8-разреден преместващ регистър
323	8-разреден универсален преместващ регистър
324	Мултивибратор, управляван с напрежение
325	Два мултивибратора, управлявани с напрежение
326	Два мултивибратора, управлявани с напрежение
327	Два мултивибратора, управлявани с напрежение
347	Преобразувател на двоично-десетичен в десемсегментен код с изходи с отворен колектор ($U_{CCQ}=7\text{ V}$)
348	3-разреден преобразувател на десетичен код в двоично-десетичен код

350	4-разредна схема за преместване с изходи с три състояния
351	Два 8-входови мултиплексора с инвертиращ изход с три състояния
352	Два 4-входови мултиплексора с инвертиращи изходи
353	Два 4-входови мултиплексора с инвертиращи изходи с три състояния
354	8-входов мултиплексор с входен регистър
355	8-входов мултиплексор с входен регистър с изходи с отворен колектор
356	8-входов мултиплексор с входен регистър
357	8-входов мултиплексор с входен регистър с изходи с отворен колектор
358	8-входов мултиплексор с входен регистър и изходи с три състояния
359	Осем D-тригера с три изходни състояния
360	Шест буфера-повторители с общ разрешаващ вход
361	Шест буфера-повторители с общ разрешаващ вход
362	Шест буфера-повторители
363	Шест буфера-инвертора
364	8-разреден паралелен регистър-памет с три изходни състояния
365	Четири D-тригера
366	4-разреден JK-регистър
367	Осем D-тригера (паралелен регистър-памет)
368	Четири D-тригера (паралелен регистър-памет)
369	Четири D-тригера (паралелен регистър-памет)
370	4-разредно аритметично-логическо устройство, функционален генератор
371	4-разредно аритметично-логическо устройство с последователен пренос
372	8-входов мултиплексор
373	Четири суматора/схема за изваждане
374	Четири елемента Изключващо ИЛИ
375	Два двоично-десетични брояча
376	Два брояча до 16
377	4-разреден преместващ регистър с изходи с три състояния
378	8-разреден регистър с 2 четириразредни последователни входа
379	4-разреден паралелен регистър-памет с по два входа
380	4-разреден паралелен регистър-памет с по два входа
381	8-разреден паралелен регистър-памет с буфери
382	Чакан мултивибратор
383	Два чакани мултивибратора
384	Четири повторителя с три изходни състояния
385	Четири повторителя с три изходни състояния
386	Четири повторителя с три изходни състояния
387	Четири инвертиращи предавателя за памет
388	Четири инвертиращи предавателя за памет
389	Четири инвертиращи предавателя за линия с изходи с отворен колектор
390	Четири инвертиращи предавателя за линия с изходи с отворен колектор
391	Четири инвертиращи предавателя за линия
392	Четири инвертиращи предавателя за линия
393	Четири инвертиращи/неинвертиращи предавателя за линия
394	Преобразувател на двоично-десетичен код в десетичен с изходи с отворен колектор
395	Четири неинвертиращи предавателя за линия с управление на направление
396	Преобразувател на двоично-десетичен код в десетичен с изходи с отворен колектор ($U_{CCQ}=7V$)
397	Четири инвертиращи/неинвертиращи предавателя за линия с отворен колектор
398	Четири инвертиращи предавателя за линия с управление на направление
399	Осем инвертиращи предавателя за линия с контрол по четност
400	Осем инвертиращи предавателя за линия с контрол по четност
401	Осем неинвертиращи предавателя за линия
402	Осем неинвертиращи предавателя за линия

403	Осем повторители с три изходни състояния
404	Осем повторители с три изходни състояния
405	4096-битова памет ROM (512X8 bit)
406	Два двоично-десетични брояча
407	8-разреден компаратор с изходи с отворен колектор
408	8-разреден компаратор с изходи с отворен колектор
409	8-разреден компаратор
410	8-разреден компаратор
411	8-разреден компаратор с изходи с отворен колектор
412	8-разреден регистър-компаратор с изходи с отворен колектор
413	16-разреден програмируем компаратор
414	12-разреден програмируем компаратор
415	12-разреден програмируем компаратор
416	8-разреден паралелен регистър-памет
417	8 D-тригера
418	8-разреден паралелен регистър-памет с инвертирани изходи
419	8 D-тригера с инвертиращи изходи
420	Десетичен дешифратор с три изходни състояния
421	8-разреден дешифратор (3 входа-8 изхода) с три изходни състояния
422	Два двуразредни дешифратора (2 входа-4 изхода) с три изходни състояния
423	Осем инвертиращи предавателя за линия
424	Осем неинвертиращи предавателя за линия
425	8-разреден регистър - предавател за линия с три изходни състояния
426	8-разреден инвертиращ регистър - предавател за линия с три изходни състояния
427	8-разреден приемно-предавател за линия с три изходни състояния
428	Осмилен дешифратор със запомнящ регистър за адресите и потвърждение
429	Осмилен дешифратор с потвърждение
430	8-разреден регистър - предавател за линия с флаг за състоянието и три изходни състояния
431	8-разреден инвертиращ регистър - предавател за линия с флаг за състоянието и три изходни състояния
432	8-разреден регистър - предавател за линия с флаг за състоянието, контрол по четност и три изходни състояния
433	Синхронен двоично-десетичен брояч с изходи с три състояния
434	Синхронен двоично-десетичен брояч с изходи с три състояния
435	8-разреден паралелен регистър-памет с инвертиращи изходи
436	8 D-тригера с инвертиращи изходи
437	Синхронен реверсивен двоично-десетичен брояч с изходи с три състояния
438	Синхронен реверсивен 4-разреден двоичен брояч с изходи с три състояния
439	4X4-разреден регистър с изходи с три състояния
440	8-разреден паралелен регистър-памет с неинвертиращи изходи
441	Осем D-тригера с неинвертиращи изходи
442	Осем D-тригера с неинвертиращи изходи
443	Осем D-тригера с инвертиращи изходи
444	Осем D-тригера с инвертиращи изходи
445	8-разреден реверсивен брояч с изходи с три състояния
446	8-разреден паралелен регистър-памет с инвертиращи изходи
447	4-разредно аритметично-логическо устройство за двоично-десетичен код
448	4-разреден двоично-десетичен суматор
449	8-разреден двоичен брояч с изходен регистър
450	8-разреден двоичен брояч с изходен регистър с изходи с отворен колектор
451	8-разреден двоичен брояч с изходен регистър
452	8-разреден двоичен брояч с входен регистър
453	8-разреден двоичен брояч с входен регистър
454	8-разреден преместващ регистър с изходен регистър

СПИСК НА ИНТЕГРАЛНИТЕ СХЕМИ ОТ СЕРИЯ 4000

№	Функция
4000	Два триходови елемента ИЛИ-НЕ и един инвертор
4001	Четири двуходови логически елемента ИЛИ-НЕ
4002	Два четиривходови логически елемента ИЛИ-НЕ
4003	Два D-тригера
4006	18-разреден преместващ регистър (статичен)
4007	Два CMOS транзистора и един инвертор
4008	4-разреден пълен суматор
4009	Шест инвертора
4010	Шест повторителя
4011	Четири двуходови логически елемента И-НЕ
4012	Два четиривходови логически елемента И-НЕ
4013	Два D-тригера
4014	8-разреден преместващ регистър
4015	Два 4-разредни преместващи регистъра
4016	Четири аналогови ключа
4017	5-разреден брояч на Джонсън (брояч до 10)
4018	3-разреден брояч на Джонсън с паралелни входове
4019	Четири двуходови мултиплексора
4020	14-разреден двоичен брояч
4021	8-разреден преместващ регистър
4022	8-разреден брояч на Джонсън с дешифратор
4023	Три триходови логически елемента И-НЕ
4024	7-разреден двоичен брояч
4025	Три триходови логически елемента ИЛИ-НЕ
4026	Десетичен брояч (5-разреден брояч на Джонсън) с преобразувател в седемсегментен код
4027	Два JK-тригера
4028	Преобразувател на двоично-десетичен код в десетичен
4029	Синхронен реверсивен двоичен/двоично-десетичен брояч
4030	Четири логически елемента изключващо ИЛИ
4031	64-разреден преместващ регистър
4032	3-разреден последователен суматор (с положителна логика)
4033	Двоично-десетичен брояч (5-разреден на Джонсън) с преобразувател в седемсегментен код
4034	8-разреден универсален регистър
4035	4-разреден универсален преместващ регистър
4037	Три И/ИЛИ бифазни двойки
4038	3-разреден последователен суматор (с отрицателна логика)
4040	12-разреден двоичен брояч
4041	Четири буфера с прав и инверсен изход
4042	Четири D-тригера (паралелен регистър-памет)
4043	Четири RS-тригера с три изходни състояния
4044	Четири RS-тригера с три изходни състояния
4045	21-разреден двоичен брояч
4046	PLL-схема
4047	Чакан мултивибратор
4048	Разширяем 8-входов логически елемент (за 8 логически функции)
4049	Шест буфера (инвертора)

823	9-битов магистрален регистър с изходи с три състояния
824	9-битов магистрален регистър с инверсни изходи с три състояния
825	8-битов магистрален регистър с изходи с три състояния
826	8-битов магистрален регистър с инверсни изходи с три състояния
827	10-битов буфер/предавател с изходи с три състояния
828	10-битов буфер/предавател с инверсни изходи с три състояния
832	Шест двуходови елемента-буфера ИЛИ
838	Микропрограмен контролер
841	10-битов магистрален регистър с изходи с три състояния
842	10-битов магистрален регистър с инверсни изходи с три състояния
843	9-битов магистрален регистър с изходи с три състояния
844	9-битов магистрален регистър с инверсни изходи с три състояния
845	8-битов магистрален регистър с изходи с три състояния
846	8-битов магистрален регистър с инверсни изходи с три състояния
857	Шест двуходови мултиплексора
861	10-битов магистрален предавател с изходи с три състояния
862	10-битов магистрален предавател с инверсни изходи с три състояния
863	9-битов магистрален предавател с изходи с три състояния
864	9-битов магистрален предавател с инверсни изходи с три състояния
866	8-разреден изравнител по големина с изходи с отворен колектор
867	8-разреден синхронен реверсивен брояч
869	8-разреден синхронен реверсивен брояч
870	Два 16x4 регистъра
871	Два 16x4 регистъра
873	Два 4-разредни паралелни регистър-памети
874	Два по четири D-тригера
876	Два по четири D-тригера с инвертиращи изходи
877	8-разреден универсален предавател
878	Два по четири D-тригера
879	Два по четири D-тригера с инвертиращи изходи
880	Два по четири D-тригера с инвертиращи изходи
881	4-разредно аритметично устройство/функционален генератор
882	32-разредна схема за пренос
885	8-разреден изравнител по големина
940	Осем повторителя/буфера с изходи с три състояния
941	Осем повторителя/буфера с изходи с три състояния

4050	Шест буфера (повторители)
4051	8-входов аналогови мултиплексор
4052	Два 4-входов аналогови мултиплексора
4053	Три двуходови аналогови мултиплексора
4054	Схема за управление на индикатор с течни кристали
4055	Схема за управление на индикатор с течни кристали
4056	Схема за управление на индикатор с течни кристали
4057	4-разредна аритметично-логическа схема
4058	Синхронен програмируем брояч (от 3 до 9999 или 150999)
4059	14-разреден реверсивен двоичен брояч и осцилатор
4060	200-разреден динамичен преместващ регистър
4061	4-разреден двоичен компаратор
4062	Четири аналогови ключа
4063	16-входов аналогов мултиплексор
4064	8-ходова схема И-НЕ
4065	Шест инвертора
4066	Четири елемента ИЗКЛЮЧАЩО ИЛИ
4067	Четири 2-ходови елемента ИЛИ
4068	Два 4-ходови елемента ИЛИ
4069	Три 3-ходови елемента И
4070	Три 3-ходови елемента ИЛИ
4071	Четворен D-тип регистър
4072	Четири елемента ИЗКЛЮЧАЩО ИЛИ
4073	3-ходов елемент ИЛИ-НЕ
4074	Четири 2-ходови елемента И
4075	Два 4-ходови елемента И
4076	Два елемента И-ИЛИ-НЕ с по четири входа и един вход за забрана
4077	Елемент И-ИЛИ-НЕ с четири входа, вход за забрана и вход за разрешаване
4078	Двоичен четиривходов умножител
4079	Четири 2-ходови елемента И-НЕ с триггер на Шмит
4080	Четири 2-ходови елемента И-НЕ с триггер на Шмит
4081	JK-триггер с три J и три K входа
4082	JK-триггер (управляващ - управляван)
4083	Два разредни мултиплексора/демултиплексора (осем входа - един изход)
4084	Два прецизни чакащи мултиплексора
4085	8-разреден адресируем регистър
4086	Четири TTL-CMOS преобразуватели на ниво с комплементарни изходи и общ вход за разрешаване
4087	Шест инвертора с триггери на Шмит
4088	Синхронен двоично-десетичен брояч с асинхронно нулиране
4089	Синхронен двоичен брояч до 16 с асинхронно нулиране
4090	Синхронен двоично-десетичен брояч със синхронно нулиране
4091	Синхронен двоичен брояч до 16 със синхронно нулиране
4092	Четири D-триггера (паралелен регистър-памет)
4093	Шест D-триггера (паралелен регистър-памет)
4094	Синхронен програмируем четиривходов двоичен брояч
4095	4-разреден универсален преместващ регистър
4096	Четири двуходови логически елемента ИЛИ-НЕ
4097	Елемент И-ИЛИ-НЕ с 2 x 2, 3 и 4 входа
4098	Елемент И-ИЛИ-НЕ с 1, 2 и 2 x 4 входа
4099	Шест инвертора с триггер на Шмит
4100	Преобразувател от двоично-десетичен в семисегментен код
4101	Шест инвертора
4102	16-входов мултиплексор с изход с високоимпедансно състояние
4103	Два 8-ходови мултиплексор с изходи с високоимпедансно състояние

4360	Синхронен програмируем десетичен брояч с асинхронно нулиране
4361	Синхронен програмируем четиривходов двоичен брояч с асинхронно нулиране
4362	Синхронен програмируем десетичен брояч със синхронно нулиране
4363	Синхронен програмируем четиривходов двоичен брояч със синхронно нулиране
4364	Преобразувател на двоично-десетичен код в семисегментен с регистър-памет
4365	Четири D-триггера с нулиране и комплементарни изходи
4366	PCM кодек-филтър
4367	PCM кодек-филтър
4368	PCM кодек-филтър
4369	Импулсно кодов модулатор-демодулатор
4370	Импулсно кодов модулатор-демодулатор
4371	Импулсно кодов модулатор-демодулатор
4372	Преобразувател от двоични в телефонни импулси
4373	Преобразувател от двоични в телефонни импулси
4374	2 от 8 тонален шифратор
4375	Генератор на честоти за серийен обмен на информация
4376	Универсален нискоскоростен модем
4377	PCM филтър
4378	PCM филтър
4379	Четворен прецизен таймер-драйвер
4380	PCM таймер
4381	PCM таймер
4382	PCM таймер
4383	Клавиатурен шифратор 2 по 8 матрица в двоичен код
4384	Десетичен брояч (5-разреден брояч на Джонсън) с преобразувател в семисегментен код
4385	Преобразувател на двоичен в осмичен код (дешифратор)
4386	AHP с управление на 3+1/2 цифрови индикатори
4387	Четири инвертора
4388	8-канален аналогово-цифров преобразувател
4389	21-разреден двоичен брояч
4390	8-канален аналогово-цифров преобразувател
4391	Шест буфера (инвертора)
4392	Предваден буфер
4393	Присмен буфер
4394	Процесор за управление на скорост
4395	Адресируем асинхронен предавател/приемник
4396	Шест преминава от механични контакти
4397	Преобразувател от двоично-десетичен код в семисегментен с регистър-памет
4398	Промислен контролер
4399	Комбиниционни логически вентили
4400	Шест стробируеми инвертора/буфери
4401	Шест буфера с високоимпедансно състояние
4402	Шест преобразуватели на ниво от TTL в CMOS
4403	Двоен разширител
4404	Четири логически елемента изключващо ИЛИ
4405	Два регистъра с по 4 D-триггера с три изходни състояния
4406	Двоично-десетичен реверсивен брояч
4407	Преобразувател от двоично-десетичен код в семисегментен с регистър-памет
4408	8-канален мултиплексор
4409	Преобразувател от двоично-десетичен код в семисегментен с регистър-памет
4410	4 към 16 декодер с регистър-памет
4411	4 към 16 декодер с регистър-памет
4412	Двоичен реверсивен брояч
4413	Два 64-битови преместващи регистъра
4414	Два двоично-десетични брояча

4519	4-битов И/ИЛИ селектор
4520	Два двоични брояча
4521	24-разреден честотен делител
4522	Програмируем двоично-десетичен делител/брояч
4526	Програмируем двоичен делител/брояч
4527	Двоично-десетичен делител
4528	Два чакани мултивибратора
4529	Два четириканални мултиплексора
4530	Две 5-входови мажоритарни логически схеми
4531	12-битов генератор на контрол по четност
4532	8-битов приоритетен шифратор
4534	5-декаден брояч
4536	Програмируем таймер
4537	256 x 1 бит статична RAM
4538	Два прецизни чакани мултивибратора
4539	Два четириканални мултиплексора
4541	Програмируем осцилатор-таймер
4543	Преобразувател от двоично-десетичен код в седемсегментен с регистър-памет
4544	Преобразувател от двоично-десетичен код в седемсегментен с регистър-памет
4547	Преобразувател от двоично-десетичен код в седемсегментен с регистър-памет
4548	Два прецизни чакани мултивибратора
4549	Регистър за последователно приближение
4551	Четири 2-канални аналогови мултиплексора
4552	64 x 4 бита статична RAM
4553	3-декаден двоично-десетичен брояч
4554	2 x 2 бита паралелен двоичен умножител
4555	Два двоични дишифратора 1 от 4
4556	Два двоични дишифратора 1 от 4
4557	От 1 до 64 бита преместващ регистър с променлива дължина
4558	Преобразувател от двоично-десетичен код в седемсегментен
4559	Регистър за последователно приближение
4560	Двоично-десетичен суматор
4561	Схема за изработване на допълнение
4562	128-битов статичен преместващ регистър
4566	Индустриален генератор на база време
4568	Фазов компаратор с програмируем брояч
4569	Два програмируеми двоично-десетични и двоичен брояча
4570	Четири 2-входови елемента ИЛИ
4571	Четири 2-входови елемента И
4572	Шест буфера
4573	Четири програмируеми операционни усилватели
4574	Четири програмируеми компаратора
4575	Програмируеми два операционни усилватели и два компаратора
4580	4 x 4 многовходов регистър
4581	4-битово аритметично-логическо устройство
4582	Блок за изработване на ускорен пренос
4583	Два тригера на Шмит
4584	Шест тригера на Шмит
4585	4-битов магнитуден компаратор
4587	8-битов магистрален брояч/регистър
4598	8-битов магистрален адресируем регистър
4599	8-битов адресируем регистър
4601	Четири двуходови логически елемента ИЛИ-НЕ
4602	Два четириходови логически елемента ИЛИ-НЕ
4606	18-разреден преместващ регистър (статичен)
4607	Два CMOS транзистора и един инвертор

4609	Шест инвертора
4610	Шест повторителя
4611	Четири двуходови логически елемента И-НЕ
4612	Два четириходови логически елемента И-НЕ
4613	Два D-тригера
4614	8-разреден преместващ регистър
4615	Два 4-разредни преместващи регистъра
4616	Четири аналогови ключа
4617	5-разреден брояч на Джонсън (брояч до 10)
4618	5-разреден брояч на Джонсън с паралелни входи
4619	Четири двуходови мултиплексора
4620	14-разреден двоичен брояч
4621	8-разреден преместващ регистър
4622	8-разреден брояч на Джонсън с дешифратор
4623	Три тривходови логически елемента И-НЕ
4624	7-разреден двоичен брояч
4625	Три тривходови логически елемента ИЛИ-НЕ
4626	Десетичен брояч (5-разреден брояч на Джонсън) с преобразувател в седемсегментен код
4627	Два JK-тригера
4628	Преобразувател на двоично-десетичен код в десетичен
4630	Четири логически елемента изключващо ИЛИ
4631	64-разреден преместващ регистър
4635	4-разреден универсален преместващ регистър
4642	Четири D-тригера (паралелен регистър-памет)
4649	Шест буфера (инвертори)
4650	Шест буфера (повторители)
4722	Генератор (свободно генериращ) и осемстъпален брояч на изваждане
4723	Два адресируеми 4-разредни регистъра с входи за разрешение и нулиране
4724	8-разреден адресируем регистър с входи за разрешение и нулиране
4727	Седемстъпален двоичен брояч
4731	Четири 64-разредни преместващи регистри с презаписване
4734	Преобразувател на двоично-десетичен код
4737	4 1/2 двоично-десетичен брояч
4753	Брояч с програмируем коефициент на броење от 1 до 4096

1. Белянов К., С. Сребрев, И. Обретенов. Сборник приложни схеми от цифровата електроника. София, Техника, 1979.
3. Димитрова М. И. Ванков. Импулсни схеми и устройства — в 2 тома. София, Техника, 1987.
4. Димитрова М., И. Ванков. CMOS интегрални схеми — в 2 тома. София, Техника, 1988.
6. Иганов Р., В. Златаров, Г. Михов. Приложение на микропроцесорни системи в електронни устройства. София, Техника, 1984.
7. Каслов К. Импулсни и цифрови схеми с интегрални TTL елементи. София, Техника, 1988.
5. Михов, Г. Цифрова схемотехника. Технически университет — София, 1997.
8. Саслоф С. Приложение на аналогови интегрални схеми. София, Техника, 1990.
9. Татце У., К. Шенк. Полупроводниковая схемотехника. Москва, Мир, 1982.
10. Токхейм Р. Основы цифровой электроники. М., Мир, 1988.
12. Зоровиц П., У. Хилл. Искусство схемотехники — в 3-х томах. Москва, Мир, 1992.
15. Ясен Й. Курс цифровой электроники — в 4-х томах. Москва, Мир, 1987.
16. Anglada R., A. Rubio. A Digital Differential-Line Receiver for CMOS VLSI Circuits. IEEE Transaction on circuits and systems, vol. 38, No. 6 June 1991.
17. Bursky D. A Tidal Wave Of 3-V ICs Up Many Options. Electronic Design, August 20, 1992.
18. CMOS Commodity Logic ICs — New pinouts for ACL ICs. Philips, 1988.
18. Floyd, T. Digital Fundamentals. New York, Macmillan Publishing Company, 1990.
19. Integrated circuits, Book IC15 — FAST TTL Logic series. Philips, 1988.
22. Perna S. ABT enables optimal system design. Dallas, Texas Instruments, 1993.
23. Programmable Logic Design Guide. National Semiconductor Corp. 1985.

ЦИФРОВА СХЕМОТЕХНИКА

Ръководство за семинарни упражнения

Семинарно упражнение No 1. Особености при работа с TTL схеми.....	3
Семинарно упражнение No 2. Особености при работа със CMOS схеми.....	13
Семинарно упражнение No 3. Работа с комбинационна програмируема матрична логика (PAL).....	23
Семинарно упражнение No 4. Последователностни логически схеми.....	37
Семинарно упражнение No 5. Приложение на формирователни и релаксационни схеми.....	47
Семинарно упражнение No 6. Приложение на аналогово-цифров преобразувател.....	55
Семинарно упражнение No 7. Приложение на вериги за фазово автоматично поддържане на честотата.....	67
Семинарно упражнение No 8. Съгласуване на линии с разпределени параметри при предаване на цифрови сигнали.....	75
Приложение А. Списък на интегралните схеми от серия 54/74	79
Приложение Б. Списък на интегралните схеми от серия 4000.....	89
ЛИТЕРАТУРА.....	94
СЪДЪРЖАНИЕ	