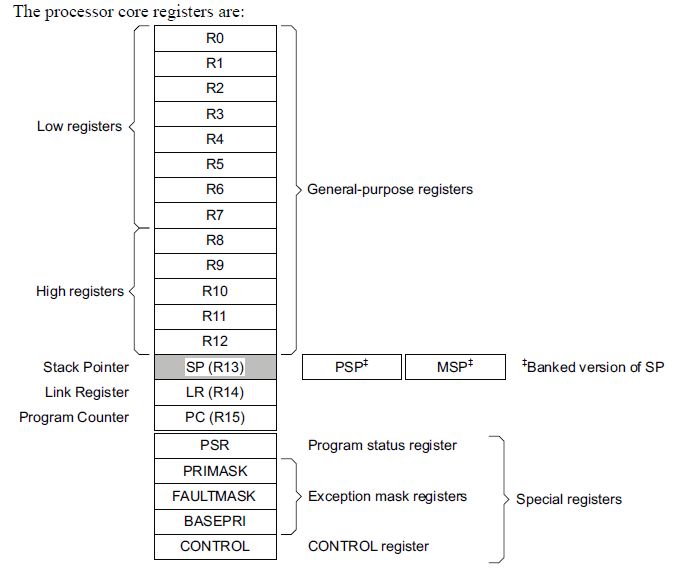
Процесорът **Cortex-M3** е базиран на ARMv7-M архитектура и има йерархична структура. Тя включва централно процесорно ядро наречено CM3-core с подобрени периферни у-ва, които позволяват още възможности като: контрол на прекъсването, защита на паметта и с-ма за следене и отстраняване на грешки. Тези периферни у-ва са лесно конфигурируеми и позволяват процесора Cortex-M3 да адресира приложения в широк обхват, които да бъдат в съотвтствия с изискванията към с-мата. Ядрото Cortex-M3 и включените компоненти са специално проектирани за минимално заета памет, намален брой пинове и ниска консумация. Централното ядро е базирано на харвадска архитектура характеризираща се с различни шини за инструкции и данни. Процесорът се различава от фон Ноймановата архитектура на която е базирана ARM7 фамилията по това, че там се използва една и съща сигнална шина и памет за инструкции и данни. Процесорът Cortex-M3 е в състояние да чете инструкции и данни едновременно, може да извършва много операции паралелно, както и да ускори тяхното изпълнение. Ядрото има 3 нива на обработка на процесите: **Инструкции Извикване, Инструкции Декодиране, Инструкции Изпълнение.** Ядрото съдържа декодер за традиционните Thumb и по-новите Thumb-2 инструкции, с подобрено ALU с поддържане на хардуерно умножение, деление управляваща логика и интерфейси към другите компоненти на процесора. Процесорът е 32-битов с 32-битовa шина за данни, набор от регистри и интерфейс за памет. Има 13 основни регистъра, 2 стека указатели, програмен брояч, Link регистър и набор от спец. регистри включително и регистър за състоянието. Процесорът поддържа 2 режима на работa – **Thread** и **Handler**, две нива на достъп на кода – **привилегирован и непривилегирован**. Thread режима е типичен режим на работа и поддържа двата кода (привилег. и непривилег.). Handler режима се включва, когато възниква изключение и всички кодове са привилег. по време на този режим. **Стекове :** Този процесори използват напълно намаляващ стек .Това означава ,честекпойнтерапоказвапоследниястекнателементотпаметтанастека. Когатопроцесоравкарановелемент в стека ,стекпойнтерасенамалява и тогавасезаписваелемента в новоместоположение в паметта.Процесораизпълнявадвастека: main stack и process stack , с независимикопиянастекпойнтера . В Thread mode ,контролрегистърауказвадалипроцесорадаизползва main stack или process stack . В Handler mode ,процесоравинагиизползва main stack.

* **Регистринаядрото**



* Регистризаобщаупотреба

R0-R12 са 32-bit регистризаоперации с информация

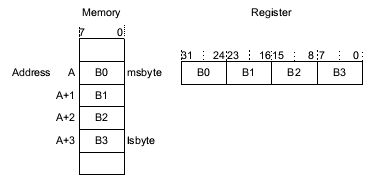
* Стекпойнтер (SP) е регистър R13
* Линкрегистър (LR) е регистър R14. Тойсъхранявавърнататаинформациязаподпрограми ,извиквания , и изключения. При reset, стойносттана LR е неясна
* Програменброяч (PC) e регистър R15. Тойсъдържатекущияпрограменадрес. Приreset ,процесоразарежда PC съсстойносттана reset векторанаадрес 0х00000004.
* **Типоведанни**

Процесораподдържаследнитетиповеданни

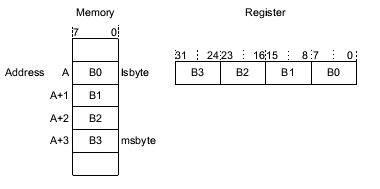
* 32bit думи
* 16bit полу-думи
* 8bit байтове

асъщотакауправлявацелиятдостъпдопаметтачрез little-endian или big-endian , в зависимостотизпълнениетонаустройството. Паметтазаинструкциитеи *Private Peripheral Bus (PPB)* достъпа, винагиса little-endian.

Big-endian формат : в тозиформат , процесорасъхраняванай-значимиятбайт (msbyte) отдуматаприбайта с най-малъкномер, а най-маловажниятбайт (lsbyte) прибайта с най-голямномер.



Little-endian формат: в тозиформат ,процесорасъхраняваlsbyteотдуматаприбайта с най-малъкномер , а msbyteприбайта с най-голямномер.



**Cortex-M3 периферни у-ва:**

NVIC –това е вграден контролер на прекъсвания, който поддържа ниско време на прекъсване.

* SCB (System Control Block) е програмен модел интерфейс към процесора. Той осигурява системно изпълнение и контрол, включително конфигуриране и докладване за системни изключения
* System timer - 24-битов обратен брояч. Използвайки това като Real Time Operating System; Tick Timer или като обикновен брояч
* Memory Protection Unit (MPU) - Подобрява надежността на с-мата като дефинира паметта за различните области.

