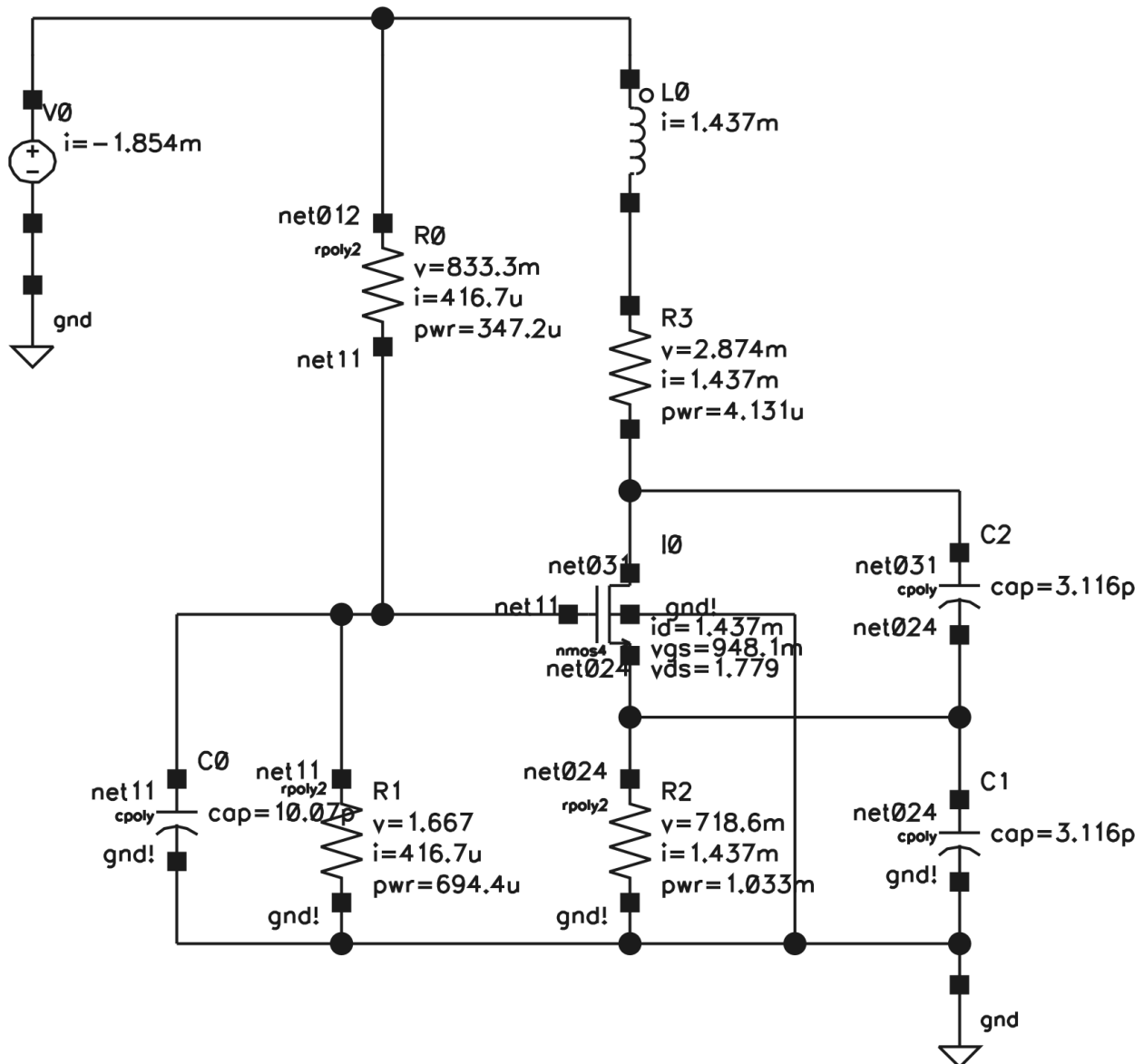


Упражнение № 6

Проектиране на клетка

1. Въвеждане на схема.

Въвежда се електрическата схема показана на фиг. 1. В нея бобината L0, резисторът R2, захранващият източник V0 и земята са идеални елементи и се взимат от библиотеката **analogLib**. Резисторът R2 замества серийното съпротивление на бобината (вж. упражнение № 2). Всички останали елементи са реални и се намират в библиотеката **PRIMLIB**: резисторите са **rpoly2**, транзисторът е **nmos4**, а кондензаторите – **cpoly**.



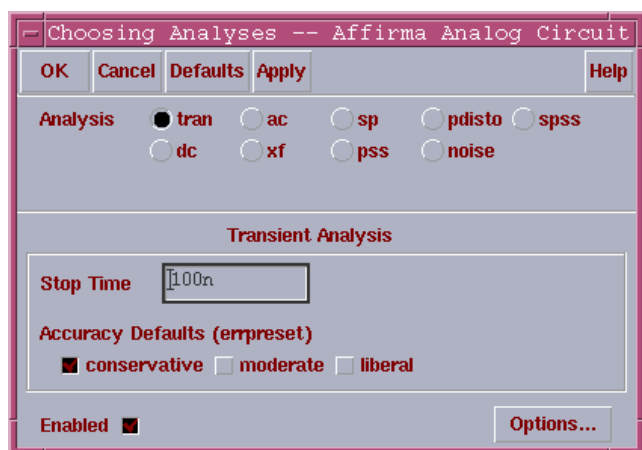
Фиг. 1. Схема на генератор на Колпитц – постояннотокова работна точка



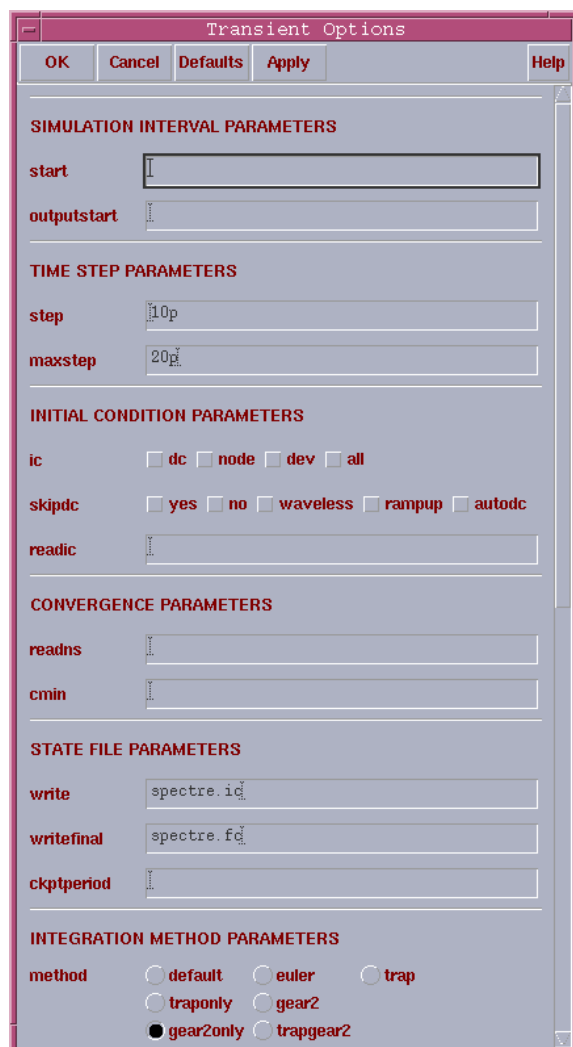
Имената на елементите, използвани в схемата, стойностите на техните параметри и библиотеката, в която се намират са показани в таблица 1:

Таблица 1.

Библиотека	Име на елемент	Стойности на параметрите
analogLib	V0	Vdc=2.5V
PRIMLIB	nmos4	W=100um, number of gates=10
PRIMLIB	R3	2k Ω
PRIMLIB	R1	4k Ω
PRIMLIB	R0	500 Ω
PRIMLIB	C1	3.12pF
PRIMLIB	C2	3.12pF
PRIMLIB	C3	10pF
analogLib	L	5.83nH
analogLib	R _L (R2)	2 Ω



Фиг. 2. Прозорец за задаване на времеви анализ



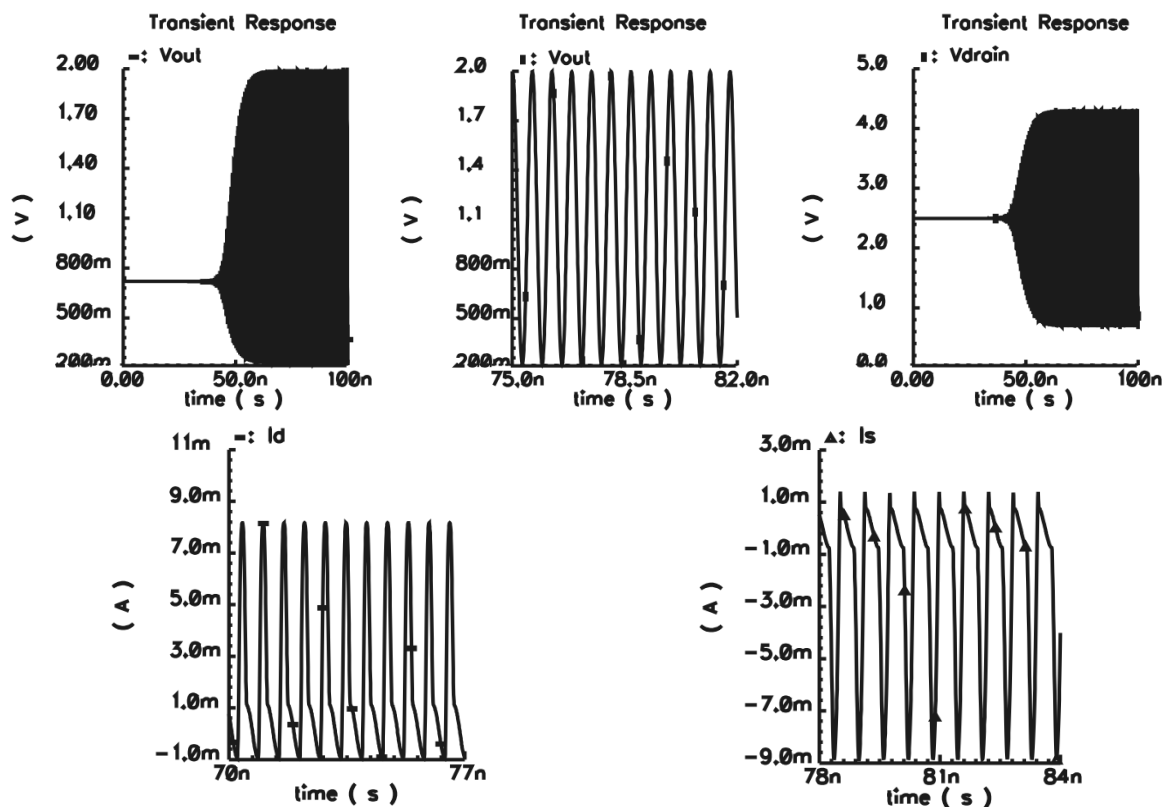
Фиг. 3. Задаване на допълнителни опции на времевия анализ

2. Анализ на схемата.

За проверка на работоспособността на въведената схема се използват постояннотоков анализ на работна точка и времеви анализ. Задаването на анализите става като от менюто на схемния редактор се избира **Analog Environment**. Отваря се прозорецът на средата за симулиране. От него се избира командата **Analyses** \Rightarrow **Choose** и се задават съответно постояннотоковият анализ на работна точка (**dc** \Rightarrow **Save DC Operating Point**) и времеви (**tran**). За времевия анализ се задава **Stop Time**, т.е. край на интервала от време, за което ще се извършва симулацията (фиг. 2). То трябва да е достатъчно, за да може генераторът да започне работа и да достигне установен режим. Задават се и някои допълнителни опции на времевия анализ (фиг. 3). Избира се стъпка (**step**), максимална стъпка (**maxstep**) и интеграционен метод (**integration method**), така че да се изпълнят условията за сходимост и да се улесни работата на симулатора.

След като симулацията приключи се извеждат резултатите за:

- 1) Постояннотоковата работна точка (фиг. 1);
Използва се командата **Results** \Rightarrow **Annotate** \Rightarrow **DC Operating Points**.
- 2) Времеви анализ – визуализират се резултатите за токовете и напреженията в дрейна и сорса на транзистора (фиг. 4).
Командата е **Results** \Rightarrow **Direct Plot** \Rightarrow **Transient Signal**.



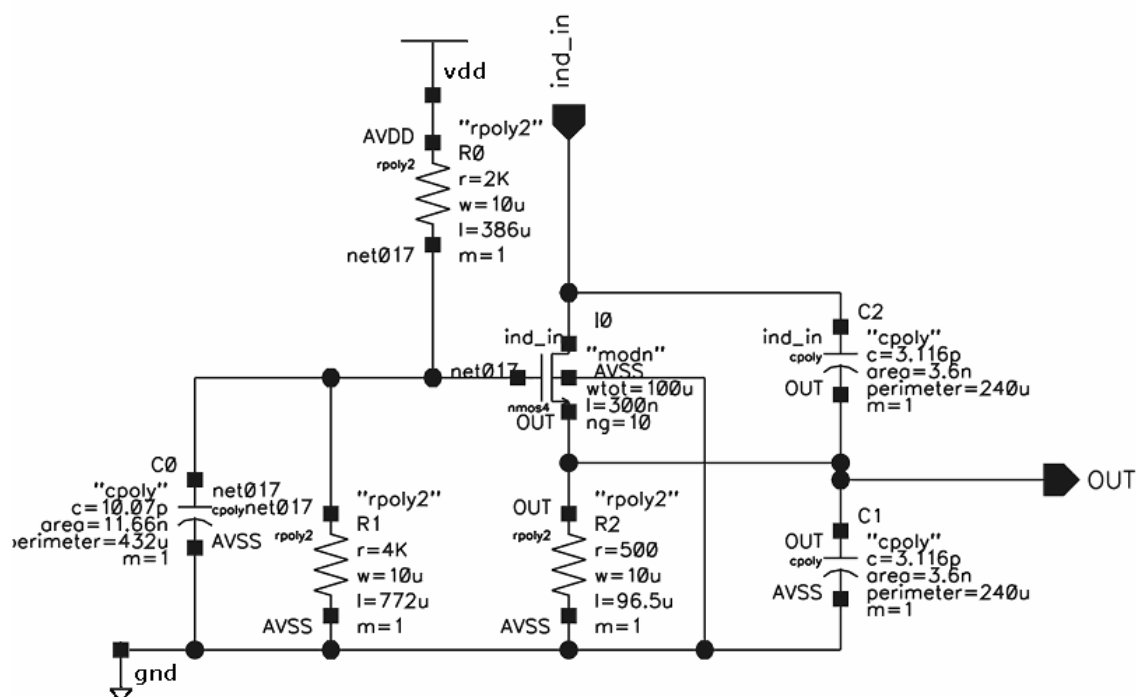
Фиг. 4. Резултати от времевия анализ

3. Подготовка на схемата за създаване на топология.

Преди да се премине към създаване на топология е необходимо да се подготви схемата. Копира се схемата от фиг. 1 в нова клетка от библиотеката, в която се работи. За да се създаде топология, всички елементи в схемата трябва да принадлежат на библиотеката, обвързана с даден технологичен процес. В случая това е библиотеката **PRIMLIB**, която съдържа реалните елементи за 0.35 μ m CMOS технология на AMS. Идеалните елементи в схемата са бобината, резисторът, който моделира нейното серийно съпротивление, захранващият източник и земята. Всички тези елементи нямат топологично представяне (**layout**) и трябва да се премахнат преди да се прехвърли схемата в топологичния редактор. Разбира се, тези елементи са необходими, за да работи схемата и те ще се добавят външно при симулиране на работата на схемата след създаването на топология (при ресимулация).

Генераторът на Колпитц ще се проектира като стандартна клетка. Следователно, след като се премахнат всички идеални елементи, трябва да се добавят пинове, които ще представляват изходите на схемата. Така създадената клетка може да се използва като градивен елемент в схеми на по-високо йерархично ниво. Когато се проектира чип, вместо пинове се слагат периферни клетки (входно-изходни и захранващи).

Подготвената за топологично проектиране схема е показана на фиг. 5. Добавени са пинове за изход, свързване на външна бобина и захранване.



Фиг. 5. Схема на генератор на Колпитц, подготвена за топологично проектиране

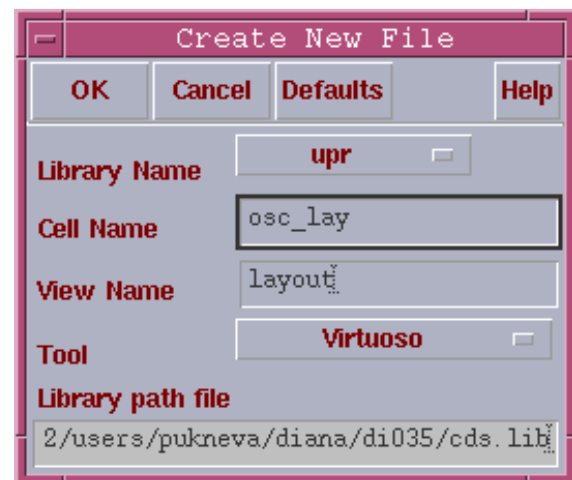
За да може да се направи ресимулация на схема, е необходимо тя да има символно представяне. Затова се прави символ на схемата (вж. упражнение № 4). Създава се нова клетка, която съдържа този символ и всички останали идеални елементи, за да се провери още веднъж функционалността на схемата след направените промени.

4. Създаване на топология.

- 1) Прехвърляне на елементите от схематично представяне в топологично.

За създаване на топология се използва схемата от фиг. 5. От менюто на схемния редактор се избира командата **Tools** ⇒ **Design Synthesis** ⇒ **Layout XL**.

Отваря се меню за създаване на нов файл с модула на **CADENCE Virtuoso XL**. Полето за име на файл е попълнено автоматично (фиг. 6). Проверява се дали зададеният модул е **Virtuoso** и се натиска бутонът **OK**. Отваря се прозорецът на **Virtuoso XL**. В него се избира командата **Design** ⇒ **Gen from source**.



Фиг. 6. Форма за създаване на ново топологично представяне

Появява се формата **Layout Generation**. Задават се размерите на пиновете и слоят, който ще се използва за тях в топологията. Формата е попълнена с параметри по подразбиране (например на пиновете е зададен минимално допустимият размер за технологията и слой **MET1 pn**). Може да се използват наготово зададените параметри или те да се редактират. След това се натиска бутонът **OK**. Всички елементи от схемата се появяват в прозореца на топологичния редактор. Виждат се само очертанията на елементите. За да се визуализират всички слоеве, се натискат едновременно бутони **Shift** и **f** от клавиатурата.

Със стартирането на **Virtuoso XL** се отваря и един допълнителен прозорец – **LSW (Layer Selection Window)**. В него са показани всички слоеве, които могат да се използват при създаването на топология. Има възможност да се включват или изключват слоеве от зададения списък. Използва се командата **Edit** ⇒ **Set Valid Layers**.

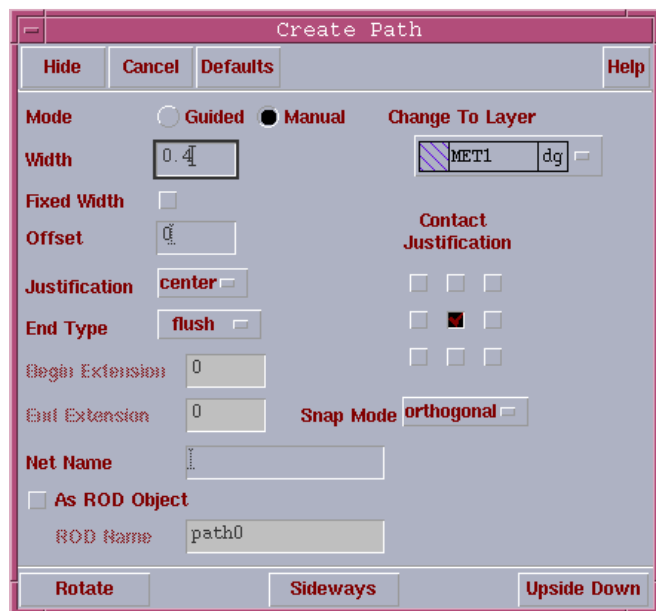
В **LSW** се избира слой за създаване на всяка една форма, която се изчертава в прозореца на топологичния редактор. Допълнително слоевете е възможно да се правят видими или невидими, да се селектират или не.

2) Разполагане на елементите в схемата.

След като се стартира **Virtuoso XL** и се въведат всички елементи от схемата, те са разположени произволно в работното поле. Всички елементи трябва да се поставят в площта, оградена със слой **prBndry dg**, а пиновете по границите на тази площ. Това може да стане ръчно или автоматично като се използва командата **Place ⇒ Pin Placement**. При разполагане на елементите трябва да се следят връзките между тях, така че да се улесни опроводяването. **CADENCE** позволява да се визуализират логическите връзки между елементите. Командата, която се използва е **Connectivity ⇒ Show Incomplete Nets**.

Формата на елементите може да се промени, както в схемния редактор – **Virtuoso Schematic Composer** (формата **Edit Properties**), така и в топологичния редактор **Virtuoso Layout XL**. Всички промени, направени в топологията, трябва да бъдат прехвърлени обратно и в схемното представяне. Това става автоматично, като се използва командата **Connectivity ⇒ Update ⇒ Schematic Parameters**. Елементите, в които има направени промени, трябва да бъдат маркирани преди да се стартира посочената по-горе команда.

За да се провери дали има разлика между двете представяния схемно (**schematic**) и топологично (**layout**), в **Layout XL** се използва **Connectivity ⇒ Check ⇒ Against Source**.



Фиг. 7. Форма за определяне на параметрите на шина

шини е **Create ⇒ Path** или бутон “p” от клавиатурата. По подразбиране ширината на шините е минимално допустимата за даден слой. Тя трябва да се промени в зависимост от тока, който трябва да издържи шината. За целта, след като е избрана командата **Create ⇒ Path**, се натиска бутонът **F3** от клавиатурата. Появява се формата **Create Path** от

Разполагането на елементите зависи от особеностите на схемата, правилата за проектиране и ограниченията, свързани с използването на дадена технология.

3) Изчертаване на връзките между елементите.

След като всички елементи се разположат, трябва да се начертаят връзките между тях. Избира се слой за изчертаване от **LSW**. Повечето връзки се чертаят на първи метален слой (**MET1 dg**). Командата за създаване на

фиг. 7. Освен ширина на шината (**width**), може да се зададе отместване, подравняване и др.

За да се избегне пресичането на шини, се преминава на друг метален слой. Използва се полето **Change To Layer** от формата за създаване на шини.

В таблица 2 са показани съкратените комбинации от бутони на клавиатурата за най-често използваните команди във **Layout XL**.

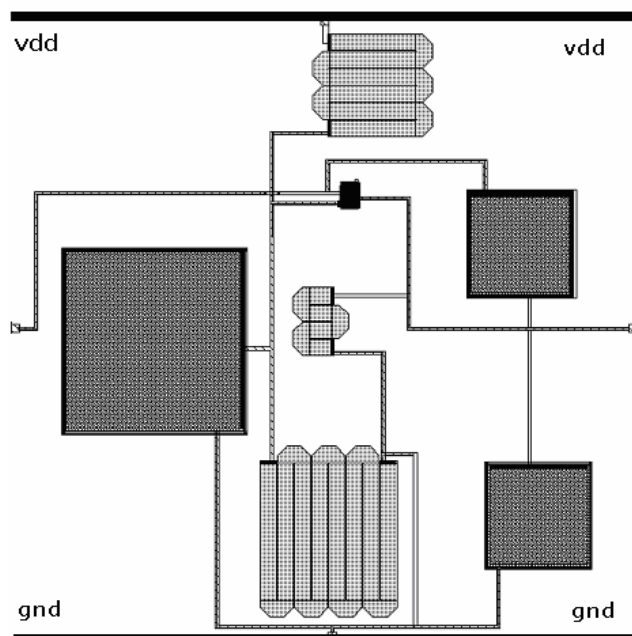
Таблица 2.

Shift-f	Прави видими всички слоеве
Ctrl-f	Прави видими само очертанията на елементите
Shift-z	Намаляване 2 пъти
Ctrl-z	Увеличаване 2 пъти
g	Включване/изключване на привличането към грида
m	Преместване/завъртане на обекти
команда +F3	Допълнителни опции към дадена команда
k	Извикване на линийката
K	Изтриване на линийката
W	Предишен изглед
i	Въвеждане на елемент
q	Извиква прозореца с параметри на елементи
F4	Превключва режимите за селектиране пълен/частичен
u	Връщане една стъпка назад

4) Няколко съвета при създаване на топологията на генератор на Колпитц:

- Обикновено пиновете за захранване и маса се разполагат в противоположни страни на топологията.
- Разстоянието между елементите трябва да е колкото може по-малко и в същото време трябва да е съобразено с изискванията на съответната технология.
- Захранващите шини vdd и gnd се изчертават на първи метален слой с дебелина 5μm

Примерна топология е показана на фиг. 8.



Фиг. 8. Топология на генератор на Колпитц

5. Проверка и верификация на топологията.

За проверка и верификация на топология в средата за автоматизирано проектиране на аналогови и смесени (аналогово-цифрови) схеми **CADENCE** се използва продуктът **Diva**. Той съдържа няколко инструмента за физическа верификация, които позволяват да се откриват и коригират грешки в проекта. Това са: проверка на правилата за проектиране, извличане на елементи от топологията на схемата и сравнение на физическата реализация с изходната схема.

1) Проверка на правилата за проектиране (**DRC**).

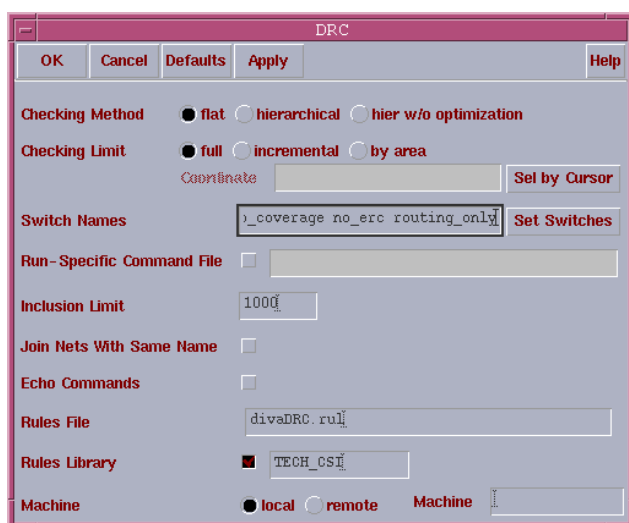
След като се направят всички връзки, топологията трябва да се провери за това дали са изпълнени всички изисквания при проектирането (**Design Rules Check – DRC**). От прозореца на **Layout XL** се избира **Verify ⇒ DRC**.

С **DRC** (фиг. 9) може да се прави проверка само на част или на цялата топология. Ако са допуснати някакви грешки, те трябва да се намерят и отстранят.

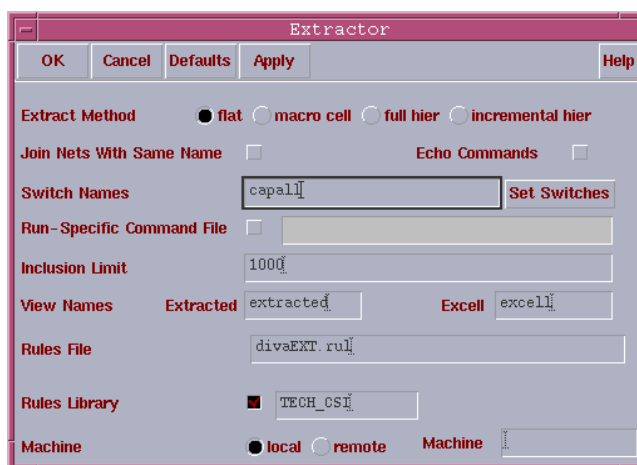
Намирането на грешки става чрез командата:

Verify ⇒ Marker ⇒ Find.

Ако не може да се обясни причината за наличието на някоя грешка се използва командата **Verify ⇒ Marker ⇒ Explain.**



Фиг. 9. Форма за задаване на **DRC**

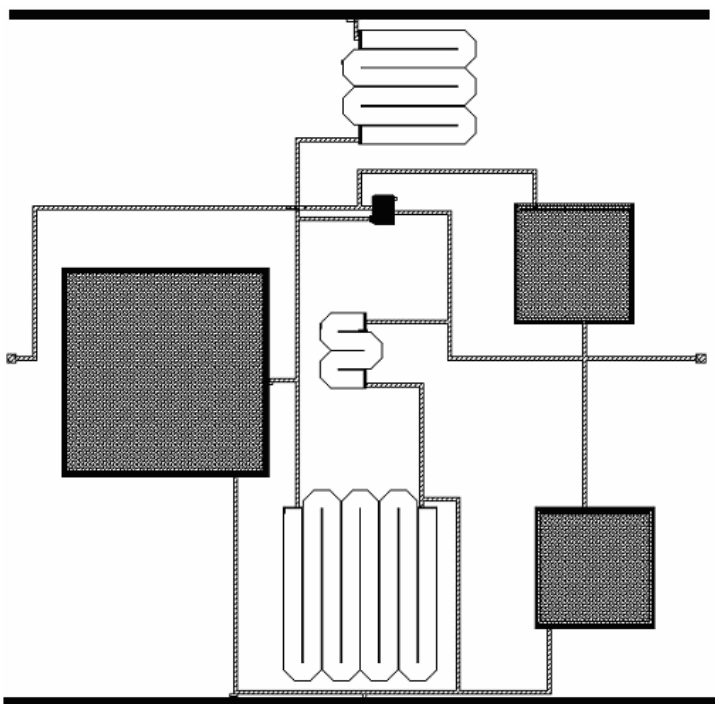


Фиг. 10. Форма за задаване на екстракция

2) Извличане на елементи от топологията на схемата (**Extract**).

Следващата стъпка е да се извлекат схемните и паразитните елементи от топологията. При екстракция се използва процесът на разпознаване на устройства, при което се създава символ за всяко разпознато устройство. Символът се поставя в **extracted** представянето на схемата, което се генерира при всяко стартиране на програмата за екстракция. Необходимо е да са дефинирани правилата за разпознаване, за да могат да се отчетат всякакви паразитни влияния.

Тази програма за верификация осигурява инструменти за измерване на параметрите на разпознатите устройства, прави изчисления с тях и запазва резултата като стойност на параметрите в екстрактната верига. Освен това могат да се измерват и паразитите, с които също могат да се правят изчисления. Резултатът се запазва или като паразитен параметър на някое устройство, или като паразитни устройства между възлите. Стойностите на тези параметри са достъпни за други модули в **CADENCE**, типичен пример за което е програмата, генерираща нетлист. Това е необходимо, за да се извърши ресимулация. Като паразити се разглеждат устройствата, които съществуват в топологията само като страничен ефект при производството на интегралните схеми, което представлява поредица от маски. Паразитите нормално не се изчертават в схемите. Добър пример за това е паразитният капацитет, образуван при пресичането на два метални слоя. Стойността му се изчислява като се измерва площта, където двата слоя се припокриват.



Фиг. 11. **Extracted** представяне на схемата по-горе.

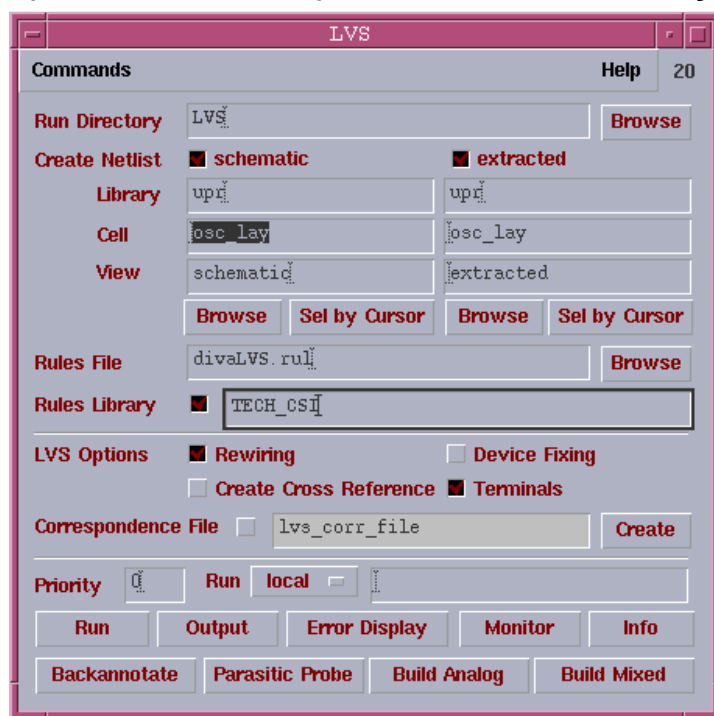
За да се стартира програмата за екстракция се използва командата **Verify** \Rightarrow **Extract**. Задава се допълнително ключът **capall** (в прозореца **Extractor**, показан на фиг. 10 като се натиска бутонът **Set Switches**). Ако не се избере този ключ, програмата за екстракция ще разпознае само елементите от самата схема, но не и паразитните елементи. Натиска се бутонът **Apply** или **OK**. Ако се появят отново съобщения за грешки, те трябва да се коригират, както е описано

След изпълнението на екстракцията в библиотечния браузър **Library Manager** се появява ново представяне на клетката – **extracted**. То е подобно на топологичното представяне, но за разлика от него са добавени паразитни капацитети (фиг. 11). Това представяне се използва на следващата стъпка от проектирането – ресимулация.

3) Сравнение на физическата реализация с изходната схема (**LVS**).

LVS (Layout Versus Schematic) прави сравнение на две представяния на клетка и показва разликите между тях. Най-често се прави сравнение между топологичното представяне с извлечени схемни и паразитни елементи (**extracted**) и схемното представяне (**schematic**), от което е генерирана топологията. Модулът генерира нетлист за всяко от представянията на схемата и ги сравнява, като използва зададените правила.

Стартирането на **LVS** става от прозореца на **extracted** представянето чрез командата **Verify** ⇒ **LVS**. Отваря се формата



Фиг. 12. Форма за стартиране на **LVS**

показана на фиг. 12. Ако и двете представяния (**schematic** и **extracted**) са отворени при стартиране на командата, формата ще се попълни автоматично. В противен случай името на клетката и представянията трябва да се въведат ръчно от потребителя. Сравнението се стартира с натискането на бутона **Run**.

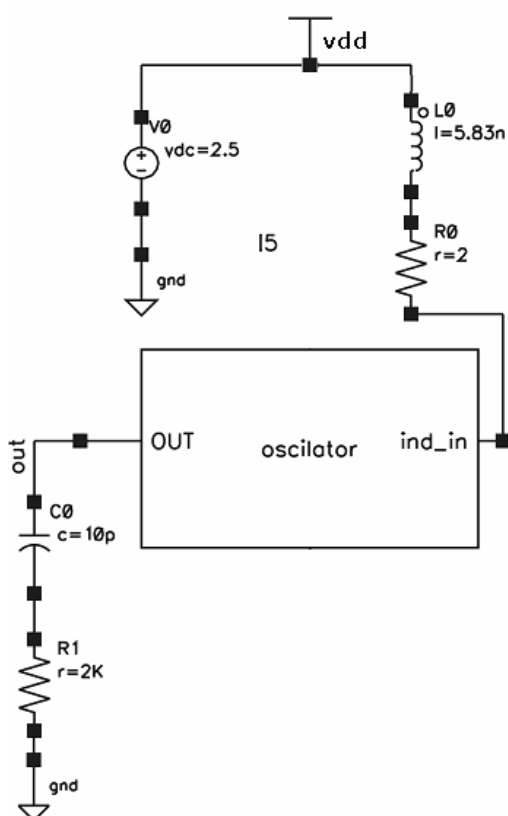
Сравнението може да отнеме няколко минути. Когато приключи, се появява прозорец със съобщението **Analysis Job Succeeded**, което показва че сравнението

е направено успешно. Ако сравнението е неуспешно, се натиска бутонът **Info** във формата за **LVS**, за да се отвори лог (**log**) файла. В него са записани всички изпълнени команди при сравнението и може да се види, каква е причината за дадена грешка при изпълнение на програмата.

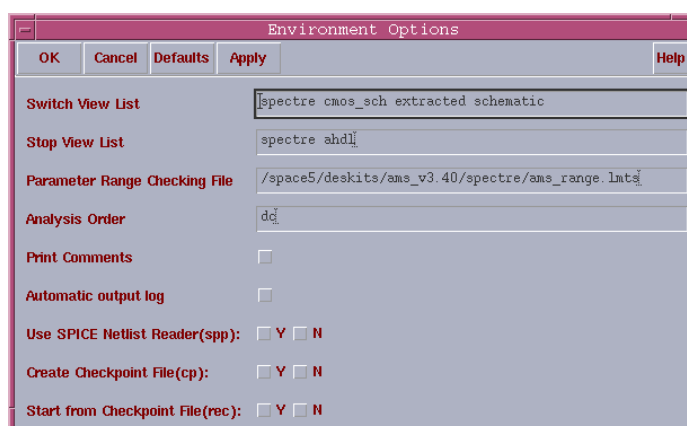
Ако сравнението е успешно, се натиска бутонът **Output**. Отваря се текстов прозорец с изходните данни от сравнението. Ако в него присъства съобщението "**The net-lists match**", това означава, че създадената топология съответства на схемата. Но ако съдържа "**The net-lists failed to match**", вероятно в топологията са допуснати грешки при опроводяването. Те трябва да се коригират и всички проверки трябва да се стартират отново. За да се открият грешките, се натиска бутонът **Error Display** във формата за **LVS**. Появява се форма за визуализиране на грешки. В нея се натиска бутонът **First** и в полето **Display** се изписва съобщение за първата грешка, а в **extracted** представянето се осветяват сгрешените обекти.

6. Ресимулация.

За ресимулация ще се използва клетката, направена по-рано в упражнението, която съдържа символа на генератора на Колпитц с бобина като външен елемент. Схемата трябва да е подобна на показаната на фиг. 13. Стартира се средата за аналогови симулации (**Tools** \Rightarrow **Analog Environment**). За да се използва **extracted** представянето при симулацията (т.е. за да се направи ресимулация) в прозореца на средата за симулация се избира командата **Setup** \Rightarrow **Environment** (фиг. 14). В полето **Switch View List** се изписва **extracted** преди **schematic**. Стартират се отново анализите, направени на схемата.



Фиг. 13. Схема на генератор на Колпитц, използвана за ресимулация



Фиг. 14. Използване на **extracted** представяне при ресимулация – начин на задаване