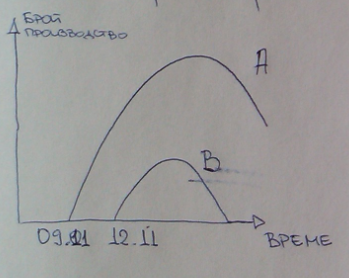
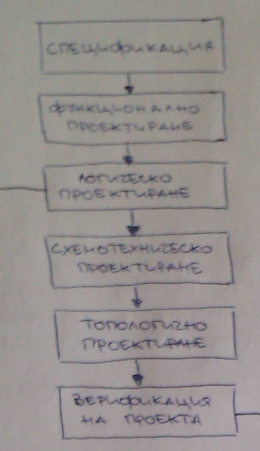
* 1. Основни етапи при автоматизираното проектиране на ГИС и тяхната взаимна връзка.

ПРОЕКТИРАНЕ -> Производство, тестване -> Продажба -> Рециклиране (много важно)

Винаги трябва да се мисли за следващия етап.

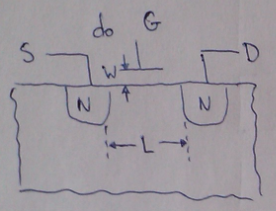
При проектиране на Интегрални Схеми Проектиране ( Cadence, Synopsys, Menton Graphics) -> Производство -> Тест

Етапи на самото проектиране са: Синтез на ел. Схема -> Симулация -> Оптимизация и настройка.

* В етапа на специвикация се задават основните техникоикономически характеристики и параметри. Технически, експолатационни и гаранционни условия. Този етап не подлежи на автоматизиране и е основният за успешното интегриране на системата. [bit, Hz, технология, време за проект, дата на издаване, тест]
* Функционално проектиране – системата се разделя на подсистеми и блокове, които реализират основните функции. Проектира се потока и обмен на информация между подсистемите. Обработката се разделя на soft and hard (ware). Разпределението се прави в зависимост от бързодействие и други фактори.
* Логическото проектиране – проверява се и се тества дали работи логиката.
* Тест(вектор) – съвкупността от всички възможни входни въздействия и правилните изходни реакции при работа на системата. ( вх-изх връзка) Представлява само програма, която после ще се задейства в тестер-а.
* Схемотехнично проектиране- предимно CMOS в статичен режим всички токове – 0.

Основен проблем са паразитните мощности и температурата.

* Топологично проектиране – Можем да проектираме едновременно дължина и ширина само по X защото по Y сме ограничени от технологията, която сме избрали преди това. Дрейновия ток пряко зависи от W и L .

, където к – специфична стръмност, а SG – площ на гейта.

*където μ е подвижност на токоносителите.*

*, където do е дебелината на окиса.*

* Верификация на проекта – в нея се проверяват правилата за проектиране на технологията, функционирането на цялата система с добавени паразитни елементи и пълното съвпадение на характеристиките с началните спецификации.

1.3 Принципи за построяване и изискване към системата за проектиране. Технически средства, алгоритмично, програмно и икономично осигуряване.

I. Изисквания.

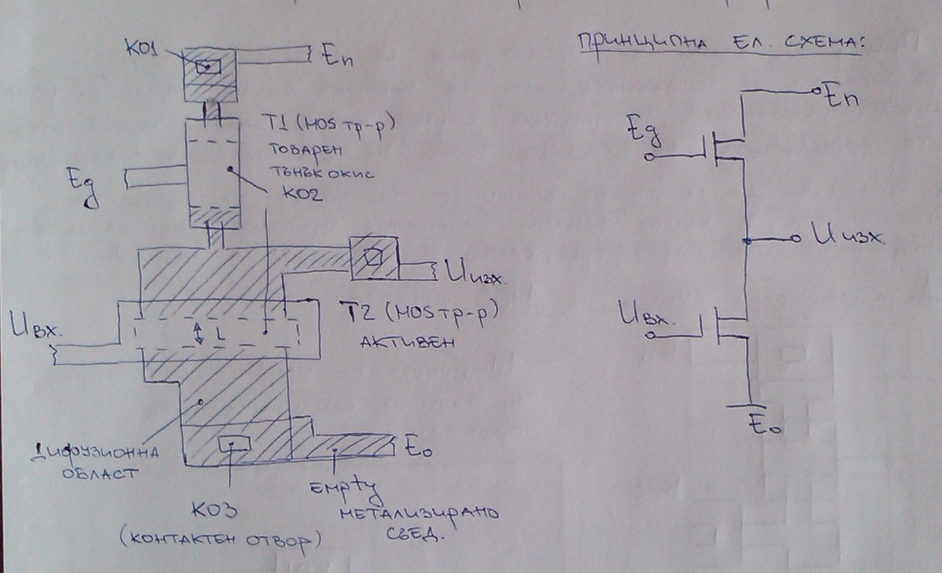
|  |  |
| --- | --- |
| 1.Интерактивност. – връзка човек – машина и отразяване на резултатите | 2.Възможност за поетапно въвеждане на части от системата и нови модули. |
| 3.Съвместимост на ръчните и автоматизираните операции. | 4. Възможност за едновременна работа на много проектанти по различните проекти. |
| 5.Максимална адаптивност към промените на технологията. | 6.Наличие на архив. |
| 7. Интензивен контрол на междинните и окончателни резултати. | 8. Универсалност. |
|  |  |

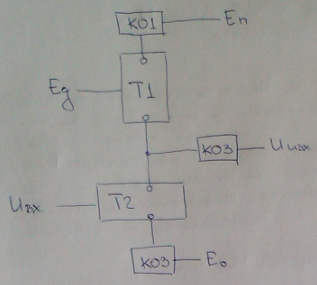
II. Видове осигуряване

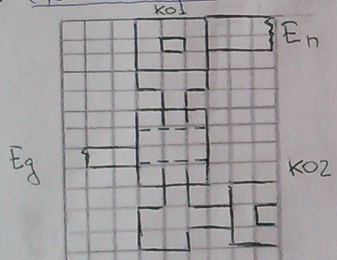
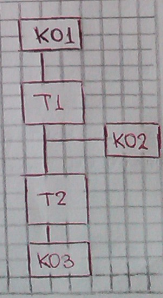
1. Методическо осигуряване: теория, методи, математически модели, алгоритми, терминология, нормативи и други.
2. Техническо осигуряване – съвкупността от взаимодействащи технически средства.
   1. Технически средства за програмна обработка на данни.
   2. Технически средства за подготовка и въвеждане на данни.
   3. Технически средства за извеждане, документиране и архивиране на данни
   4. Технически средства за дистанционно предаване на данни.
   5. Математическо осигуряване
      1. Общо
      2. Специално.
   6. Програмно осигуряване
      1. Общо
      2. Общо системно
      3. Базово
      4. Приложно
   7. Други –информационно, лингвистично, организационно.

Автоматизирано проектиране на топологични моделли за отпечатване на топологията.

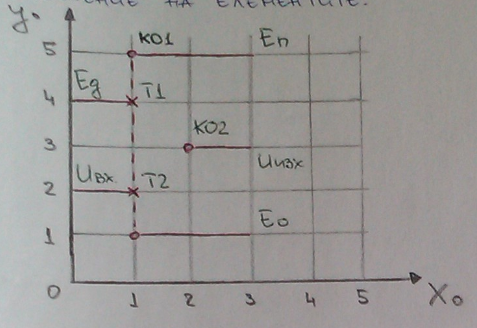
Краен етап при проектирането на ИС е построяване на геометричен модел на всички необходими фотошаблони за производство на схемата. Т.е. топологичен чертеж. Състои се от компект чертежи на отделните топологични слоеве в равнина успоредна на слоевете. ТЧ определя положението на всички елементи и съединения и съдържа цялата информация необходима изготвяне на конструктивната документация и производство на прототипи.



Ако в топологичният чертеж проекциите на съединенията се заменят с основните им линии с трасета , а елементите се представят с контурите се получава МОНТАЖЕН чертеж. По същество монтажния чертеж се явява модел за реализация на ИС. Той определя както положението на елементите в монтажното пространство така и конкретния начин за реализиране на съединенията, като имаме информация за структората на елементите и ширината на съединенията от мотажен чертеж винаги може да се получи топологичен чертеж.

На практика при реални етапи на проектиране се използват силно опростени представяния на топологиите, които се наричат скици. Детайлизирана скица представлява топологичен чертеж, който да дава неокончателните координати на възловите точки на елементите и съединенията . Т.е. позволява да се опише взаимното положение на части от топологията, в които всички разстояния приблизително характеризират същите параметри, както в топологичния чертеж. Обикновено всички линии се изпълняват върху някаква топологична решетка.

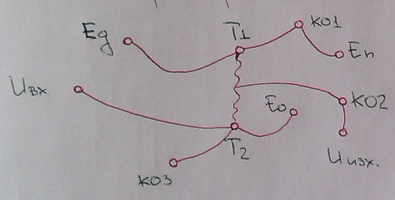
Контурна скица – съответства на детайлизирана скица и построява аналогично на монтажния чертеж върху избрана мрежа или решетка.

Символна скица – ако вместо въответните елементи в възлите на някаква мрежа се разположат техните условни означения (символи) и всички съединения се построят по протежение на линиите на мрежата. Тя дава грубо разположението на елементите.

X – транзистор; О – контактен отвор;

----- - дифузионни съединения;

\_\_\_\_\_ - метализирани съединения.

Топологична скица – при нея символите изобразяващи елементите могат да се преместват в произволни места в равнината, а съединенията на елементите представляват отрязъци от криви. Абстрактен модел на топологията и съдържа топологически и математически данни за проектираната схема (брой елементи,брой съединения, брой пресечни на съединенията и други)

ЗАКЪСНЕНИЕ НА СИГНАЛИТЕ

Видове закъснение:

* При преминаване на сигнала през логически елемент. – определя се от времето, което части от схемата изискват за да се получи подходящ сигнал в изхода на схемата като отговор при промяната на входния сигнал. Различава се закъснение при нарастване от 0 в 1 и обратно. Обикновено закъснението при промяна от 1 в 0 е по-голямо от това на 0 към 1. За увеличаване на точността се задава някакъв диапазаон от време, в който се поместват очакваните закъснения. Симулаторите работят с мин и макс времена на закъснение. Най-често се използва worst case, при който се избират най-опасните закъснения.
* Инерционни закъснения – определят се от инерционността на елементите и са свързани с необходимата енергия за възбуждането. Те изразяват свойствата на логически елемент да се задейства от входни сиснгали с продължителност по-голяма от някаква минимална стойност. Ако на входа на лог. елемент се подава входен сигнал с продължителност в времето по-малка от времето на инерционно закъснение, то логическия елемент не се задейства ( не функционира). Симулират се реални схеми, които не работят при много тесни входни импулси.

Практическа симулация се извършва в следната последователност:

* Схемата се симулира с еднакво закъснение на всички логически елементи
* Моделиране с отчитане на разликата в закъсненията на преминаване от 0в1 и 1в0.
* Моделиране с използване на модел с неопределно закъснение.
* Моделиране с намиране на на лошия случай от комбинация на закъсненията.

При всички симулации до този момент предполага, че превключването е мигновено. Тогава фронтовете могат да бъдат изследвани за преходен схемотехнически анализ.

* Функционална проверка на проекта
* Генерация на тестови вектори
* Симулация на изправности

ФУНКЦИОНАЛНО ЛОГИЧЕСКО ПРОЕКТИРАНЕ. ЛОГИЧЕСКИ СИМУЛАТОРИ.

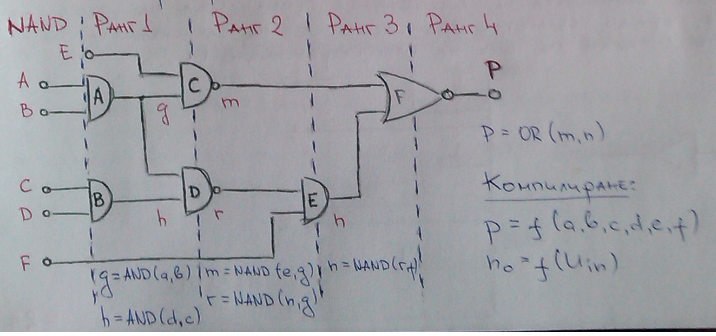
Има за цел да провери правилността на симулираната схема и чрез моделиране да провери функционирането като логическа система. Видове симулатори:

* Поведенчески симулатори – описват системата на базата на нейното поведение.(VHDL, System C, Vary Log – езици за поведенческо описание)
* Логически симулатори – на базата на логически елементи
* Ключови симулатори на транзисторно ниво.
* Симулатори на времеви съотношения(симулират закъсненията в сигнала).

Съвременните са смесени и имат възможност за преместване от едно ниво на друго.

Резултат от симулацията:

1. Логическо функциониране на системата
2. Съставяне на функционален тест – на входовете на системата се подават входни логически въздействия (стимули) и се изследват изходните реакции и изходите(отговори) {стимули + отговори} = тест вектор.



Има два основни метода за логическа симулация : компилативен и събитиен.

* Компилативен – елемтентите се подреждат по ранг в зависимост от реда на избиране на логическите операции. На всеки етам се задава вида на логическото действие. Извършва се кодиране с увеличаване на ранга. Получената последователност от кодове се компилира, за да се изразят изходните сигнали като фукнция от входните.
* Събитиен метод – в процеса на моделиране се следи как промените на входа се отразяват на изхода. Извършва се моделиране само при промяна на логическата променлива. Промяната на стойността на сигнала се нарича събитие. Методът е много ефективен , защото моделиране се извършва само при наличие на събитие.

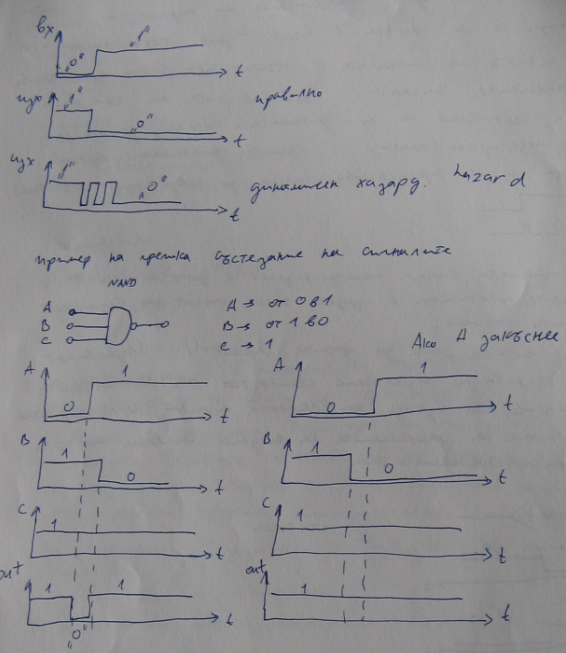
При логическото моделиране се извършвата 2 типа анализи.

* Статичен – (синхронен алгоритъм за моделиране) – елементите се разглеждат като инерционни (без закъснение). Възможно е допълнително въвеждане на закъснение за време = тактовата честота. Този анализ позволява да се провери логиката на фукнциониране на схемата. С него се откриват груби грешки.
* Динамичен анализ – (асинхронен алгоритъм на моделиране) отчита неедновременно сработване на елементите и толеранса на динамичните параметри, дължащи се на промени в температурата, захранващото напрежение, технологията и др. Закъсненията на сигналите се отчитат при всяка променлива на логическите сигнали във възлите на схемата.

И при статичния и при динамичния може да има моделиране(анализ) с еднаква(постоянна) времева стъпка у с променлива стъпка (до следващото събитие)

При логическата симулация поради разлика в закъсненеито на сигналите, протичащи в дадена точка могат да възникнат следните грешки:

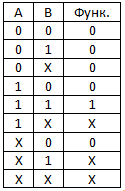
* Статичен риск за грешка (hazard) – възможност за неправилно изменение на стойността на логическата променлива на изхода на елемента, поради неблагоприятно съчетание на закъсненията на входните сигнали по пътя на разпространанието им.
* Динамичен риск – представлява възможност за многократна промяна стойността на логическата променлива вместо правилна единична промяна.



В резултат на анализа се решават следните видове задачи.

1. Изследват се различни закъснения и се търсят критични условия за възникване на грешка.
2. Определят се временета за преминаване на схемата от едно устойчиво състояние в друго.
3. Установява се вярната последователност на изходните сигнали във времето, спрямо входните сигнали.

ВИДОВЕ ЛОГИЧЕСКИ СИГНАЛИ

Логическо ниво – мярка за заряда, напрежението или тока в дадена точка на схемата. Заема 3 основни стойности. 0,1 и X (където X е неорпеделено ниво в дадена точка, не се знае 0 или 1)

Пример с петзначна алгебра( има 5 параметъра) – { 0, 1, X, D, E} където D – стойност на сигнала при превключването му от 1 в 0, а пък Е превключване от 0 в 1.

Пример с шестзначна алгебра - { 0, 1, X, U, D, E}

* U – времева зона на сойността на закъснение при превключване от 0 в 1.
* D – времева зона на толеранса на стойността на закъсненията при преминаване от 1 в 0.
* Е – временна област на възможно възникване на грешки, като съчетание на сигналите, hazard и др.

AND

Пример на симулатор с 12 логически нива – първо се въвеждат силите на сигналите.( логическата сила е мярка за проводимостта на дадена верига спрямо земя и захранване. Тя показва до колко една верига е управляема)

Сила F – (силна) пряка връзка с захранване и земя (късо съединение)

F1 – между точка и захранване ; F0 – между точка и земя. ; R – съпротивителна сила. Сигналът има връзка със захранване или земя.

Z сила – сигналът в дадена точка е изолиран от връзка с земя или захранване.

U сила – сигналът е с една от грорните 3 сили, но тя е неизвестна. Това може да се дължи на неизвестно начално състояние на тригер, липса на нулиращ (reset) сигнал, едновременно действие на 2 сили в една точка.

При симулация по-силното състояние припокрива по-слабото . F>R>Z

